

حذف آفست در مقایسه‌کننده تک‌طبقه با سرعت مقایسه ۸۰۰ میلیون نمونه بر ثانیه با روش تغییر آنالوگ ولتاژ بدنه ترانزیستورهای PMOS

سارنگ کاظمی نیا^۱، استادیار؛ سینا مهدوی^۲، دانشجوی کارشناسی ارشد

۱- دانشکده مهندسی برق - دانشگاه صنعتی ارومیه - ارومیه - ایران - s.kazeminia@uut.ac.ir

۲- دانشکده مهندسی برق - مؤسسه آموزش عالی ارومیه - ارومیه - ایران - m.s.mahdavi@urumi.ac.ir

چکیده: در این مقاله، ساختار متداول مقایسه‌کننده‌های تک‌طبقه به‌گونه‌ای اصلاح شده است که آفست ترانزیستورهای ورودی بدون استفاده از آپامپ کمکی بهره‌بالا، با دقت بسیار خوبی جبران می‌شود. تغییر از فاز پیش-تقویت به فاز لچ، با دستور سیگنال‌های آنالوگ با دامنه کوچک، از طریق بدنه ترانزیستورهای PMOS در مسیر حلقه فیدبک مثبت و منفی میسر می‌شود؛ در نتیجه، تعداد سیگنال‌های دیجیتال که برای کنترل عملکرد مقایسه‌کننده به بخش آنالوگ منتقل می‌شوند، کاهش یافته و اثرات تزویجی سیگنال‌های دیجیتال در بخش آنالوگ لی‌اوت بهبود می‌یابد. مدار جدیدی برای افزایش قدرت درایو مقایسه‌کننده (تا چهار برابر معمول) ارائه شده است که با جبران بخش بزرگی از خازن مزاحم طبقات بعدی، امکان مقایسه در سرعت‌های بالاتر را نیز فراهم می‌کند. شبیه‌سازی‌های پس از لی‌اوت در شرایط سخت نشان می‌دهد که مقایسه‌کننده پیشنهادی می‌تواند اختلاف ولتاژ ۱/۵ میلی‌ولت را در تمام گوشه‌های پروسه و با حضور ولتاژ آفست ورودی ۱۵ میلی‌ولت، در سرعت نمونه‌برداری ۸۰۰ میلیون نمونه بر ثانیه، به درستی تشخیص دهد. آنالیز مونت کارلو در ۱۰۰ تکرار مختلف، با انتخاب تصادفی ولتاژ آفست ورودی از توزیع گاوسین با مقدار ۲۵ میلی‌ولت در 3σ نشان می‌دهد که انحراف معیار آفست ارجاع شده به ورودی به ۱۵۰ میکروولت کاهش می‌یابد. کل توان مصرفی مقایسه‌کننده پیشنهادی ۵۵۰ میکرووات در سرعت نمونه‌برداری ۸۰۰ میلیون نمونه بر ثانیه است. نتایج شبیه‌سازی پس از لی‌اوت با استفاده از نرم‌افزار HSPICE و براساس نسخه BSIM3v3 در مدل‌سازی ترانزیستورهای پروسه ۰/۱۸ میکرون ارائه شده‌اند.

واژه‌های کلیدی: مقایسه‌کننده، مبدل‌های آنالوگ به دیجیتال سرعت بالا، مقایسه‌کننده‌های بدون آفست، مقایسه‌کننده تک‌طبقه.

Offset Cancellation in a 800MS/s Single-Stage Comparator by Analog Trimming on the Body Voltage of PMOS Devices

S. Kazeminia¹, Assistant Professor; S. Mahdavi², MSc Student

1- Faculty of Electrical Engineering, Urmia University of Technology, Urmia, Iran, Email: s.kazeminia@uut.ac.ir

2- Department of Microelectronics Engineering, Urumi Graduate Institute, Urmia, Iran, Email: m.s.mahdavi@urumi.ac.ir

Abstract: A novel methodology is proposed for offset cancellation in single-stage latched comparators at high comparison speeds. In contrast to the regular methods, high-gain op-amp is not required and the loop accuracy is enhanced by small variations on the body voltages of PMOS devices. Hence, the number of digital signals which are transferred to the analog section are reduced and digital coupling effects are considerably improved. A novel read-out circuit is also proposed which compensates the parasitic capacitance of the next cell and quadruples the fan-out of the comparator, consequently. Worst-Case simulation results confirms that the proposed comparator can detect 1.5mVolts input difference, at all process corners, in presence of 15mVolts input offset voltage, at 800MS/s comparison rate. The Monte-Carlo analysis for 100 iterations on input offset voltages shows that input referred offset would be improved to 150μV while was 25mVolts at 3σ before the correction. Power consumption is 0.55mW at 800MS/s comparison speed. Post-Layout simulation results are presented using the BSIM3v3 model of a 0.18μm CMOS technology.

Keywords: Latched comparators, high-speed ADCs, offset cancelled comparators, single-stage comparators.

تاریخ ارسال مقاله: ۱۳۹۶/۶/۱۸

تاریخ اصلاح مقاله: ۱۳۹۷/۴/۴

تاریخ پذیرش مقاله: ۱۳۹۷/۵/۲

نام نویسنده مسئول: سارنگ کاظمی نیا

نشانی نویسنده مسئول: ایران - ارومیه - جاده بند - دانشگاه صنعتی ارومیه - دانشکده مهندسی برق.

۱- مقدمه

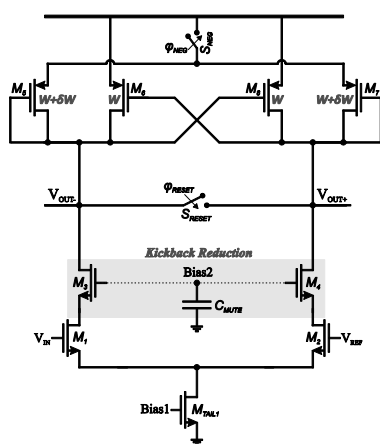
کوچکی دوسر سوئیچ باقی مانده باشد، نمی‌توان بلافاصله پس از ریست مرحله لچ را آغاز کرد. شرط لازم برای جلوگیری از تقویت‌شدن خطای باقیمانده روی سوئیچ، آن است که فیدبک منفی قدرت بزرگتری از فیدبک مثبت داشته باشد تا مرحله پیش-تقویت با بهره محدود ادامه یابد. بنابراین، ابعاد $M_{5,7}$ اندکی بزرگتر از $M_{6,8}$ انتخاب می‌شود. پس از پاک‌شدن ولتاژ باقیمانده و همچنین تقویت اختلاف جدید ورودی به‌میزان قابل‌اطمینان، فیدبک منفی به‌واسطه سوئیچ S_{NEG} قطع شده و فیدبک مثبت اختلاف تقویت‌شده را به‌شدت بزرگ‌نمایی می‌کند تا خروجی نهایی، معادل سیگنال‌های دیجیتال باشد. در زمان گذار از فاز پیش‌تقویت به فاز لچ، به‌علت خارج‌شدن دو ترانزیستور $M_{6,8}$ از مسیر شاخه خروجی، سطح ولتاژ مشترک V_{CM} خروجی کاهش می‌یابد. این مشکل، درکنار تفاوت تعدمی در ابعاد ترانزیستورهای فیدبک منفی و مثبت به‌عنوان ایرادهای این ساختار شناخته می‌شوند. از آنجا که طبقه میانی در مقایسه‌کننده‌های تک‌طبقه حذف شده است، مشکل نویز ضربه بازگشتی^{۲۵} بیش از گذشته باید مورد توجه قرار گیرد. استفاده از ساختار کاسکود^{۲۶} برای ترانزیستورهای ورودی، به همراه خازن C_{MUTE} تا حد زیادی این مشکل را برطرف می‌کند، [۱۱]. همچنین، به‌دلیل آن‌که تمام طبقات لازم در مقایسه‌کننده‌های چندطبقه، در ساختار تک‌طبقه ادغام می‌شوند، بارخازنی مزاحم^{۲۷} ناشی از طبقات بعدی، به‌طور مستقیم روی طبقه پیش-تقویت‌کننده مشاهده می‌شود. بنابراین، مدار واسطی برای اتصال مقایسه‌کننده تک‌طبقه به بلوک‌های بعدی لازم است که نمونه‌ای از آن در [۱۱] و [۱۳] معرفی شده‌اند. این مدار که به‌مدار خوانش خروجی^{۲۸} مشهور است، در طول زمان پیش-تقویت، بارخازنی ناشی از طبقات بعدی روی مقایسه‌کننده را به حداقل می‌رساند. مشکل عمده در بیشتر مقایسه‌کننده‌های تک‌طبقه، عدم بررسی آفست ورودی است. این مسأله مخصوصاً در مقایسه‌کننده‌هایی که قرار است در مبدل SAR استفاده شوند، حائز اهمیت است. روش پیشنهادی برای حذف آفست^{۲۹} در [۱۶]، توالی لازم برای انجام مقایسه مطمئن را رعایت نمی‌کند. به‌عبارت دیگر، پس از عبور از مرحله ریست، زمان کافی برای پیش-تقویت ورودی جدید در نظر گرفته نمی‌شود. برای مشاهده عملکرد نادرست احتمالی در ساختار [۱۶]،

مقایسه‌کننده‌های^۱ کم‌نویز^۲ و کم‌آفست^۳، به‌طور گسترده‌ای در مبدل‌های آنالوگ به دیجیتال^۴ پرسرعت استفاده می‌شوند، [۱]. در ساختار مبدل‌های پایپ‌لاین^۵، چنانچه در هر طبقه بیش از یک بیت استخراج شود، آرایه‌ای از مقایسه‌کننده‌ها موردنیاز هستند، [۶-۲]. اگرچه استفاده از مکانیزم اصلاح خطا^۶ در این مبدل‌ها به تصحیح کدهای نادرست کمک می‌کند، [۷-۵]، اما اصلاح آفست و خطاهای عدم تطابق^۷ در آرایه مقایسه‌کننده‌ها می‌تواند به بهتر شدن نتایج در خروجی مبدل کمک کند. علاوه‌براین، در ساختار مبدل‌های آنالوگ به دیجیتال نوع SAR ^۸ با دقت بالا، تنها یک مقایسه‌کننده وظیفه استخراج تمام بیت‌ها را به عهده می‌گیرد؛ بنابراین، نیاز به برطرف کردن آفست^۹ در مقایسه‌کننده تا حدی که استخراج کم‌اهمیت‌ترین بیت‌ها^{۱۰} نیز دستخوش آسیب نشود، کاملاً ضروری به نظر می‌رسد، [۸].

از آنجا که مقایسه‌کننده‌ها به‌عنوان ساده‌ترین بلوک مبدل آنالوگ به دیجیتال شناخته می‌شوند، بنابراین پیاده‌سازی آن‌ها در سطح فیزیکی، با ملاحظات مربوط به تداخل لی‌اوت^{۱۱} آنالوگ و دیجیتال همراه خواهد بود، [۱۲-۹]. اثر مخرب سیگنال‌های دیجیتال روی قسمت آنالوگ را می‌توان در دویبخش بررسی نمود؛ اول، اثر تزویج^{۱۲} خازنی، که ناشی از حضور سیگنال‌های کنترلی دیجیتال در بخش آنالوگ لی‌اوت است؛ و دوم، اثر نویز ضربه بازگشتی^{۱۳} که از تغییرات ناگهانی سیگنال‌های خروجی لچ^{۱۴} نشأت می‌گیرد، [۱۱] و [۱۳، ۱۲]. یک راه برای کاهش اثر دوم، اضافه‌کردن یک طبقه واسط^{۱۵} در مقایسه‌کننده‌های چندطبقه، به‌منظور ایزوله‌کردن طبقه آنالوگ از طبقه دیجیتال است، [۱۰، ۹].

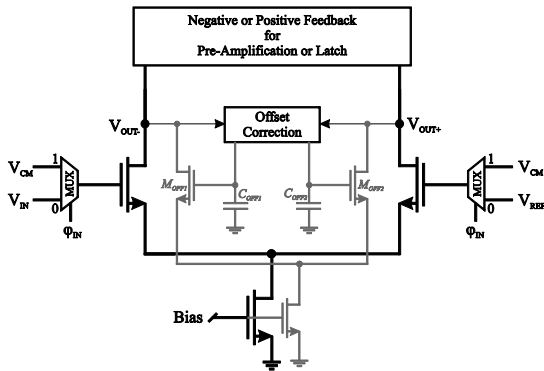
مقایسه‌کننده‌های آنالوگ در ابتدا در سه طبقه، [۱۰، ۹]، و در نسل‌های بعدی در دو طبقه، [۴، ۳] و [۱۵، ۱۴]، ساخته شدند. نوع سه طبقه معمولاً شامل: پیش-تقویت‌کننده^{۱۶}، تقویت‌کننده واسط جهت ایزولاسیون^{۱۷}، و طبقه لچ است. استفاده از مقایسه‌کننده‌های چندطبقه^{۱۸}، علیرغم رفع نگرانی‌های ناشی از تداخل سیگنال‌های آنالوگ و دیجیتال، با مشکلاتی ازجمله افزایش توان مصرفی و مساحت مواجه است. این مشکل، زمانی بیشتر به چشم می‌آید که نیاز باشد از تعداد زیادی از این مقایسه‌کننده‌ها درکنارهم، در داخل آرایه فلش^{۱۹} و یا در ساختار پایپ‌لاین چند بیت/طبقه^{۲۰} استفاده شود.

نسل اولیه مقایسه‌کننده‌های تک‌طبقه^{۲۱}، با هدف کاهش توان و مساحت مصرفی، در [۱۱] پیشنهاد شد. به‌عنوان ایده اصلی مطابق آنچه در شکل ۱ نمایش داده شده است، یک سخت‌افزار ثابت برای انجام سه عمل مختلف (ریست، پیش-تقویت و لچ) با مدیریت زمانی کنترل می‌شود. ابتدا از طریق سوئیچ S_{RESET} ، نتیجه مقایسه قبلی از روی گره‌های خروجی پاک می‌شود تا سرعت مقایسه در سیکل جاری افزایش یابد. سپس، فرآیند پیش-تقویت با حضور همزمان ترانزیستورهای فیدبک منفی^{۲۲} ($M_{5,7}$) و فیدبک مثبت^{۲۳} ($M_{6,8}$) آغاز می‌شود. از آنجا که پس از مرحله ریست ممکن است هنوز اختلاف ولتاژ

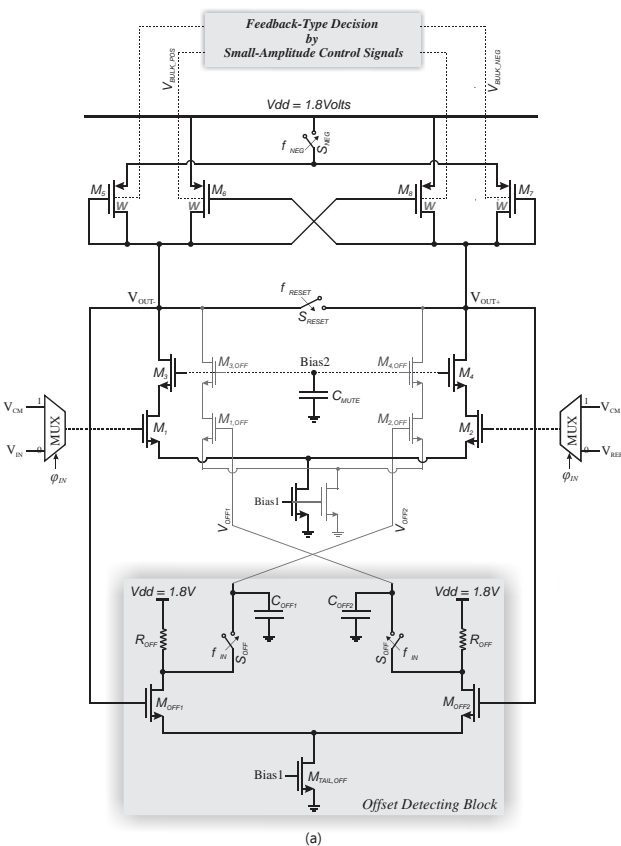


شکل ۱: شمای مقایسه‌کننده تک‌طبقه متداول بدون رفع آفست

بررسی شد، دو انتخاب‌کننده در ورودی، فعالیت در فاز حذف آفست و یا مقایسه اصلی را تعیین می‌کنند.



شکل ۲: مکانیزم متداول حذف آفست، قابل استفاده در مقایسه‌کننده



	τ_1	τ_2	τ_3	τ_4	τ_5	τ_6
S_{RESET}	ON	OFF	OFF	ON	OFF	OFF
S_{OFF}	OFF	ON	ON	OFF	OFF	OFF
S_{NEG}	ON	ON	ON	ON	ON	OFF
Feedback Type	NEG	NEG	POS	NEG	NEG	POS
	Reset Pre-Amp $\phi = 0$		Reset Pre-Amp Latch $\phi = 1$			
	Offset Cancellation			Main Comparison		

شکل ۳: (a) جزئیات مقایسه‌کننده تک‌طبقه پیشنهادی به همراه بلوک رفع آفست، (b) زمان‌بندی و فازهای مختلف.

مسیر اصلی شامل: ترانزیستورهای زوج دیفرانسیلی، $M_{1,2}$ ، ترانزیستورهای کاسکود، $M_{3,4}$ ، که به همراه C_{Mute} برای حذف ضربه بازگشتی، و ترانزیستورهای مسیر فیدبک منفی، $M_{5,7}$ ، که اندازه آن‌ها با ترانزیستورهای فیدبک مثبت، $M_{6,8}$ ، برابر است. پایه‌های بدنه

می‌توان ترانزیستورهای موجود در طبقه لچ مقایسه‌کننده را با اضافه‌کردن منابع ولتاژ متفاوت در پایه گیت آنها، ارزیابی نمود. علاوه بر این، در بسیاری از ساختارهای پیشنهادی برای مقایسه‌کننده‌های تک‌طبقه یا چندطبقه، [۴،۳] و [۱۷-۱۵]، به نویز بازگشتی و یا سایر اثرات مخرب ناشی از تداخل لی‌اوت دیجیتال و آنالوگ پرداخته نشده است. در [۱۸] از یک متد دیجیتال *foreground* برای رفع آفست از طریق بالک استفاده شده است که توانایی پاسخ به رفتار دینامیکی آفست را ندارد.

در این مقاله، ساختار مقایسه‌کننده‌های تک‌طبقه با هدف حذف آفست ترانزیستورهای ورودی اصلاح می‌شود. بهره حلقه رفع آفست، بدون استفاده از آپ‌امپ کمکی و تنها با تغییرات جزئی روی بدنه اصلی مقایسه‌کننده، تا حد زیادی افزایش می‌یابد. همچنین، برای کاهش اثرات مخرب ناشی از حضور سیگنال‌های دیجیتال، گذار از مرحله پیش-تقویت به لچ با استفاده از تغییرات کم‌دامنه آنالوگ روی ولتاژ بدنه V_{DD} ترانزیستورهای $PMOS$ انجام می‌شود. مدار جدیدی برای خوانش خروجی با کاهش بار خازنی طبقات بعدی روی بدنه اصلی مقایسه‌کننده پیشنهاد شده است که اجازه می‌دهد گیت‌های منطقی متصل به خروجی، تا چهار برابر افزایش یابند، بدون اینکه در سرعت مقایسه محدودیتی ایجاد شود. ساختار پیشنهادی و آنالیز تئوری مربوط به آن در بخش ۲ معرفی می‌شوند؛ سپس، مدار پرسرعت خوانش در بخش ۳ ارائه می‌شود. در بخش ۴، نویز ارجاع شده به ورودی V_{DD} در فازهای پیش-تقویت و لچ ارزیابی می‌شود. بخش ۵ به معرفی مدار تولید سیگنال‌های دیجیتال لازم برای زمان‌بندی، و چگونگی کنترل ولتاژ بدنه تخصیص یافته است؛ نتایج شبیه‌سازی بعد از لی‌اوت در بخش ۶ نمایش داده شده، و در بخش ۷ نتایج جمع‌بندی و مقایسه می‌شود.

۲- ساختار مقایسه‌کننده تک‌طبقه پیشنهادی با قابلیت حذف آفست

ساختاری که در این مقاله برای حذف آفست در مقایسه‌کننده پیشنهادی مورد استفاده قرار می‌گیرد، به‌طور ساده‌شده در شکل ۲ نمایش داده شده است. دو انتخاب‌کننده S_{OFF} در ورودی، براساس مقدار سیگنال ϕ_{IN} تعیین می‌کنند که مقایسه‌کننده در فاز رفع آفست و یا فاز مقایسه اصلی قرار گیرد. وقتی سیگنال ϕ_{IN} در سطح یک منطقی باشد، هر دو ورودی مقایسه‌کننده به سطح مشترک ولتاژ ورودی V_{CM} متصل می‌شوند. در این حالت، آفست ورودی به‌صورت تقویت‌شده در خروجی ظاهر شده و نتیجه روی خازن‌های C_{OFF1} و C_{OFF2} ذخیره می‌شود. در سطح منطقی صفر سیگنال ϕ_{IN} ، مقایسه‌کننده وارد فاز مقایسه می‌شود و ترانزیستورهای کمکی M_{OFF1} و M_{OFF2} آفست نمونه‌برداری شده را در جهت معکوس به ورودی اعمال می‌کنند. بنابراین، انتظار می‌رود آفست زوج دیفرانسیلی اصلی جبران شود.

شکل ۳ (a) ساختار کامل مقایسه‌کننده پیشنهادی تک‌طبقه شامل بلوک حذف آفست را نشان می‌دهد. مطابق آنچه پیشتر در شکل ۲

و منفی ایجاد کند. مدل ساده‌شده مقایسه‌کننده در فاز پیش-تقویت آفست در شکل ۴ (a) نمایش داده شده است.

- **فاز افزایش بهره حلقه آفست (t_3):** پس از آن که آفست تقویت‌شده به اختلاف مطلوبی رسید، ولتاژ پایه‌های بدنه‌ترانزیستورهای $M_{5,7}$ و $M_{6,8}$ باهم جابجا می‌شوند، به‌گونه‌ای که قدرت فیدبک مثبت بر فیدبک منفی برتری یابد. به‌عبارت دیگر، ولتاژهای $V_{BULK-POS}$ و $V_{BULK-NEG}$ به‌ترتیب به مقادیر V_{DD} و $V_{DD}-\Delta V_B$ تغییر یابند. بنابراین، فاز رفع آفست با بهره بزرگی ادامه می‌یابد، بدون آنکه نیازی به استفاده از آپ‌امپ کمکی بهره‌بالا باشد. مشاهده می‌شود که افزایش دقت حلقه رفع آفست، تنها با تغییرات آنالوگ کم‌دامنه روی ولتاژهای بدنه ترانزیستورهای PMOS انجام شده است. مدل ساده‌شده مقایسه‌کننده در طول بازه t_3 ، در شکل ۴ (b) مشاهده می‌شود. در این مدت، سوئیچ‌های S_{OFF} روشن بوده و "بلوک تشخیص آفست" در حال نمونه‌برداری و اصلاح آفست است. سوئیچ S_{NEG} نیز روشن بوده و ترانزیستورهای فیدبک منفی را در مدار نگه می‌دارد.

- **فاز ریست در فرآیند مقایسه اصلی (t_4):** از این پس، با صفرشدن سیگنال ϕ_{IN} ، ورودی‌های V_{IN} و V_{REF} به مقایسه‌کننده اعمال می‌شوند. مشابه آنچه پیشتر بحث شد، جهت افزایش سرعت فرآیند مقایسه، اطلاعات سیکل قبلی به واسطه سوئیچ کمکی S_{RESET} از گره‌های خروجی پاک می‌شوند. از ابتدای این فاز، بلوک تشخیص آفست از بدنه اصلی مقایسه‌کننده جدا شده و تنها از طریق ولتاژ ذخیره‌شده روی خازن‌های $COFF1$ و $COFF2$ ، آفست ورودی به‌صورت جبران‌شده باقی می‌ماند.

- **فاز پیش-تقویت در فرآیند مقایسه اصلی (t_5):** بلافاصله پس از ریست، به‌علت ایده‌آل نبودن سوئیچ‌ها، هنوز ولتاژ کوچکی روی دو سر سوئیچ باقی مانده است. بنابراین، فاز لیج نمی‌تواند بلافاصله راه‌اندازی شود. مطابق مدل ساده شکل ۴ (c)، مشابه آنچه در زیرفاز t_2 اتفاق افتاد، با تغییر ولتاژهای $V_{BULK-NEG}$ و $V_{BULK-POS}$ به V_{DD} و $V_{DD}-\Delta V_B$ ، قدرت فیدبک منفی در مقایسه با فیدبک مثبت افزایش می‌یابد. بنابراین، عملیات پیش-تقویت با بهره محدود ادامه می‌یابد تا اختلاف به حد قابل‌اطمینانی برای فعال‌سازی فیدبک مثبت برسد. سوئیچ S_{NEG} هنوز روشن است و ترانزیستورهای فیدبک منفی را در مدار نگه می‌دارد.

- **فاز لیج در فرآیند مقایسه اصلی (t_6):** پس از آنکه اختلاف خروجی‌های تقویت‌شده به حد قابل‌اطمینانی رسید، ولتاژ پایه‌های $V_{BULK-POS}$ و $V_{BULK-NEG}$ به‌ترتیب به V_{DD} و $V_{DD}-\Delta V_B$ تغییر می‌یابند. از آنجا که مقایسه‌کننده به‌عنوان ساده‌ترین بلوک میدل آنالوگ به دیجیتال شناخته می‌شود، مطلوب است خروجی‌ها به سیگنال‌های دیجیتال تبدیل شوند. به‌همین منظور، در انتهای سیکل مقایسه، می‌توان فیدبک منفی را به‌طور کامل از مدار خارج کرد. بنابراین، مطابق مدل ساده‌شده شکل ۴ (d)، در

ترانزیستورهای $M_{5,7}$ و $M_{6,8}$ به‌ترتیب به گره‌های $V_{BULK-NEG}$ و $V_{BULK-POS}$ متصل شده‌اند که تغییرات کم‌دامنه آنالوگ را تجربه می‌کنند. این دو سیگنال کم‌دامنه آنالوگ توسط بلوک "تعیین نوع فیدبک" و از روی سیگنال‌های دیجیتال ورودی ساخته می‌شوند. حلقه حذف آفست شامل: ترانزیستورهای زوج کمکی، $M_{1,OFF}$ و $M_{2,OFF}$ ، ترکیب کاسکود برای افزایش مشابهت با مسیر اصلی سیگنال، $M_{3,OFF}$ و $M_{4,OFF}$ ، و خازن‌های ذخیره‌سازی جواب حلقه، $COFF1$ و $COFF2$ ، می‌باشد. "بلوک تشخیص آفست" که به‌واسطه سوئیچ‌های S_{OFF} تنها در طول یک بودن سیگنال ϕ_{IN} متصل می‌شود، یک زوج دیفرانسیلی ساده با بار مقاومتی است. این بلوک، سطح سیگنال را برای اعمال به گیت ترانزیستورهای مربوطه تنظیم می‌کند. سطح مطلوب، بامقدار مقاومت‌های $ROFF$ تنظیم می‌شود. پس از پایان فاز رفع آفست، "بلوک تشخیص آفست" از مدار خارج شده و تنها خازن‌های $COFF1$ و $COFF2$ ، مقدار آفست نمونه‌برداری شده را به ورودی اعمال می‌کنند.

۱-۲- زمان بندی مقایسه‌کننده تک‌طبقه پیشنهادی

دیگرام زمانی مقایسه‌کننده پیشنهادی در شکل ۳ (b) نمایش داده شده است. عملیات مقایسه در دو فاز متفاوت انجام می‌شود: حذف آفست ($\phi_{IN}=1$)، که شامل زیرفازهای t_1 تا t_3 می‌شود، و مقایسه اصلی ($\phi_{IN}=0$)، که شامل زیرفازهای t_4 تا t_6 است. به‌عبارت دیگر، هر یک از این دو فاز به سه زیرفاز تقسیم می‌شوند: ریست (t_1 و t_4)، پیش-تقویت (t_2 و t_5)، و فیدبک مثبت (t_3 و t_6). رفتار مقایسه‌کننده در هر یک از این شش بازه زمانی، به تفصیل مورد بررسی قرار می‌گیرد.

- **فاز ریست آفست (t_1):** در ابتدای سیکل مقایسه t_1 ، اطلاعات دیجیتال قبلی به‌کمک سوئیچ S_{RESET} پاک می‌شود. از بین بردن داده قبلی توسط سوئیچ کمکی، با تأخیر بسیار کوچکی امکان‌پذیر است و به افزایش سرعت مقایسه‌کننده کمک می‌کند.

- **فاز پیش-تقویت آفست (t_2):** در پایان فاز ریست، هنوز ولتاژ بسیار کوچکی روی دوسر سوئیچ S_{RESET} باقی مانده است. بنابراین نمی‌توان بلافاصله بعد از فاز ریست، مقایسه‌کننده را به فاز فیدبک مثبت وارد کرد. به‌همین منظور، باید در طول بازه t_2 آفست ورودی با بهره محدود پیش-تقویت شود، به‌گونه‌ای که قدرت فیدبک منفی از فیدبک مثبت بیشتر باشد. برتری قدرت فیدبک منفی بر فیدبک مثبت، در ترانزیستورهای PMOS کاملاً مشابه، با تغییر در ولتاژ آستانه V_{th} ترانزیستورها ممکن می‌شود. مطابق آنچه در تحلیل تئوری بخش ۲-۲ ارائه خواهد شد، تغییر در ولتاژ آستانه ترانزیستورها با تغییرات آنالوگ ولتاژ بدنه امکان‌پذیر است. چنانچه در بازه t_2 ولتاژهای $V_{BULK-NEG}$ و $V_{BULK-POS}$ به‌ترتیب به مقادیر V_{DD} و $V_{DD}-\Delta V_B$ تغییر یابند، قدرت فیدبک منفی بیشتر از فیدبک مثبت خواهد بود. میزان ولتاژ ΔV_B به‌گونه‌ای انتخاب می‌شود که اولاً پیوند بدنه-سورس را در حالت بایاس معکوس حفظ کند و ثانیاً اختلاف کافی بین قدرت فیدبک مثبت

$$(g_{m-6.8})_{\tau_2} = \mu_p C_{ox} \frac{W}{L} [(V_{gs-6.8}) - (V_{th-6.8})_{\tau_2}] \quad (5)$$

که در آنها ترانساینایی ترانزیستورهای فیدبک منفی و مثبت در طول بازه τ_2 به ترتیب با $(g_{m-5.7})_{\tau_2}$ و $(g_{m-6.8})_{\tau_2}$ نام‌گذاری شده‌اند. همچنین، $V_{gs-5.7}$ و $V_{gs-6.8}$ بیانگر ولتاژ گیت-سورس ترانزیستورهای مذکور است. با استناد به [۱۴، ۱۲]، بهره پیش-تقویت‌کننده به اختلاف ترانساینایی ترانزیستورهای فیدبک منفی و مثبت بستگی دارد:

$$(A_V)_{Diff-\tau_2} = \frac{g_{mi}}{(g_{ds-cas}) + (g_{ds-p}) + (\Delta g_m)_{\tau_2}} \quad (6)$$

$$\begin{aligned} (\Delta g_m)_{\tau_2} &= (g_{m-5.7})_{\tau_2} - (g_{m-6.8})_{\tau_2} = \\ &= \mu_p C_{ox} \frac{W}{L} \gamma (\sqrt{|2\phi_F|} - \sqrt{|2\phi_F - \Delta V_B|}) > 0 \end{aligned} \quad (7)$$

که g_{mi} بیانگر ترانساینایی ترانزیستور ورودی، $(\Delta g_m)_{\tau_2}$ بیانگر اختلاف ترانساینایی ترانزیستورهای فیدبک منفی و مثبت با استفاده از روابط (۴) و (۵)، و g_{ds-cas} و g_{ds-p} به ترتیب معرف ادمیتانس شاخه پایین و بالا در پیش-تقویت‌کننده هستند. همچنین، بهره پیش-تقویت در طول بازه τ_2 با $(A_V)_{Diff-\tau_2}$ نمایش داده شده است. مشاهده می‌شود که در بازه τ_2 مقدار مثبتی برای $(\Delta g_m)_{\tau_2}$ به دست می‌آید و به کوچک‌تر شدن بهره ناشی از بزرگ‌تر شدن مخرج می‌انجامد. آنالیز مشابه ثابت می‌کند که اختلاف ترانساینایی‌ها در زیرفاز τ_3 ، همان مقدار رابطه (۷) را با علامت منفی تجربه می‌کند. بنابراین رابطه (۶) در بازه‌ای که فیدبک مثبت قوی‌تر است به رابطه (۸) تبدیل می‌شود.

$$(A_V)_{Diff-\tau_3} = \frac{g_{mi}}{(g_{ds-cas}) + (g_{ds-p}) + (\Delta g_m)_{\tau_3}} \quad (8)$$

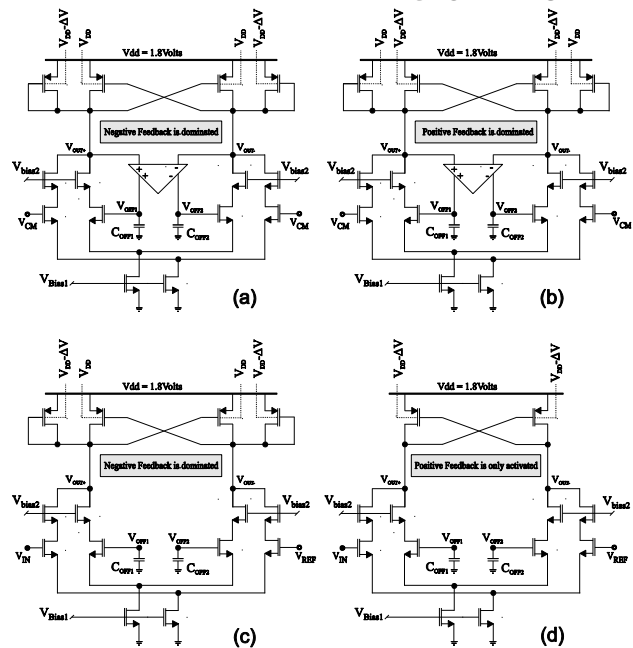
$$\begin{aligned} (\Delta g_m)_{\tau_3} &= (g_{m-NEG})_{\tau_3} - (g_{m-POS})_{\tau_3} = \\ &= \mu_p C_{ox} \frac{W}{L} \gamma (\sqrt{|2\phi_F - \Delta V_B|} - \sqrt{|2\phi_F|}) < 0 \end{aligned} \quad (9)$$

کوچک‌تر شدن مقدار مخرج، در نتیجه منفی شدن بخش $(\Delta g_m)_{\tau_3}$ به بزرگ‌شدن قابل توجه بهره در بازه τ_3 منجر می‌شود. این بدان معناست که بدون استفاده از آپامپ کمکی بهره بالا، بهره و دقت حلقه رفع آفست به میزان قابل توجهی افزایش یافته است. مشابه همین تحلیل، برای زیرفازهای τ_5 و τ_6 نیز صادق است.

۳- مدار پیشنهادی برای خوانش پرسرعت خروجی

در مقایسه‌کننده‌های تک‌طبقه، به علت ادغام طبقات پیش-تقویت‌کننده و لچ، بار خرنی مزاحم ناشی از طبقات بعدی به‌طور مستقیم بر کاهش سرعت مقایسه نقش دارد. تصور کنید که مطابق شکل ۵ (a) از گیت منطقی معکوس‌کننده^{۳۸} در خروجی مقایسه‌کننده استفاده شود. در این بخش، رفتار دیجیتال گیت‌های معکوس‌کننده مدنظر نیست و تنها رفتار آنالوگ آنها در پاسخ به سیگنال‌های خروجی مقایسه‌کننده در دوفاز پیش‌تقویت و بخشی از لچ مورد بررسی قرار می‌گیرد. با توجه به اینکه در زیرفاز پیش-تقویت، سیگنال‌های خروجی مقایسه‌کننده اختلاف کوچکی حول ولتاژ مشترک خروجی تجربه می‌کنند، ترانزیستورهای گیت اینورتر^{۳۹} M_{inv-p} و M_{inv-n} در ناحیه اشباع هستند.

بازه زمانی τ_6 مسیر ترانزیستورهای $M_{5,7}$ به منبع تغذیه از طریق سوئیچ S_{NEG} قطع می‌شود.



شکل ۴: مدل ساده‌شده مقایسه‌کننده در زیرفازهای: τ_6 (d) و τ_5 (c) τ_3 (b) τ_2 (a)

۲-۲- تحلیل تئوری کنترل فیدبک مثبت و منفی با ولتاژ بدنه

همان‌گونه که پیشتر معرفی شد، برتری قدرت فیدبک منفی و مثبت در فازهای مختلف، با استفاده از تغییرات آنالوگ روی ولتاژ بدنه-سورس ترانزیستورهای PMOS انجام می‌پذیرد. تأثیرپذیری ولتاژ آستانه ترانزیستور MOS از ولتاژ سورس-بدنه مطابق رابطه (۱) است، [۱۸].

$$V_{TH} = V_{th0} + \gamma (\sqrt{|2\phi_F + V_{BS}|} - \sqrt{|2\phi_F|}) \quad (1)$$

که در آن $|2\phi_F|$ پتانسیل سطح، γ پارامتر تأثیر بدنه^{۳۶}، V_{BS} پتانسیل سورس-بدنه و V_{th0} ولتاژ آستانه برای حالت ولتاژ صفر روی بدنه-سورس می‌باشد. در طول بازه τ_2 ولتاژهای آستانه ترانزیستورهای PMOS مطابق روابط (۲) و (۳) تغییر می‌کنند.

$$(V_{th-5.7})_{\tau_2} |_{V_{BS}=-\Delta V_B} = V_{th0} + \gamma (\sqrt{|2\phi_F - \Delta V_B|} - \sqrt{|2\phi_F|}) \quad (2)$$

$$(V_{th-6.8})_{\tau_2} |_{V_{BS}=0} = V_{th0} + \gamma (\sqrt{|2\phi_F|} - \sqrt{|2\phi_F|}) = V_{th0} \quad (3)$$

که در آنها ولتاژ آستانه ترانزیستورهای فیدبک منفی و مثبت در طول بازه τ_2 به ترتیب با $(V_{th-6.8})_{\tau_2}$ و $(V_{th-5.7})_{\tau_2}$ مشخص شده‌اند. همچنین پارامتر ΔV_B بیانگر میزان اختلاف ولتاژ بدنه از ولتاژ تغذیه است. از آنجا که یک جریان ثابت از ترکیب ترانزیستورهای M_5 و M_6 (و همچنین M_7 و M_8)، که ولتاژ گیت-سورس یکسانی دارند، عبور می‌کند سهم جریان M_5 از M_6 (و نیز M_7 از M_8) بیشتر است. ترانساینایی^{۳۷} ترانزیستورهای PMOS حاضر در مسیر فیدبک، بر اساس مقادیر ولتاژ آستانه آنها، در روابط (۴) و (۵) بازنویسی شده‌اند.

$$(g_{m-5.7})_{\tau_2} = \mu_p C_{ox} \frac{W}{L} [(V_{gs-5.7}) - (V_{th-5.7})_{\tau_2}] \quad (4)$$

بنابراین، بخش جدیدی به رابطه (۱۰) اضافه می‌شود که مطابق رابطه (۱۲) به حذف بخشی از خازن مزاحم کمک می‌کند:

$$(C_{in})_{sat.b} = C_{gsn} + C_{gsp} + (C_{gdn} + C_{gdp})(1 - A_{inv}) + (C_{gdn,D} + C_{gdp,D})(1 + A_{inv}) \quad (12)$$

که منظور از $C_{gdn,D}$ خازن گیت-درین ترانزیستور $M1-4D$ است. مطابق فرض پیشین داریم: $A_{inv} = -10$ و $C_{gdp} = 3(C_{gdn}) = 3(C_{gdn,D})$ بنابراین، خازن کل عبارت‌است از:

$$(C_{in})_{sat.b} = \frac{8}{3}WLC_{OX} + 8.8WLC_{OX} - 7.2WLC_{OX} \approx 4.3WLC_{OX} \quad (13)$$

مشاهده می‌شود که خازن مزاحم بیش از $\frac{2}{5}$ برابر کاهش یافته است. بنابراین، عملیات پیش-تقویت می‌تواند با سرعت بسیار بیشتری و با تحمل خازن مزاحم کوچک‌تر، ادامه یابد. نتایج شبیه‌سازی، بهبود سرعت مقایسه را تا ۴ برابر تأیید می‌کند.

۴- تحلیل نویز ارجاع شده به ورودی

مدار مقایسه‌کننده متشکل از دو بخش دیجیتال در خروجی و آنالوگ در ورودی است. در حضور سیگنال‌های دیجیتال خروجی، نویز بازگشتی به ورودی را می‌توان در دو بخش متفاوت بررسی کرد:

- در فاز پیش-تقویت، که در آن مقایسه‌کننده مانند یک تقویت‌کننده حلقه باز با گین محدود رفتار می‌کند. از آنجا که برای انجام یک مقایسه مطمئن، پیش از فعال کردن لچ باید تقویت به‌صورت آنالوگ انجام شود، این نویز در فاز پیش-تقویت در تمام مقایسه‌کننده‌ها دیده می‌شود. خروجی‌ها به‌صورت آنالوگ تغییر می‌کنند و نویز بازگشتی به ورودی، از تقسیم نویز خروجی بر بهره پیش-تقویت‌کننده، مطابق رابطه (۶)، به‌دست می‌آید. در این حالت هرچه بهره بزرگ‌تر باشد، نویز بازگشتی به ورودی کاهش خواهد یافت، [۱۹]. در روش پیشنهادی، با کمک گرفتن از فیدبک مثبت، مطابق رابطه (۷)، بهره پیش-تقویت افزایش یافته و انتظار می‌رود نویز بازگشتی به ورودی در فاز پیش-تقویت کاهش یابد. البته، در مقایسه‌کننده‌های چندطبقه با افزایش تعداد طبقات، بهره نیز افزایش یافته و نویز بازگشتی به ورودی کاهش می‌یابد.

- در فاز لچ، که مقایسه‌کننده سعی دارد با استفاده از فیدبک مثبت نتیجه مقایسه را به سیگنال‌های دیجیتال در خروجی تبدیل کند، تغییرات ناگهانی سیگنال‌های دیجیتال ممکن است ورودی آنالوگ را تحت تأثیر قرار دهد. نفوذ این نویز از خروجی به ورودی و از طریق خازن‌های پیوند ترانزیستورها، با نام نویز ضربه بازگشتی در مقایسه‌کننده‌ها شناخته می‌شود، [۱۳-۱۱]. با توجه به رفتار دیفرانسیلی مقایسه‌کننده‌ها، خروجی‌های مثبت و منفی در فاز لچ، در خلاف جهت هم حرکت نموده و بنابراین نویز بازگشتی به ورودی در این فاز اثر مخرب‌تری دارد؛ بدین معنا که می‌تواند ورودی‌ها را در خلاف جهت هم تغییر داده و علامت ورودی را عوض کند. از آنجا که بلوک مقایسه‌کننده تلفیقی از

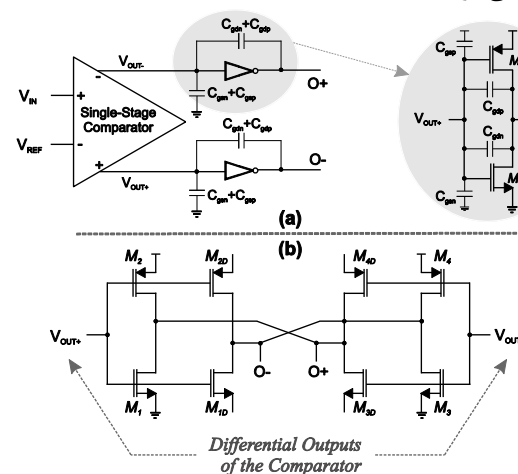
در این ناحیه، بهره گیت اینورتر مقدار بزرگی را تجربه می‌کند. با توجه به اثر میلر^{۲۹} در لحظات کار ترانزیستورهای اینورتر در ناحیه اشباع، خازن‌های گیت-درین این ترانزیستورها (C_{gdp} و C_{gdn}) با ضرب شدن در بهره اینورتر، روی طبقه پیش-تقویت‌کننده تحمیل می‌شوند. این خازن‌ها، باعث کندشدن عملیات پیش-تقویت می‌شوند. خازن مزاحم ناشی از گیت اینورتر بر روی پیش-تقویت‌کننده، درحالی که ترانزیستورهای گیت اینورتر در ناحیه اشباع باشند، عبارت‌ست از:

$$(C_{in})_{sat} = C_{gsn} + C_{gsp} + (C_{gdn} + C_{gdp})(1 - A_{inv}) \quad (10)$$

که منظور از C_{gs} و C_{gd} ، به ترتیب خازن‌های گیت-سورس و گیت-درین هستند، و اندیس n و p مشخص‌کننده نوع ترانزیستور $NMOS$ و یا $PMOS$ است. بهره اینورتر در ناحیه اشباع نیز با پارامتر A_{inv} نمایش داده شده است، که به‌طور معمول مقدار منفی با دامنه ۱۰ را تجربه می‌کند. در ناحیه اشباع، خازن گیت-درین به حدود ۲۰ درصد کل خازن گیت، و نیز خازن گیت-سورس به دو سوم خازن کل گیت می‌رسد، [۱۹]؛ بنابراین $C_{gdn} = 0.2WLC_{OX}$ و $C_{gsn} = 0.67WLC_{OX}$. از آنجا که عرض ترانزیستورهای $PMOS$ سه برابر عرض ترانزیستورهای $NMOS$ انتخاب می‌شود، خازن‌های مربوط به $PMOS$ نیز سه برابر بزرگتر هستند؛ در نتیجه، $C_{gdp} = 3(C_{gdn})$ و $C_{gsp} = 3(C_{gsn})$. پس:

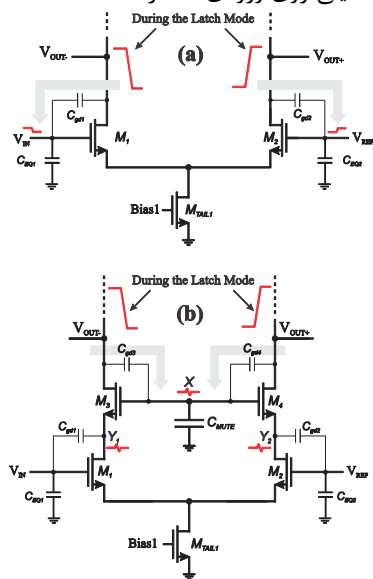
$$(C_{in})_{sat} = 4C_{gsn} + 4C_{gdn}(1 - A_{inv}) = \frac{8}{3}WLC_{OX} + 8.8WLC_{OX} \approx 11.5WLC_{OX} \quad (11)$$

حال، مدار پیشنهادی شکل ۵ (b) را در نظر بگیرید. ترانزیستورهای کمکی $M1D$ و $M2D$ (و همچنین $M3D$ و $M4D$) تنها با هدف ساختن خازن گیت-درین مشابه، با علامت منفی استفاده شده‌اند. برای روشن شدن موضوع، ترانزیستورهای $M1D$ و $M1$ را در نظر بگیرید که گیت آنها به هم متصل است و درین آن‌ها، ولتاژهای یکسانی را با علامت مختلف تجربه می‌کند. در این شرایط، خازن گیت-درین ترانزیستور اصلی و کمکی، به ترتیب با بهره‌های منفی و مثبت، در اثر میلر ظاهر می‌شوند.



شکل ۵: (a) استفاده از گیت‌های اینورتر در خروجی مقایسه‌کننده، (b) مدار پیشنهادی خوانش، با افزایش قدرت درایو مقایسه‌کننده.

تغییرات این بار برای هر دو طرف یکسان بوده و برخلاف حالت شکل ۶ (a) اثر مخرب دیفرانسیلی روی ورودی‌ها ندارد.



شکل ۶: بررسی نویز بازگشتی در حالت (a) ترانزیستورهای ساده به عنوان ورودی، و (b) ترکیب کاسکود برای ترانزیستورهای ورودی

بنابراین، حتی اگر خازن C_{MUTE} کوچک‌تر انتخاب شود، باز هم نویز بازگشتی به ورودی به صورت همسان، ورودی‌ها را تحت تأثیر قرار داده و در اختلاف آنها تغییری ایجاد نمی‌کند. می‌توان نتیجه گرفت که ترکیب کاسکود ترانزیستورهای ورودی، در کنار خازن C_{MUTE} ، هم انتقال ضربه دیجیتال خروجی به ورودی را تضعیف می‌کند و هم تغییرات هم‌جهتی روی ورودی‌ها ایجاد می‌کند.

از دیگر مزایای حضور ترانزیستورهای کاسکود، $M_{3,4}$ ، کاهش خازن ورودی مقایسه‌کننده روی طبقه قبل است؛ بدین صورت که خازن گیت-درین ترانزیستورهای $M_{1,2}$ که پیش از این با بهره کامل پیش تقویت‌کننده با اثر میلر به ورودی منتقل می‌شد، این بار بهره‌ای با اندازه حدود ۱ را تجربه می‌کند. بنابراین، مقدار کمتری از خازن گیت-درین در آرایه فلش، در ورودی مقایسه‌کننده‌ها دیده می‌شود.

۵- تخمین حداکثر سرعت کار مقایسه‌کننده

برای تخمین سرعت کار مقایسه‌کننده، زمان هر شش زیرفاز شکل ۳ (b) به‌طور جداگانه مورد ارزیابی قرار می‌گیرد. حداقل زمان لازم برای هر بار ریست ولتاژ خروجی، حدود ۱۰۰ پیکوثانیه است. زیرفاز پیش تقویت برای حداقل اختلاف ورودی (۱/۵ میلی‌ولت) به اندازه‌ای ادامه می‌یابد که اختلاف قابل اطمینانی (حدود ۱۵ میلی‌ولت مطابق [۱۱]) در انتهای این زیر فاز برای عملکرد صحیح لچ فراهم شود. از آنجا که بهره پیش تقویت حداقل ۱۲ می‌باشد، و نشست خروجی با گین ۱۰ نیز کفایت می‌کند، کمتر از ۴ بیت دقت برای نشست بهره کفایت می‌کند. طبق رابطه زمان نشست خروجی بر اساس دقت مورد نیاز، حداقل سه برابر ثابت زمانی برای فاز پیش تقویت نیاز است:

$$t_{Min,Preamp} \approx n \cdot \tau \cdot \ln 2 \quad (16)$$

بخش‌های آنالوگ و دیجیتال است، این خطا در تمام مقایسه‌کننده‌ها به چشم می‌خورد.

روش‌های متعددی برای کاهش نویز بازگشتی بخش دیجیتال روی ورودی‌های آنالوگ پیشنهاد شده است که در بخش مقدمه به برخی از آنها پرداخته شد. در این مقاله نیز یکی از روش‌ها که پیش از این در [۱۱] پیشنهاد شده بود، مورد استفاده قرار گرفته است. در این روش، به‌واسطه ترانزیستورهای کاسکود یک طبقه اضافی مابین ورودی‌های آنالوگ و خروجی‌های دیجیتال قرار می‌گیرد. گیت ترانزیستورهای کاسکود با یک خازن نسبتاً بزرگ (حدود ۱ پیکوفاراد) به زمین متصل می‌شوند تا تحت تأثیر تغییرات ناگهانی خروجی قرار نگیرند. مقایسه نویز بازگشتی به ورودی در دو حالت: تک ترانزیستور ورودی و ترکیب کاسکود ورودی، به ترتیب در شکل‌های ۶ (a) و ۶ (b) نمایش داده شده‌اند. همان‌گونه که مشاهده می‌شود، در حالت اول، تغییرات پدیده در نودهای خروجی از طریق خازن C_{gd} ، مطابق تقسیم ولتاژ رابطه (۱۴) به گیت ورودی منتقل می‌شود.

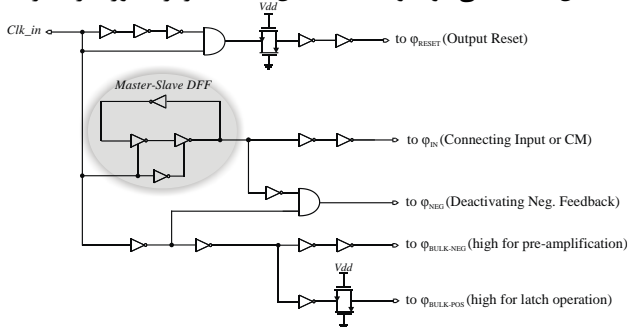
$$(\Delta V)_{Input-Referred} = \frac{C_{gd}}{C_{gd} + C_{EQ}} (\Delta V)_{Out} \quad (14)$$

که منظور از $(\Delta V)_{Out}$ تغییرات دیفرانسیلی ولتاژ خروجی در فاز لچ است. همچنین، C_{EQ} و C_{gd} به ترتیب بیانگر خازن معادل دیده‌شده از طبقه قبل و خازن گیت-درین ترانزیستور ورودی هستند. لازم به ذکر است که تغییرات خروجی‌ها در خلاف جهت هستند و بنابراین ورودی‌ها را نیز در خلاف جهت تغییر می‌دهند. در حالت استفاده از ترکیب کاسکود برای ترانزیستورهای ورودی، مطابق شکل ۶ (a)، تغییرات خروجی هر دو طرف با یک تقسیم در نود X ظاهر می‌شوند. هدف، یافتن تغییرات گره X و تحلیل میزان انتقال آن به گره‌های $Y1$ و $Y2$ و پس از آن به گره‌های ورودی است. برای سادگی تحلیل، فرض می‌شود که تغییرات نود X ، به‌علت ترکیب سورس-فالتورنی 40% عیناً به نود Y منتقل می‌شود. بر اساس قانون جمع آثار و با توجه به رابطه (۱۵) بخش بسیار کوچکی از تغییرات خروجی به گره X منتقل خواهد شد.

$$(\Delta V)_X \approx \left[\frac{C_{gd4}}{C_{gd4} + C_{MUTE}} - \frac{C_{gd3}}{C_{gd3} + C_{MUTE}} \right] (\Delta V)_{Out} \quad (15)$$

خازن C_{MUTE} برای تمام مقایسه‌کننده‌ها به اشتراک گذاشته می‌شود و مقدار نسبتاً بزرگی دارد؛ به‌گونه‌ای که خازن‌های گیت-درین در هر یک از ناحیه‌های کاری ترانزیستورها، در مقابل آن بسیار ناچیز هستند. چنانچه تغییرات خروجی‌ها متقارن و ناحیه کار ترانزیستورها مشابه باشد، خازن گیت-درین یکسانی در هر دو طرف دیده می‌شود و با تحلیل نیم‌مدار، تقریباً تغییری در ولتاژ نود X مشاهده نمی‌شود. این به‌معنای میل کردن نتیجه رابطه (۱۴) به سمت صفر در شرایط $C_{gd4} = C_{gd3}$ است. در حالتی که مدار رفتار نامتقارنی در پاسخ به خروجی‌های دامنه بزرگ نشان دهد، با توجه به بزرگ بودن خازن C_{MUTE} ، مقدار ناچیزی از این تغییرات خروجی به گره X منتقل می‌شود. بنابراین، با توجه به رفتار سورس-فالتورنی ترانزیستورهای $M3$ و $M4$ ، گره‌های $Y1$ و $Y2$ نیز تغییرات ناچیزی را تجربه می‌کنند. این

ورودی به کار می‌رود. سیگنال‌های $\phi_{BULK-POS}$ و $\phi_{BULK-NEG}$ به صورت دیجیتال ساخته می‌شوند و قابلیت اتصال به بدنه ترانزیستورها را ندارند.

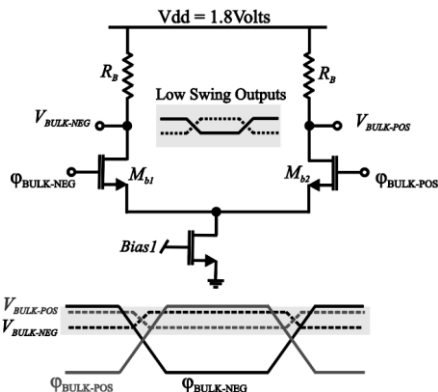


شکل ۷: تولید سیگنال‌های دیجیتال از روی سیگنال کلاک ورودی

این دو سیگنال دیجیتال، به واسطه مدار دیفرانسیلی شکل ۸ به سیگنال‌های دامنه کوچک جهت استفاده در بدنه ترانزیستورهای PMOS ($V_{BULK-POS}$ و $V_{BULK-NEG}$) تبدیل می‌شوند. خروجی‌های این بلوک، بین ولتاژهای V_{DD} و $V_{DD}-0.5(R_B \cdot I_{tail})$ تغییر خواهد کرد که منظور از I_{tail} جریان کل زوج دیفرانسیلی است. توجه به این نکته ضروری است که افزایش بیش از حد مقاومت R_B به بزرگ‌تر شدن ولتاژ ΔV_B می‌انجامد و ممکن است به بایاس مستقیم شدن پیوند سورس-بدنه منتهی شود. همچنین، کوچک‌تر کردن دامنه ΔV_B با خطر نزدیک شدن مقدار ترانسانایی‌ها در ترانزیستورهای فیدبک منفی و مثبت همراه است. در حد مطلوب، ولتاژ ΔV_B برای برآورده کردن هر دو شرط، حدود ۲۰۰ میلی‌ولت انتخاب می‌شود.

۷- نتایج شبیه‌سازی پس از لی‌اوت

طرح لی‌اوت مقایسه‌کننده پیشنهادی، شامل تمامی المان‌های مربوط به رفع آفست و همچنین مقایسه‌کننده اصلی، در ابعاد ۹ میکرومتر در ۵۸ میکرومتر پیاده‌سازی و در شکل ۹ نمایش داده شده است. تاحد امکان بخش‌های آنالوگ و دیجیتال از هم جدا شده‌اند. شبیه‌سازی‌های پس از لی‌اوت، با استفاده از نرم‌افزار HSPICE و با مدل BSIM3v3 تکنولوژی ۰/۱۸ میکرون CMOS انجام گرفته است.



شکل ۸: تولید سیگنال‌های کم‌دامنه از روی سیگنال‌های دیجیتال

ورودی، برای اعمال به بدنه ترانزیستورهای PMOS.

که در آن n تعداد بیت بیانگر دقت لازم برای نشست خروجی به مقدار نهایی، و τ بیانگر ثابت زمانی مجموعه پیش-تقویت‌کننده است. ثابت زمانی معادل با قطب اول، به‌طور غالب با خازن بار در گره خروجی تعیین می‌شود و ساختار کاسکود به دلیل سرعت و پهنای باند بالا، نقش بسیار کوچکی در تعیین ثابت زمانی معادل دارد:

$$t_{Min,Preamp} \approx \frac{n \cdot Ln2}{R_{Out} C_{Load}} \quad (17)$$

که در آن، C_{Load} بیانگر خازن بار ناشی از طبقه بعد، و R_{Out} بیانگر مقاومت خروجی مقایسه‌کننده در حالت پیش-تقویت است که از رابطه (۶) قابل استخراج است. زمان پیش‌تقویت حداقل ۲۵۰ پیکوثانیه در نظر گرفته شده است (که به مقدار ۲۰۰ نیز قابل کاهش است).

بازیابی سیگنال در فاز لچ، با رفتار خطی شارژ خازن توسط منبع جریان قابل مدلسازی است. چنانچه منبع جریانی شروع به تخلیه بار ذخیره‌شده روی خازن کند، رابطه (۱۸) صادق است.

$$\frac{I_{Discharge}}{C_{Load}} = \frac{\Delta V_{Min}}{\Delta t_{Min,Latch}} \quad (18)$$

که در آن، ΔV_{Min} حداقل اختلاف ولتاژ مطلوب در انتهای فاز لچ، و $\Delta t_{Min,Latch}$ بیانگر حداقل زمان لازم برای ایجاد اختلاف ولتاژ مطلوب است. چنانچه حدود ۳۰۰ پیکوثانیه برای فاز لچ در نظر گرفته شود و جریان منبع حدود ۸۰ میکروآمپر برای یک زوج دیفرانسیلی باشد، برای ایجاد اختلاف ولتاژ حدود ۱۴۰۰ میلی‌ولت، خازن پارازیتیک نود خروجی باید کمتر از ۷۰ فمتوفاراد باشد. مکانیزم پیشنهادی شکل ۵ به کاهش چشمگیر خازن پارازیتیک مدار خوانش خروجی کمک می‌کند. شایان ذکر است که حتی اگر رنج تغییرات ولتاژ خروجی به جای ۱۴۰۰ میلی‌ولت به ۴۰۰ میلی‌ولت نیز کاهش یابد، گیت‌های اینورتر خروجی می‌توانند سیگنال تولیدشده را به رنج کامل دیجیتال بازیابی کنند. حداکثر سرعت مدار از رابطه (۱۹) به‌دست می‌آید.

$$f_{max} = \frac{1}{2[t_{Min,Preamp} + \Delta t_{Min,Latch} + t_{Reset}]} \quad (19)$$

۶- تولید سیگنال‌های مرجع

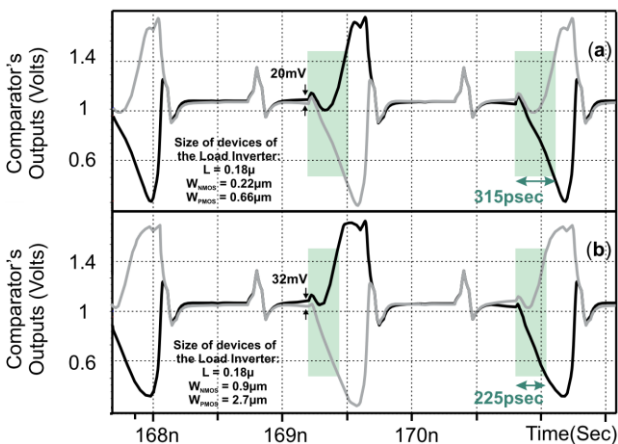
برای عملکرد صحیح مدار مقایسه‌کننده، دو مدار مجزا جهت تولید سیگنال‌های مرجع مورد نیاز است:

- مداری دیجیتال که از روی یک سیگنال کلاک ورودی، تمامی پالس‌های دیجیتال جهت کنترل سوئیچ‌های S_{NEG} ، S_{RESET} و S_{OFF} و همچنین پالس‌های دیجیتال اولیه مربوط به کنترل تغییرات ولتاژ بدنه را بسازد.
- مداری که سیگنال‌های دیجیتال مربوط به کنترل بدنه را به سیگنال‌های کم‌دامنه برای اعمال به بدنه ترانزیستورهای PMOS تبدیل کند.

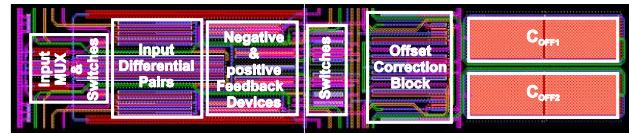
مجموعه گیت‌های منطقی و ترانزیستورهای شکل ۷ (a)، جهت ساختن تمام سیگنال‌های دیجیتال موردنیاز از روی یک سیگنال کلاک

خروجی‌های مقایسه‌کننده در دو حالت آفست ورودی ۵ میلی‌ولت و ۱۵ میلی‌ولت، به ترتیب در شکل‌های ۱۱ (c) و ۱۱ (d) قابل مشاهده هستند. در هر دو حالت، خروجی‌ها پس از آنکه حلقه فیدبک، آفست ورودی را جبران کرده است، نمایش داده شده‌اند. مشاهده می‌شود که تغییرات ورودی با اختلاف ۱/۵ میلی‌ولت، به درستی در فرکانس نمونه‌برداری ۶۲۵ میلیون نمونه بر ثانیه، قابل تشخیص است. در هر دو حالت، گذار از مرحله پیش-تقویت به لچ، (از τ_2 به τ_3 و یا از τ_5 به τ_6) زمانی انجام می‌شود که اختلاف تقویت‌شده به بیش از ۱۰ میلی‌ولت رسیده باشد.

مدار پیشنهادی شکل ۵ (b)، در مقایسه با گیت اینورتر معمولی شکل ۵ (a) ارزیابی شده است؛ شکل ۱۲ (a) مربوط به حالتی است که یک گیت اینورتر ساده با حداقل ابعاد به خروجی مقایسه‌کننده متصل می‌شود. در مقابل، شکل ۱۲ (b) نتیجه شبیه‌سازی حالتی است که گیت اینورتر با ابعاد چهار برابر مینیمم به خروجی مقایسه‌کننده متصل شده باشد. در هر دو شبیه‌سازی، مقدار آفست ۸ میلی‌ولت در ورودی اعمال شده است. همان‌گونه که مشاهده می‌شود، دو بهبود متفاوت در پاسخ خروجی مقایسه‌کننده به دست آمده است: اول اینکه علیرغم افزایش بار خازنی ناشی از ابعاد ترانزیستورهای گیت اینورتر در خروجی، مرحله پیش-تقویت با مزاحمت خازنی کمتری در حال انجام است و اختلاف دیفرانسیلی خروجی فرصت پیدا می‌کند در همان زمان مشابه به جای ۲۰ میلی‌ولت به حدود ۳۲ میلی‌ولت افزایش یابد. این به معنای پیش-تقویت با ضریب اطمینان بالاتر است. دستاورد دوم، بهبود تأخیر پاسخ‌گویی فیدبک مثبت از مقدار اولیه ۳۱۵ پیکوثانیه به ۲۲۵ پیکوثانیه است. بخشی از این بهبود ناشی از ایجاد اختلاف پتانسیل بزرگتر در فاز پیش-تقویت و بخش دیگری از آن نتیجه کاهش خازن خروجی در فاز لچ است. خلاصه بهبود مدار خوانش پیشنهادی آنست که هم قدرت درایو مقایسه‌کننده چهار برابر افزایش یافته است و هم در زمان کوچکتری خروجی‌های مقایسه‌کننده را به سیگنال‌های دیجیتال تبدیل می‌کند.

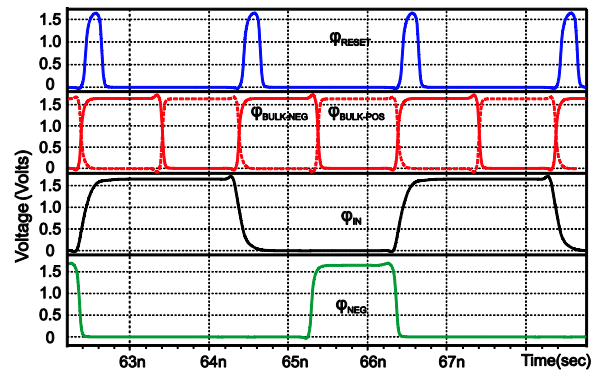


شکل ۱۲: ارزیابی عملکرد مدار خوانش خروجی، (a) مدار شکل ۵ (a) با ابعاد حداقل، و (b) مدار شکل ۵ (b) با ابعاد چهار برابر حداقل.

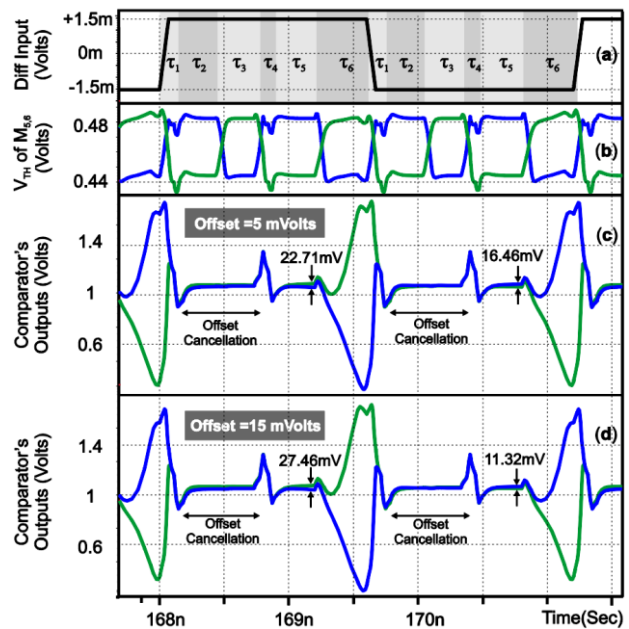


شکل ۹: طرح لی‌اوت مقایسه‌کننده پیشنهادی در ابعاد $9\mu \times 58\mu$.

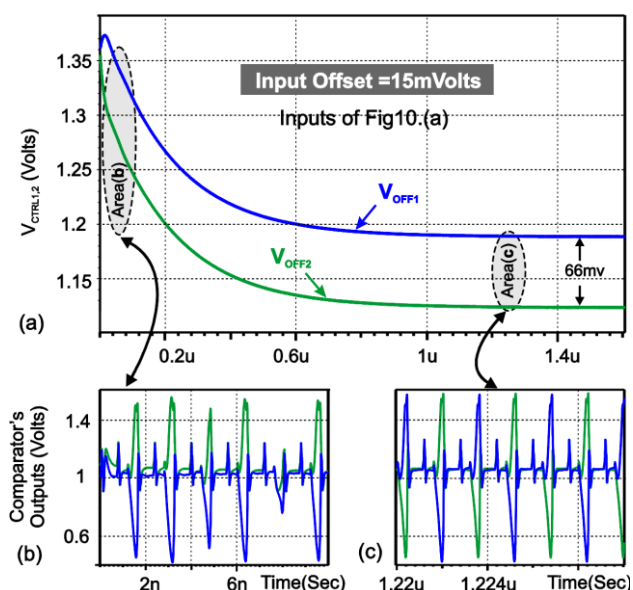
در ابتدا، مدار شکل ۷ با اعمال سیگنال کلاک ورودی، شبیه‌سازی شده و سیگنال‌های دیجیتال خروجی در شکل ۱۰ نمایش داده شده‌اند. در ساده‌ترین ارزیابی پس از لی‌اوت، رفتار گذرای مقایسه‌کننده در پاسخ به ورودی دیفرانسیلی با دامنه ۱/۵ میلی‌ولت، که با نرخ ۶۲۵ میلیون نمونه بر ثانیه در جهت مثبت و منفی به ورودی اعمال می‌شود، بررسی شده است. روند تغییرات ورودی مطابق شکل ۱۱ (a) است که برای تشخیص بهتر، مرز زیرفازها با تغییر رنگ برجسته شده‌اند. شکل ۱۱ (b)، تفاوت ولتاژهای آستانه را در ترانزیستورهای فیدبک منفی و مثبت برای زیرفازهای مختلف نمایش می‌دهد.



شکل ۱۰: سیگنال‌های دیجیتال مورد نیاز مطابق مدار شکل ۷.



شکل ۱۱: شبیه‌سازی گذرای مقایسه‌کننده در فرکانس نمونه‌برداری ۶۲۵ میلیون نمونه بر ثانیه، (a) سیگنال دیفرانسیلی ورودی، (b) ولتاژ آستانه ترانزیستورهای فیدبک منفی و مثبت. خروجی‌های مقایسه‌کننده پس از رفع آفست در حالت: (c) آفست ۵ میلی‌ولت، و (d) آفست ۱۵ میلی‌ولت.

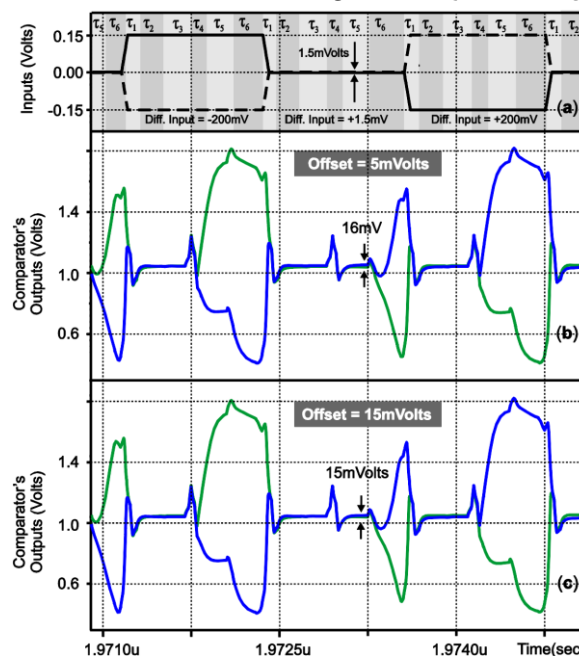


شکل ۱۴: رفتار گذرای حلقه رفع آفست در پاسخ به آفست ورودی ۱۵ میلی‌ولت؛ خروجی‌های مقایسه‌کننده، (b) قبل، و (c) بعد از نشست کردن نتیجه حلقه رفع آفست

مشخص است که قبل از جبران‌سازی آفست (ناحیه b)، مقایسه ورودی‌ها به‌درستی انجام نمی‌شود. پس از اتمام کار حلقه رفع آفست، نتیجه مقایسه مطابق آنچه در ناحیه (c) مشاهده می‌شود، اصلاح خواهد شد. یک تحلیل مناسب جهت ارزیابی عملکرد مقایسه‌کننده‌ها تحلیل مونت-کارلو است که با اعمال خطاهای مختلف ناشی از عدم تطابق ترانزیستورها، ولتاژ آفست ورودی به‌صورت تصادفی و تغییرات ولتاژ آستانه در تکرارهای مختلف، صحت نتایج را بررسی می‌نماید. در بیشتر مقالات آنالیز مونت-کارلو تنها با اعمال تغییرات تصادفی به ولتاژ آفست ورودی ارائه می‌گردد، [۳-۴]، [۱۱-۱۳] و [۱۶]؛ مقدار حداکثر خطای تصادفی آفست در توزیع گاوسین، با توجه به توانایی مدار پیشنهادی در حذف آفست تعیین می‌گردد. انتخاب حد بالای ولتاژ آفست در این آنالیز می‌تواند با توجه به وابستگی حداکثر آفست به سباز ترانزیستورهای ورودی تعیین شود، [۲۰]؛ هرچند مقدار انتخاب‌شده برای حداکثر ولتاژ آفست در تحلیل مونت-کارلو تا سه برابر بزرگتر از مقدار مذکور انتخاب شده است. در این مقاله، جهت بررسی کیفیت مدار پیشنهادی در مقابل تغییرات متعدد، نتایج دو تحلیل متفاوت مونت-کارلو بر روی آفست، و ولتاژ آستانه به‌طور جداگانه ارائه می‌گردد.

آنالیز مونت-کارلو با ۱۰۰ تکرار در هر شبیه‌سازی، در دو حالت مختلف بر روی مقایسه‌کننده پیشنهادی انجام شده است؛ در حالت اول، ولتاژ آستانه در تمام ترانزیستورها، به‌صورت تصادفی از یک توزیع گاوسین^{۴۱} با مقدار ۲۰ میلی‌ولت در 3σ انتخاب می‌شود. در این شبیه‌سازی که نتایج آن در شکل ۱۵ دیده می‌شود، ولتاژ آفست ترانزیستورهای ورودی با اعمال یک منبع ولتاژ ثابت با دامنه ۱۵ میلی‌ولت مدل شده است. ولتاژ آستانه، ترانساینایی ترانزیستورهای فیدبک منفی و مثبت،

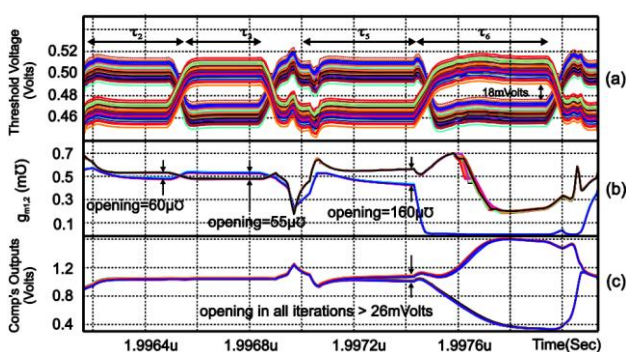
یکی از مهم‌ترین تست‌های مقایسه‌کننده، تست شرایط سخت است، [۱۱-۱۳]، در شرایطی که ورودی‌های مقایسه‌کننده بلافاصله پس از تجربه یک مقدار بزرگ با علامت مثبت، به یک مقدار کوچک با علامت منفی تغییر کنند (مثلاً از +۲۰۰ میلی‌ولت به -۱/۵ میلی‌ولت). شکل ۱۳ نتایج ارزیابی پس از لیاوت مقایسه‌کننده را در پاسخ به تست شرایط سخت نشان می‌دهد. مطابق شکل موج ۱۳ (a)، سیگنال‌های ورودی بلافاصله پس از تجربه کردن اختلاف دیفرانسیلی +۲۰۰ میلی‌ولت در سیکل قبلی مقایسه، به مقدار -۱/۵ میلی‌ولت در سیکل جدید تغییر یافته‌اند. شکل موج‌های ۱۳ (b) و (c)، سیگنال‌های خروجی مقایسه‌کننده را پس از اتمام عملکرد جبران‌سازی حلقه آفست، در شرایطی که ولتاژهای آفست ۵ میلی‌ولت و ۱۵ میلی‌ولت به ورودی اعمال شده‌اند، نشان می‌دهد. مشاهده می‌شود که مقایسه‌کننده قادر است این تغییر ورودی را به‌درستی در فرکانس نمونه‌برداری ۸۰۰ میلیون نمونه بر ثانیه تشخیص دهد. در این ارزیابی نیز، عملیات لچ به اندازه‌ای به تعویق انداخته شده است که اختلاف خروجی‌ها پس از مرحله پیش-تقویت به مقدار قابل اطمینانی برسد. رفتار پایداری حلقه رفع آفست، در شبیه‌سازی حالت گذرای مقایسه‌کننده در پاسخ به ورودی‌های شکل ۱۱ (a)، و با حضور ۱۵ میلی‌ولت آفست در ورودی، در شکل ۱۴ (a) آمده است. ولتاژهای کنترلی V_{OFF1} و V_{OFF2} نتیجه حلقه اصلاح آفست هستند که بر روی خازن‌های C_{OFF1} و C_{OFF2} ذخیره می‌شوند. خروجی‌های مقایسه‌کننده، قبل و بعد از جبران‌سازی کامل آفست توسط حلقه، به ترتیب در شکل‌های ۱۴ (b) و ۱۴ (c) نشان داده شده‌اند.



شکل ۱۳: تست شرایط سخت مقایسه‌کننده در فرکانس نمونه‌برداری ۸۰۰ میلیون نمونه بر ثانیه، (a) سیگنال دیفرانسیلی ورودی؛ خروجی‌های مقایسه‌کننده پس از رفع آفست در حالت‌های: (b) آفست ورودی ۵ میلی‌ولت، و (c) آفست ورودی ۱۵ میلی‌ولت.

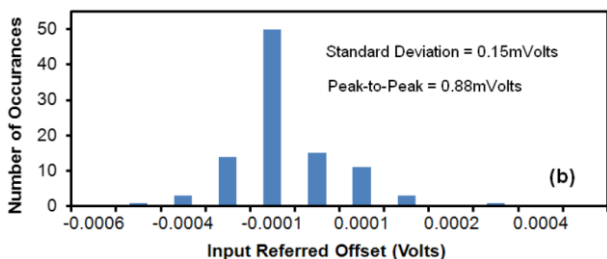
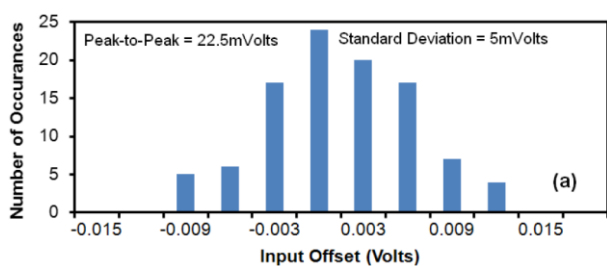
تغییرات ولتاژ آنالوگ کم‌دامنه بر روی بدنه ترانزیستورهای PMOS انجام می‌پذیرد. تعداد کمتری از سیگنال‌های دیجیتال برای کنترل عملکرد مقایسه‌کننده به بخش آنالوگ منتقل می‌شوند؛ در نتیجه، اثرات تزویج سیگنال‌های دیجیتال در بخش لی‌اوت آنالوگ، کاهش می‌یابد. نتایج مقایسه ساختار ارائه‌شده با دیگر ساختارهای پیشین، در جدول ۱ جمع‌آوری شده‌اند. مشاهده می‌شود که علاوه بر توان مصرفی قابل قبول در مقایسه با سایر ساختارها، آفست بازگشتی به ورودی نیز به مقدار بسیار کوچک ۱۵۰ میکروولت رسیده است. همچنین تمهیدات لازم برای کاهش اثر ضربه بازگشتی در این ساختار در نظر گرفته شد. جهت مقایسه منصفانه با سایر کارهای مشابه، پارامتر FOM مطابق رابطه (۲۰) سطر آخر جدول محاسبه شده‌است، [۲۱-۲۲].

$$FOM = \frac{Power\ Consumption}{2^n \times f_s} \quad (20)$$



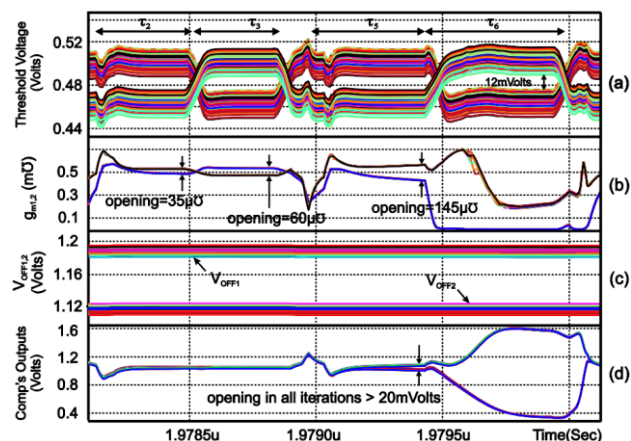
شکل ۱۶: نتایج ۱۰۰ تکرار در آنالیز مونت-کارلو با اعمال توزیع

گاوسین خطای ۲۵ میلی‌ولت در ۳σ، روی ولتاژ آستانه و همچنین تمام ترانزیستورهای مقایسه‌کننده، (a) ولتاژهای آستانه، (b) ترانساینایی‌ها، و (c) خروجی‌های مقایسه‌کننده.



شکل ۱۷: نمودار فراوانی (a) آفست ورودی، و (b) آفست بازگشتی به ورودی، با ۱۰۰ تکرار در تحلیل مونت-کارلو با توزیع گاوسین آفست ورودی با مقدار ۲۵ میلی‌ولت در ۳σ.

که n بیانگر دقت بر حسب تعداد بیت، و f_s بیانگر فرکانس نمونه‌برداری است. مقدار کمتر این پارامتر بیانگر وضعیت مساعد طراحی است. برای محاسبه پارامتر n ، ابتدا حداقل اختلاف ولتاژ ورودی که در حضور تمام



شکل ۱۵: نتایج ۱۰۰ تکرار در آنالیز مونت-کارلو روی ولتاژ آستانه تمام ترانزیستورهای مقایسه‌کننده، با توزیع گاوسین خطا با مقدار ۲۰ میلی‌ولت در ۳σ، و همچنین اعمال ۱۵ میلی‌ولت آفست ورودی، (a) ولتاژهای آستانه، (b) ترانساینایی‌ها، (c) نتایج حلقه جبران آفست، و (d) خروجی‌های مقایسه‌کننده.

ولتاژهای خروجی حلقه جبران آفست، و خروجی‌های مقایسه‌کننده، به ترتیب در شکل موج‌های ۱۵ (a)، ۱۵ (b)، ۱۵ (c) و ۱۵ (d) برای تمام تکرارها جمع‌بندی شده‌اند. انتخاب مقدار مناسب برای ولتاژ ΔV_B به بازبودن یک پنجره اطمینان در انتهای فاز پیش-تقویت منتهی می‌شود. این پنجره، به معنای عدم اختلال در عملکرد مقایسه‌کننده، در شرایط خطاهای احتمالی است. در حالت دوم، علاوه بر اعمال خطای تصادفی روی ولتاژ آستانه ترانزیستورها، آفست ترانزیستورهای ورودی نیز به صورت تصادفی از یک تابع توزیع گاوسین با مقدار ۲۵ میلی‌ولت در ۳σ انتخاب شده است. نتایج این شبیه‌سازی نیز در شکل ۱۶ قابل رؤیت است. در این حالت نیز، برای انتخاب ولتاژ ΔV_B حاشیه امنیت قابل اطمینانی در تمام تکرارها مشاهده می‌شود. از جمله آنکه پنجره قابل اطمینانی به عرض بیش از ۲۵ میلی‌ولت در انتهای زیرفاز پیش-تقویت به دست می‌آید. برای تحلیل آفست بازگشتی به ورودی، مطابق روش پیشنهادی در [۹] و [۱۴، ۱۵]، یک سیگنال شیب ۴۴ کم‌فرکانس به ورودی اعمال شده و به حلقه آفست فرصت کافی برای جبران این آفست داده می‌شود. آفست ورودی و همچنین آفست بازگشتی به ورودی در شبیه‌سازی مونت-کارلو از لحاظ آماری بررسی شده و نمودار فراوانی آنها در شکل ۱۷ به تصویر کشیده شده است. مشاهده می‌شود که آفست بازگشتی به ورودی به مقدار ۱۵۰ میکروولت می‌رسد، درحالی‌که آفست ورودی، مطابق شکل ۱۷ (a)، با انتخاب تصادفی از یک توزیع گاوسین با مقدار ۲۵ میلی‌ولت در ۳σ اعمال شده بود. مقدار پیک‌تاپیک آفست بازگشتی به ورودی مطابق نمودار فراوانی شکل ۱۷ (b) به ۸۸۰ میکروولت می‌رسد.

۸- نتیجه‌گیری

ساختار جدیدی برای مقایسه‌کننده‌های تک‌طبقه ارائه شده است که بدون استفاده از آپ‌امپ کمکی بهره‌بالا، آفست ورودی را با دقت بسیار بالایی جبران می‌کند. گذار از مراحل پیش-تقویت به لچ با استفاده از

رنج آفست اعمال شده به مقایسه‌کننده در تحلیل مونت کارلو، به‌درستی قابل تشخیص است محاسبه می‌شود ($V_{Detectable}$)؛ سپس، مقدار این پارامتر با توجه به رنج کامل ولتاژ رفرنس در مبدل آنالوگ به دیجیتال (V_{Ref})، از رابطه (۲۱) دقت بر حسب تعداد بیت به دست می‌آید، [۱]، [۹]، [۱۹] و [۲۳-۲۴].

$$n = \log_2 \left[\frac{V_{Ref}}{V_{Detectable}} \right] \quad (21)$$

جدول ۱: جدول مقایسه با کارهای مشابه

مشخصه	[۳] سال ۲۰۱۲ (شبه‌سازی)	[۴] سال ۲۰۱۳ (شبه‌سازی)	[۹] سال ۲۰۰۸ (ساخت)	[۱۵] سال ۲۰۱۱ (شبه‌سازی)	[۱۶] سال ۲۰۱۰ (شبه‌سازی)	[۱۸] سال ۲۰۰۷ (شبه‌سازی)	[۲۳] سال ۲۰۱۶ (شبه‌سازی)	[۲۴] سال ۲۰۱۷ (شبه‌سازی)	[۲۵] سال ۲۰۰۴ (ساخت)	این مقاله (شبه‌سازی)
پروسه (نانومتر)	۱۸۰	۱۸۰	۳۵۰	۶۵	۱۸۰	۱۸۰	۱۸۰	۱۸۰	۱۳۰	۱۸۰
مکانیزم کاهش ضربه بازگشتی	ندارد	ندارد	دارد	ندارد	ندارد	ندارد	ندارد	ندارد	ندارد	دارد
حذف آفست	دارد	ندارد	دارد	دارد	دارد	ندارد	ندارد	دارد	ندارد	دارد
تعداد طبقات مقایسه‌کننده	۲	۲	۳	۲	۱	۲	۲	۲	۲	۱
نرخ مقایسه (گیگاهرتز)	۱	۱/۲	۱/۲	۵	۰/۵	۴	۴/۵	۲/۸	گزارش نشده	۰/۸
حداکثر آفست ورودی (میلی‌ولت)	۳۶/۲ @ 1σ	گزارش نشده	۱۰۰۰ @ 3σ	۳۵	۲۶	گزارش نشده	گزارش نشده	۵۰	۱۹	۲۵ @ 3σ
آفست بازگشتی به ورودی (میلی‌ولت)	۷/۱	۰/۴۹۹	۰/۱۹۹	۲/۳	۰/۲	گزارش نشده	۲/۵	۲/۰۷	۸/۵	۰/۱۵
ولتاژ تغذیه (ولت)	۱/۸	۱/۸	۳/۳	۱	۱/۸	۱/۸	۱/۸	۱/۲	۰/۸ تا ۲	۱/۸
توان مصرفی (میلی‌وات)	۰/۳۰۷	۰/۲۷۴ @ 100MHz	۳/۳	۰/۰۹	۰/۶	۱/۴	۰/۴۲ @ 500MHz	۱/۳	گزارش نشده	۰/۵۵
مساحت مؤثر (میکرومتر مربع)	گزارش نشده	گزارش نشده	۴۹۰۰	گزارش نشده	گزارش نشده	گزارش نشده	۴۵۳	گزارش نشده	گزارش نشده	۵۲۲
FOM (fJ/Conversion)	۱/۶	۳	۱/۴۷	۰/۹۷	۱/۲۷	۲۱/۴	۲	۶/۶	گزارش نشده	۰/۷۱

[5] B. Murmann, B-E. Boser, 'A 12-bit 75-MS/s Pipelined ADC Using Open-Loop Residue Amplification', IEEE Journal of Solid-State Circuits, Vol.38, No.12, pp.2040-2050, December 2003.

[6] A. J. Ginés, E. Peralías and A. Rueda, "Background Digital Calibration of Comparator Offsets in Pipeline ADCs", IEEE Transactions on Very Large Scale Integration (VLSI) Systems, Vol. 23, No. 7, pp. 1345-1349, July 2015.

[7] C. Wulff and T. Ytterdal, "Comparator-based switched-capacitor pipelined analog-to-digital converter with comparator preset, and comparator delay compensation", Analog Integrated Circuits and Signal Processing, Springer, Vol. 67, No.1, pp: 31-40, April 2011.

[8] C. C. Liu, S. J. Chang, G. Y. Huang, and Y. Z. Lin, "A 10-bit 50-MS/s SAR ADC With a Monotonic Capacitor Switching Procedure", IEEE Journal of Solid-State Circuits, Vol. 45, No. 4, pp.731-740, April 2010.

[9] Y. L. Wong, M. H. Cohen and P. A. A. Abshire, "A 1.2-GHz comparator with adaptable offset in 0.35-μm CMOS", IEEE Transactions on Circuits and Systems, Vol. 55, No 9, pp. 2584-2594, October 2008.

[10] B. Han, Y. Yang, Z. Zhu, "A novel 1.2GSPS ultra high-speed comparator in 0.18μm CMOS", 9th International Conference on

مراجع

[۱] مهدی حسین‌نژاد و حسین شمس، «طراحی و شبیه‌سازی مبدل آنالوگ به دیجیتال لوله‌ای مبتنی بر مقایسه‌گر ولتاژ پایین»، مجله مهندسی برق دانشگاه تبریز، جلد ۴۶، شماره ۱، صفحه ۸۷-۹۸ بهار ۱۳۹۵.

[2] A. Couto-Pinto, J. R. Fernandes, M. Piedade and M. Silva, "A Flash ADC Tolerant to High Offset Voltage Comparators", Circuits, Systems, and Signal Processing, Springer, Vol. 36, Issue. 3, pp: 1150-1168, March 2017.

[3] S. Babayan-Mashhadi and R. Lotfi, "An offset cancellation technique for comparators using body-voltage trimming", Analog Integrated Circuits and Signal Processing, Springer, Vol. 73, Issue. 3, pp: 673-682, December 2012.

[4] Z. Zhu, G. Yu, H. Wu, Y. Zhang and Y. Yang, "A high-speed latched comparator with low offset voltage and low dissipation", Analog Integrated Circuits and Signal Processing, Springer, Vol. 74, Issue. 2, pp: 467-471, February 2013.

- [18] S. Sheikhaei, Sh. Mirabbasi, A. Ivanov, "A 43mW Single-Channel 4GSIs 4-Bit Flash ADC in 0.18 μ m CMOS", IEEE International Custom Intergrated Circuits Conference (CICC), pp. 333-336, 2007.
- [19] Behzad Razavi, "Desigh of Analog CMOS Integrated Circuit", McGraw-Hill, 2001.
- [20] M. Pelgrom and etc, "Matching Properties of MOS Transistors", IEEE Journal of Solid-State Circuits, Vol. 24, No. 5, October 1989.
- [21] M. van Elzakker, E. van Tuijl, P. Geraedts, D. Schinkel, E. Klumperink, and B. Nauta, "A 1.9 μ w 4.4 fJ/conversion-step 10 b 1 MS/S charge-redistribution ADC," in Proceedings of the IEEE International Solid State Circuits Conference (ISSCC '08), pp. 237-610, San Francisco, Calif, USA, February 2008.
- [22] J. Craninckx and G. van der Plas, "A 65fJ/conversion-step 0-to-50MS/s 0to-0.7mW 9b Charge-Sharing SAR ADC in 90nm Digital CMOS," ISSCC Dig. Tech. Papers, pp. 246-247, Feb. 2007.
- [23] A. Khorami and M. Sharifkhani, "High-speed low-power comparator for analog to digital converters", International Journal of Electronics and Communications (AEÜ) Elsevier, Volume 70, Issue 7, Pages 886-894, July 2016.
- [24] S. Rahmani and M. B. Ghaznavi-Ghouschi, "Design and analysis of a high speed double-tail comparator with isomorphic latch-preamplifier pairs and tail bootstrapping", Analog Integrated Circuits and Signal Processing, Springer, Volume 93, Issue 3, pp 507-521, December 2017.
- B. Wicht, T. Nirschl and D. S. Landsiedel, "Yield and Speed Optimization of a Latch-Type Voltage Sense Amplifier", IEEE Journal of Solid-State Circuits, Vol. 39, No. 7, pp. 1148-1158, July 2004.
- Solid-State and Integrated-Circuit Technology, ICSICT 2008. pp: 1957-1960, 2008.
- [11] S. Kazeminia, M. Mousazadeh, Kh. Hadidi and A. Khoei, "A 500MS/s 600 μ W 300 μ m² Single-Stage Gain-Improved and Kickback Noise Rejected Comparator in 0.35 μ m 3.3V CMOS Process", IEICE Transactions on Electronics, Vol. E94-C, No.4, pages: 635-640, April 2011.
- [12] T. Sundstrom and A. Alvandpour, "A Kick-Back Reduced Comparator for a 4-6-Bit 3-GS/s Flash ADC in a 90nm CMOS Process", 14th International Conference on Mixed Design of Integrated Circuits and Systems, MIXDES 2007, Pages: 195-198, 2007.
- [13] S. Kazeminia and S. Mahdavi, "A 800MS/s, 150 μ V input-referred offset single-stage latched comparator", 23rd International Conference on Mixed design of Integrated Circuits and Systems, June 2016, Lodz, Poland, pp: 119-123, MIXDES2016.
- [14] Y. Jung, S. Lee, J. Chae and G.C. Temes, "Low-power and low-offset comparator using latch load", Electronic Letters, vol. 47, Issue. 3, pp. 167-168, February 2011.
- [15] Xu Yongsheng, L. Belostotski, and J.W. Haslett, "Offset-Corrected 5GHz CMOS Dynamic Comparator using Bulk Voltage Trimming: Design and Analysis", IEEE 9th International New Circuits and Systems Conference (NEWCAS), pp. 277-280, June 2011.
- [16] D.-S. Khosrov, "A new offset cancelled latch comparator for high-speed, low-power ADCs", IEEE Asia Pacific Conference on Circuits and Systems, APCCAS 2010, pp: 13-16, 2010.
- [17] E. Mikkola, B. Vermeire, H. J. Barnaby, H. G. Parks and K. Borhani, "SET Tolerant CMOS Comparator", IEEE Transaction on Nuclear Science, Vol. 51, No. 6, pp. 3609-3614, December 2004.

زیر نویس‌ها

- ²¹ Single-Stage Comparators
- ²² Negetive Feedback
- ²³ Positive Feedback
- ²⁴ Common-Mode Level
- ²⁵ Kickback Noise
- ²⁶ Cascode
- ²⁷ Parasitic
- ²⁸ Read-Out
- ²⁹ Offset Cancellation
- ³⁰ Bulk
- ³¹ Input-Referred Noise
- ³² Multiplexer
- ³³ Feedback-Type Decision
- ³⁴ Offset Detecting Block
- ³⁵ Threshold Voltage
- ³⁶ Body-Effect
- ³⁷ Transconductance
- ³⁸ Inverter Gate
- ³⁹ Miller Effect
- ⁴⁰ Source Follower
- ⁴¹ Gaussian Distribution
- ⁴² Ramp

- ¹ Comparator
- ² Low-Noise
- ³ Low-Offset
- ⁴ Analog-to-Digital Converters
- ⁵ Pipeline
- ⁶ Error Correction
- ⁷ Mismatch Error
- ⁸ Successive Approximation
- ⁹ Offset Cancellation
- ¹⁰ Least Significant Bit
- ¹¹ Layout
- ¹² Coupling
- ¹³ Kickback
- ¹⁴ Latch
- ¹⁵ Interface Stage
- ¹⁶ Pre-Amplifier
- ¹⁷ Isolation
- ¹⁸ Multi-Stage Comparators
- ¹⁹ Flash
- ²⁰ Multibit per Stage Pipelined