بهینه‌سازی حساسیت خط مرجع ولتاژ کم‌توان با استفاده از ساختار نوین دوطبقه در زیرآستانه

محمد عظیمی دستگردی[۱]، دانشجوی کارشناسی ارشد؛ مهدی حبیبی[۲]، دانشیار؛ مهدی دولتشاهی[۳]، استادیار

۱- دانشکده مهندسی برق، واحد نجف آباد، دانشگاه آزاد اسلامی، نجف آباد، ایران- azimi_mohammad@rocketmail.com
۲- دانشکده مهندسی برق، واحد نجف آباد، دانشگاه آزاد اسلامی، نجف آباد، ایران-
دانشکده مهندسی، دانشگاه اصفهان، اصفهان، ایران- mhabibi@eng.ui.ac.ir
۳- دانشکده مهندسی برق- واحد نجف آباد- دانشگاه آزاد اسلامی- نجف آباد- ایران- dolatshahi@iaun.ac.ir

چکیده: در این مقاله روشی نوین به منظور ارتقاء حساسیت خط ولتاژ مرجع خروجی در مراجع ولتاژ کم‌توان با ولتاژ تغذیه‌ی پایین ارائه شده است. در توپولوژی جدید پیشنهادی یک مرجع ولتاژ شکاف انرژی در طبقه‌ی اول قرارگرفته و با تغذیه‌ی یک مرجع ولتاژ حرارتی در طبقه‌ی دوم از ولتاژ خروجی طبقه‌ی اول سبب می‌گردد، حساسیت خط به‌طور چشمگیری بهبود یابد. ساختار ارائه شده نسبت به مدارهای مشابه از حساسیت خط بهتر و در حدود ۰/۰۷۹ %/V برخوردار می‌باشد. به‌کارگیری مدار در ناحیه‌ی زیر آستانه، طراحی بهینه و حداقل منبع تغذیه‌ی ۲۵۰ mV منجر به اتلاف توان ۳۶/۲ pW می‌گردد که آن را در رده‌ی مراجع بسیار کم مصرف قرار می‌دهد. مدار پیشنهادی در تکنولوژی ۰/۱۸ um CMOS شبیه‌سازی‌شده و همچنین به‌منظور ارزیابی در شرایطی نزدیک به واقعیت، اثرات عدم تطابق المان‌ها و تغییر فرآیند نیز در عملکرد ساختار مورد مطالعه قرارگرفته است.

واژه‌های کلیدی: مرجع ولتاژ، جبران‌سازی دمایی، حساسیت خط، کم‌مصرف، مدار زیر آستانه، ولتاژ پایین.

Line Sensitivity Enhancement of Low Power Voltage Reference Circuits Using a Novel Two Stage Structure in Subthreshold

Mohammad Azimi Dastgerdi[1], MSc Student; Mehdi Habibi[2], Associate Professor; Mehdi Dolatshahi[3], Assistant Professor

1-Department of Electrical Engineering, Najafabad Branch, Islamic Azad University, Najafabad, Iran, Email: azimi_mohammad@rocketmail.com
2- Department of Electrical Engineering, Najafabad Branch, Islamic Azad University, Najafabad, Iran-
Department of Engineering, University of Isfahan, Isfahan, Iran, Email: mhabibi@eng.ui.ac.ir
3- Department of Electrical Engineering, Najafabad Branch, Islamic Azad University, Najafabad, Iran, Email: dolatshahi@iaun.ac.ir

Abstract: In this paper, a new method for improving line sensitivity of a low voltage and low power voltage reference is presented. In this new proposed topology, a bandgap voltage reference is used in the first stage and significantly improved line sensitivity through feeding supply voltage of a thermal voltage reference in the second stage. In comparision to similar counterparts, this structure has better line sensitivity and in the order of 0.079 %/V. Due to the use of subthreshold regime MOSFETs, optimized design and also low supply voltage of 250 mV, the obtained power dissipation is about 32.6 pW which is categorized in low power voltage references. The proposed circuit is simulated in a 0.18um CMOS process and for evaluation in near to reality conditions, effects of process and mismatch on the circuit's performance are also investigated in this work.

Keywords: Voltage reference, temperature compensation, line sensitivity, low power, subthreshold circuit, low voltage.

تاریخ ارسال مقاله: ۱۳۹۵/۱۱/۱۷
تاریخ اصلاح مقاله: ۱۳۹۶/۰۴/۰۳
تاریخ پذیرش مقاله: ۱۳۹۶/۰۷/۲۸
نام نویسنده مسئول: مهدی حبیبی
نشانی نویسنده مسئول: ایران، اصفهان، نجف آباد، بلوار دانشگاه، دانشگاه آزاد اسلامی واحد نجف آباد - ایران، اصفهان، خیابان هزار جریب، دانشگاه اصفهان، دانشکده برق.

۱- مقدمه

نیاز به منابع ولتاژ و جریان مستقل از تغییرات فرآیند ساخت، ولتاژ و دما (PVT) و پیاده‌سازی مناسب آن‌ها در تکنولوژی‌های مجتمع سازی مدارات، سبب استفاده از مراجع ولتاژ شکاف انرژی گردیده‌است. مراجع ولتاژ شکاف انرژی به‌طور گسترده در مدارات مجتمع آنالوگ و دیجیتال از جمله مبدل‌های ADC و DAC [۱]، DRAMها ، فلاش مموری‌ها و بسیاری دیگر از مدارات الکترونیکی به‌کار می‌روند. این مدارات بر مبنای تفا ضل ولتاژ با ضریب دمایی مثبت، PTAT[۱]، از ولتاژ با ضریب دمایی منفی، CTAT[۲]، عمل می‌نمایند [۲].

موضوع مهم در طراحی مدارات مدرن و به‌طور ویژه در شبکه‌های حسگر، کاهش ولتاژ و توان مصرفی می‌باشد [۳، ۴]. همچنین به‌واسطه ی تقاضای بالایی که در دستگاه‌های قابل حمل با کارکرد طولانی باطری وجود دارد، مدارات با تغذیه‌ی کم توجه زیادی را به خود جلب نموده‌اند [۵، ۶]. مراجع ولتاژ طور سنتی با استفاده از بایاس مستقیم ترانزیستورهای BJT پیاده‌سازی می‌شوند. در دهه‌ی گذشته اثبات گردید ترانزیستورهای ماسفت در ناحیه‌ی زیر آستانه دارای خواص دمایی مشابهی با ترانزیستورهای BJT است و در حقیقت با افزایش دما مقدار ولتاژ گیت-سورس آن کاهش خواهد یافت [۷]. راه حل‌های متعددی به منظور کاهش تغذیه‌ی مراجع ولتاژ شکاف انرژی ارائه گردیده‌است. از جمله مداری که توسط [۸] پیشنهاد شد. در [۸] به جای استفاده از تفاضل ولتاژهای CTAT و PTAT ، از تفاضل جریان‌های CTAT و PTAT استفاده گردید. سپس با عبور جریان مستقل نسبت دما از یک مقاومت، ولتاژ مرجع جبران‌سازی شده نسبت به دما حاصل گردید. با استفاده از روش ذکرشده اثبات شد، مرجع ولتاژی با منبع تغذیه‌ی V ۰/۸قابل پیاده‌سازی است؛ با این وجود از آن‌جایی که آپ امپ مورد استفاده در این مدار به حداقل ولتاژ V ۱/۴ نیازمند می‌باشد، در عمل حداقل تغذیه‌ی به‌کار گرفته‌شده در این مقاله V ۱/۴ می‌باشد. مرجع [۹] با به‌کارگیری تکنیک بالک درایو در آپ امپ حداقل ولتاژ تغذیه را به V ۰/۹۶ کاهش داد. با توجه به این واقعیت که آپ امپ سبب محدودیت در کاهش منبع تغذیه می‌شود، به دو طریق این محدودیت قابل رفع است: ۱) جایگذاری آپ امپ با مداری که توانایی عملکردی مشابهی در مدار (برابر نمودن ولتاژ گره‌های ورودی) داشته باشد. ۲) ارائه‌ی ساختارهای جدیدی که نیاز به آپ‌امپ نداشته باشند. در [۱۰] با جایگذاری آپ امپ با مقایسه‌کننده، شارژ پمپ و واحد کنترل حداقل ولتاژ مورد نیاز به mV ۲۵۰ کاهش داده شده‌است. با وجود تغذیه‌ی پایین منبع ولتاژ در این مدار، محدودیت تغذیه‌ی مدار در رنج mV ۲۵۰ تا mV ۴۰۰، مصرف بسیار زیاد توان µW ۵ و همچنین تغییرات زیاد حساسیت خط از حدود%/V ۰/۲ تا %/V ۱/۶ از جمله ایرادات این ساختار می‌باشد. مدار پیشنهادی مقاله‌ی [۱۱] با تزریق جریان PTAT بر روی یک اتصال دیودی ترانزیستور nMOS که از ضریب دمایی CTAT برخوردار می‌باشد، مرجع ولتاژی مستقل از دما ارائه نمود که نه تنها از ساختاری تمام ماسفت بهره می‌برد بلکه دارای ضریب دمایی خوب ppm/ $^{\circ}$C ۱۰ و حساسیت خط %/V ۰/۲۷ است. عیب این مدار در واقع حداقل منبع تغذیه‌ی بالای V ۰/۹ آن می‌باشد. به منظور رفع این مشکل، مقاله‌ی [۱۲] با استفاده از تولید کننده‌ی جریان متفاوت نسبت به [۱۱] و به‌کارگیری ماسفت‌های آن در ناحیه‌ی زیر آستانه، حداقل ولتاژ را به V۰/۴۵ کاهش داد. با وجود چنین کاهش ولتاژی، این مدار از حساسیت خط %/V ۰/۴۴ و ضریب دمایی خوب ppm/^{o}C ۱۴۲ برخوردار می‌باشد. به منظور کاهش بیشتر ولتاژ تغذیه و توان مصرفی، مقاله‌ی [۱۳] این ساختار را بدون تولیدکننده‌ی جریان و با کاهش ولتاژ مرجع خروجی به زیر ولتاژ حرارتی، با حداقل تغذیه‌ی mV ۱۵۰و توان مصرفی pW ۲۶/۱ ارائه نمود. از آن‌جایی که ولتاژ خروجی مرجع [۱۳] در رده‌ی ولتاژ حرارتی می‌باشد، در این مقاله از آن به عنوان مرجع ولتاژ حرارتی یاد می‌گردد. با وجود مزیت‌های گفته‌شده برای این مقاله، از معایب آن، حساسیت خط نامناسب %/V ۲/۰۳ و همچنین ضریب دمایی بالای ppm/ $^{\circ}$C ۱۴۶۲ می‌باشد. به منظور بهبود حساسیت خط مرجع [۱۳]، در این مقاله با استفاده از ساختار پیشنهادی دو طبقه، مدار جدیدی ارائه گردید که در آن با تغذیه‌ی مرجع ولتاژ در طبقه‌ی دوم از ولتاژ خروجی مرجع طبقه‌ی اول، حساسیت خط ولتاژ خروجی به مقدار زیادی بهبود بخشد. علاوه بر آن، عملکرد مدار در عمق ناحیه‌ی زیر آستانه و کاهش ولتاژ مرجع خروجی سبب شده حداقل ولتاژ تغذیه‌ی مدار V ۰/۲۵ گردد در حالیکه توان مصرفی آن تنها pW ۳۶/۲ باشد. در ادامه، در قسمت ۲ اصول و قواعد عملکرد مدار پیشنهادی ارائه شده است و در قسمت ۳ نتایج به دست آمده حاصل از شبیه سازی مورد بررسی قرار می‌گیرد. در آخر، در قسمت ۴ به نتیجه‌گیری پرداخته خواهد شد.

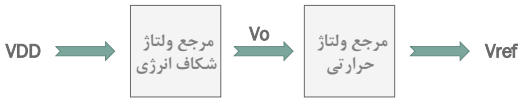
۲- اصول عملکرد

در این مقاله هدف اصلی بهبود پارامتر حساسیت خط در ساختار مرجع ولتاژ توان پایین، ولتاژ پایین می‌باشد. به‌منظور دست‌یابی به این هدف ابتدا مفهوم حساسیت خط توضیح داده می‌شود. حساسیت خط عبارت است از تغییرات ولتاژ مرجع تولیدی نسبت به تغییرات منبع تغذیه:

$$LS = \frac{\partial V_{REF}}{\partial V_{DD}} \quad (۱)$$

که در آن V_{REF} و V_{DD} به ترتیب ولتاژ مرجع و ولتاژ تغذیه‌ی مدار می‌باشند. همان‌طورکه در شکل ۱ نشان داده شده است، چنانچه خروجی یک منبع ولتاژ شکاف انرژی به عنوان ولتاژ تغذیه‌ی مرجع دیگر مورد استفاده قرار گیرد، مرجع دوم از ولتاژ تغذیه‌ای استفاده خواهد نمود که دارای تغییرات بسیار کمی در مقایسه با منبع تغذیه‌ی مدار می‌باشد.

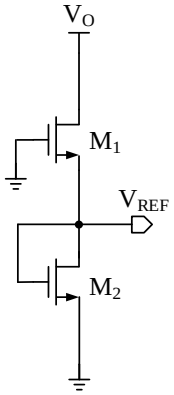
در واقع با توجه به فرمول ۱ قابل درک است چنانچه درصد کمتری از تغییرات ولتاژ منبع در تغذیه‌ی مرجع حرارتی ظاهر گردد، با وجود تغییرات منبع ولتاژ اصلی، تغذیه‌ی مرجع حرارتی در محدوده‌ای کمتر تغییر نموده که موجب تغییرات کمتر ولتاژ مرجع و در نتیجه بهبود حساسیت خط خواهد شد.



شکل ۱: نمایش نمادین مفهوم ارائه شده در پیاده‌سازی مدار

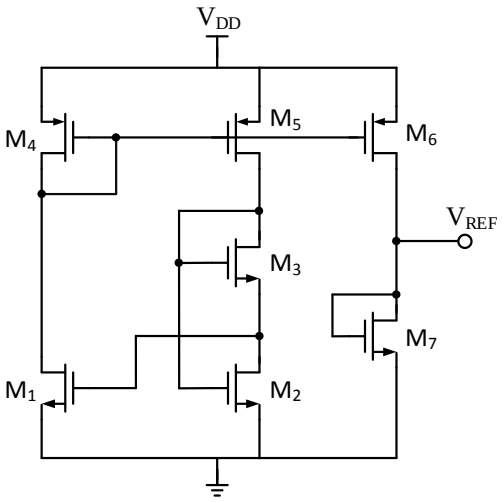
در این مقاله از مرجع ولتاژ حرارتی شکل ۲ به عنوان مرجع ولتاژ حرارتی در شکل ۱ بهره گرفته شده‌است. به دو دلیل این مرجع مورد استفاده قرارگرفته است: ۱) تنها به منبع تغذیه‌ی کم ۱۵۰ mV نیازمند است. ۲) مصرف توان بسیار کم ۲۶/۱ pW در تغذیه‌ی ۰/۱۵ V و ۳۴۲/۳pW در ۱/۸ V، که سبب قرارگرفتن آن در رده مراجع بسیار کم مصرف می‌گردد. لازم به ذکر است مراجع ولتاژ به‌طور معمول قابلیت تأمین ولتاژ طبقه‌ی دیگری را ندارند و تنها در صورتی در ساختار شکل ۱ قابل استفاده است که طبقه‌ی بعد مصرف توان بسیار کمی داشته باشد. در مواردی که مدار طبقه‌ی بعد مصرف توان قابل توجهی دارد، از مدارهای رگولاتور استفاده می‌گردد.

چنانچه از مرجع ولتاژی استفاده گردد که ولتاژ خروجی آن (خروجی آن تغذیه‌ی V_o در شکل فوق می‌باشد) توانایی تأمین تغذیه‌ی مرجع ولتاژ حرارتی را داشته باشد، می‌توان به مرجع ولتاژی دست یافت که از لحاظ حساسیت خط بسیار بهتر از دو مدار تنها باشد. در این مقاله از مدار ارائه‌شده در [۱۲] که در شکل ۳ آورده شده به عنوان مرجع ولتاژ شکاف انرژی شکل ۱ بهره گرفته شده است.



شکل ۲: مرجع ولتاژ حرارتی [۱۳]

دلیل استفاده از این مدار ۱) نیاز به تغذیه کم ۰/۴۵ V برای تولید ولتاژ خروجی با حساسیت خط ۰/۴۴ %/V که حساسیت خط مورد قبولی در این رده ولتاژ می‌باشد. ۲) تأمین تغذیه‌ی ۱۵۰ mV مرجع ولتاژ حرارتی در تغذیه‌ی ۱۵۴ mV مرجع شکاف انرژی، که بدین ترتیب تغییر محسوسی در حداقل تغذیه‌ی مرجع حرارتی مورد استفاده ایجاد نمی‌گردد و تنها ۴ mV افزایش میابد (شکل ۴).



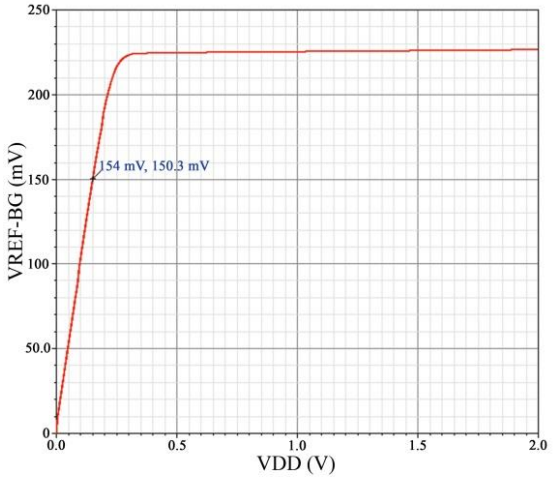
شکل ۳: مرجع ولتاژ شکاف انرژی [۱۲]

با استفاده از دو مدار شکل ۲ و ۳ در ساختار ارائه شده، مدار پیشنهادی به‌صورت شکل ۵ خواهد گردید.

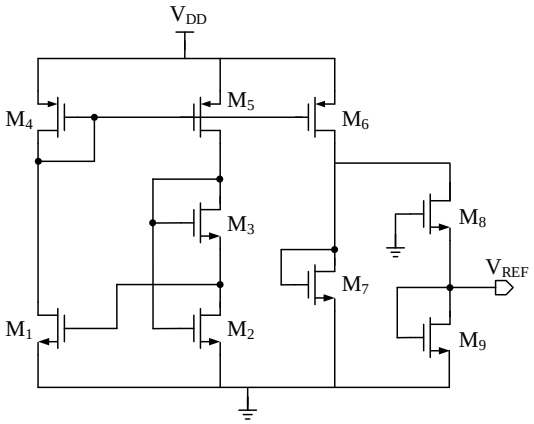
چنانچه مدار پیشنهادی در محدوده‌ی ولتاژی بیش از ۰/۴۵ V بهره گرفته شود، حساسیت خط آن با توجه به معادله‌ی (۱)، مطابق با رابطه‌ی (۲) به‌دست خواهد آمد.

$$LS_{Pr} = \frac{\partial V_O}{\partial V_{DD}} \times \frac{\partial V_{REF}}{\partial V_O} = LS_{BG} \times LS_{TH} \qquad (۲)$$

که در رابطه‌ی فوق LS_{Pr} حساسیت خط مدار پیشنهادی و LS_{BG} و LS_{TH} به ترتیب حساسیت خط‌های مرجع ولتاژ شکاف انرژی و مرجع ولتاژ حرارتی بکار گرفته شده می‌باشند.



شکل ۴: ولتاژ خروجی مرجع ولتاژ شکاف انرژی بکار گرفته شده



شکل ۵: مدار پیشنهادی

حساسیت خط مرجع ولتاژ شکاف انرژی مورد استفاده، به‌طور تقریبی با رابطه‌ی (۳) قابل دستیابی است [۱۲].

$$LS_{BG} = \frac{\lambda_D}{V_O} \qquad (۳)$$

که در رابطه‌ی فوق λ_D ضریب DIBL[۳] برای ترانزیستور M_6 می‌باشد. لازم به ذکر است، در ناحیه‌ی زیر آستانه ترانزیستورهای ماسفت متحمل اثر مدولاسیون طول کانال نمی‌گردند، بنابراین برای $V_{DS}>4V_T$، I_D تنها به‌واسطه‌ی اثر DIBL به V_{DS} وابسته می‌باشد [۱۲].

ولتاژ خروجی مرجع ولتاژ حرارتی مطابق با رابطه‌ی (۴) می‌باشد [۱۳].

$$V_{REF} = \frac{V_{TH,2}(T_0) + |k_{T,2}|T_0 - V_{TH,1}(T_0) - |k_{T,1}|T_0}{2 + nB} \qquad (۴)$$

در رابطه‌ی فوق $V_{TH}(T_0)$ ولتاژ آستانه‌ی ترانزیستورها در دمای اتاق، n ضریب زیر آستانه و همچنین k_T ضریب دمایی ولتاژ آستانه ترانزیستورها را نشان می‌دهد که دارای مقداری منفی است. B عددی تقریبی در حدود ۰/۹۲ می‌باشد.

برای به‌دست‌آوردن حساسیت خط این مرجع بایستی از رابطه‌ی (۴) نسبت به V_{DD} مشتق گیری نمود. قابل ذکر است ولتاژ آستانه ترانزیستور به ولتاژ درین- سورس آن وابسته بوده و در حقیقت اثر DIBL از طریق ولتاژ آستانه در معادله اثر خود را نشان می‌دهد. از طرفی تغییرات ولتاژ منبع بر ولتاژ درین سورس ترانزیستور M_1 تحمیل می‌گردد [۱۳]. با مشتق‌گیری از رابطه‌ی (۴) نسبت به V_{DD}، رابطه‌ی (۵) به‌دست خواهد آمد.

$$LS_{TH} = -\frac{\partial V_{TH,1}(T0)}{\partial V_{DD}} \cdot \frac{1}{2 + nB} \qquad (۵)$$

با جایگذاری رابطه‌ی (۳) و (۵) در (۲)، فرمول حساسیت خط مدار پیشنهادی برای منبع تغذیه‌ی بزرگتر از V ۰/۴۵ مطابق با رابطه‌ی (۶) به‌دست خواهد آمد.

$$LS_{Pr} = -\frac{\lambda_D}{(2 + nB)V_O} \times \frac{\partial V_{TH,1}(T0)}{\partial V_{DD}} \qquad (۶)$$

در مدار پیشنهادی از آن‌جایی‌که ولتاژ خروجی طبقه‌ی اول با اندک تغییرات دمایی همراه است باید میزان تأثیر گذاری آن بر ولتاژ خروجی طبقه‌ی دوم تعیین گردد. پس علاوه بر ضریب دمایی طبقه‌ی خروجی بایستی میزان تأثیر ضریب دمایی طبقه‌ی پیشین بر ولتاژمرجع خروجی بررسی شود.

$$TC_{eff} = \frac{\left[\frac{\partial V_{REF}}{\partial V_O}|T = cte \times \frac{\partial V_O}{\partial T}\right] + \frac{\partial V_{REF}}{\partial T}|V_o = cte}{V_{REF}(27°C)} \qquad (۷)$$

در رابطه‌ی (۷)، $\partial V_{REF}/\partial V_o$ در واقع حساسیت خط مرجع حرارتی و $(\partial V_o/\partial T)/V_{REF}(27°C)$ ضریب دمایی مرجع ولتاژ شکاف انرژی مورد استفاده می‌باشد. در نتیجه جمله‌ی داخل براکت معادله‌ی (۷) مطابق با رابطه‌ی (۸) به‌دست خواهد آمد.

$$\left(\frac{\partial V_{REF}}{\partial V_O}|T = cte \times \frac{\partial V_O}{\partial T}\right)/V_{REF}(27°C) = LS_{TH} \times TC_{BG} \times V_{O-avg} \approx 0 \qquad (۸)$$

که مقداری بسیار کوچک و قابل صرفنظر می‌باشد. بنابراین، ضریب حرارتی مرجع شکاف انرژی با تقریب خوبی با ضریب دمایی مرجع ولتاژ حرارتی به‌کار گرفته‌شده برابر می‌باشد.

رابطه‌ی جبران‌سازی دمایی مرجع ولتاژ حرارتی در [۱۳] آورده شده که با تطبیق آن با مدار پیشنهادی، فرمول (۹) برای جبران‌سازی دمایی مرجع ولتاژ پیشنهادی ارائه می‌گردد.

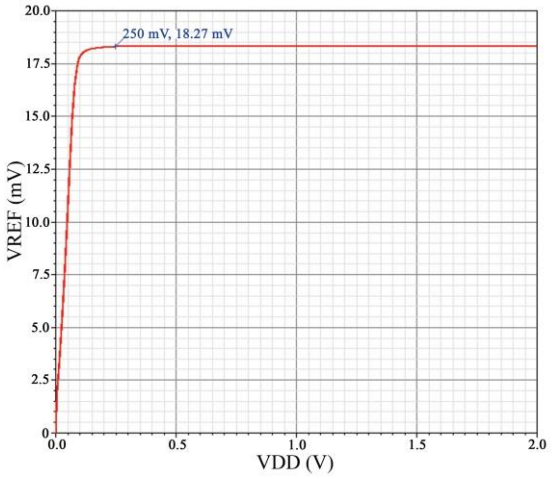
$$\left(\frac{W}{L}\right)_R = \frac{\mu_{n,9}}{\mu_{n,8}} \exp\left\{\frac{q}{nk_B}\left[|k_{T,9}| - |k_{T,8}|\right] + A\right\} \qquad (۹)$$

که در آن q مقدار شارژ اولیه ، k_B ضریب بولتزمن و A مقداری تقریبی معادل با ۱/۳۵- ≈ A است. همچنین $(W/L)_R$ برابر با نسبت $(W/L)_8$ به $(W/L)_9$ می‌باشد.

۳- نتایج اندازه‌گیری

مدار پیشنهادی در این مقاله با استفاده از تکنولوژی um CMOS ۰/۱۸شبیه‌سازی شده‌است. در این قسمت با ارائه‌ی نتایج به‌دست آمده حاصل از شبیه‌سازی، به ارزیابی این مرجع و سپس مقایسه با نمونه‌های مشابه پرداخته شده است. تغییرات ولتاژ مرجع خروجی در برابر تغییرات منبع ولتاژ از ۰ V تا ۲ V در شکل ۶ آورده‌شده‌است. حداقل منبع مورد استفاده در راستای ارتقای تغییرات ولتاژ خروجی نسبت به ولتاژ تغذیه و دما ۰/۲۵ V در نظر گرفته‌شده است. به منظور اثبات بهبود حساسیت خط و انجام مقایسه‌ی کامل، در شکل ۷ تغییرات ولتاژ خروجی در برابر ولتاژ منبع مراجع ولتاژ شکاف انرژی و حرارتی مورد استفاده به همراه مدار پیشنهادی در شکل ۷ ترسیم شده‌است. همان‌طورکه در شکل ۷-

الف قابل ملاحظه است، مرجع شکاف انرژی از ۲۱۵/۱ mV در تغذیه‌ی ۰/۲۵ V به ۲۲۶/۱ mV در تغذیه‌ی ۲ V تغییر می‌کند که سبب حساسیت خط ۲/۸۴ %/V می‌شود. این تغییرات برای مرجع حرارتی و مدار پیشنهادی در شکل ۷- ب ترسیم شده‌است. مرجع حرارتی در شکل ۷- ب از ۱۸/۳۲ mV در تغذیه‌ی ۰/۲۵ V به ۱۹/۴۶ mV در تغذیه‌ی ۲ V افزایش می‌یابد که حساسیت خط ۳/۴۵ %/V را منجر می‌گرد، این درحالی‌است‌که مرجع ولتاژ پیشنهادی در تغذیه‌ی ۰/۲۵ V دارای ولتاژ خروجی ۱۸/۲۷ mV و در تغذیه‌ی 2 V دارای ولتاژ خروجی ۱۸/۲۸ mV می‌باشد که موجب حساسیت خط ۰/۰۳۱ %/V می‌شود. با مقایسه‌ی نتایج به‌دست‌آمده برای حساسیت خط مدار پیشنهادی با دو مدار به‌کارگرفته‌شده در آن که به‌طور جداگانه و با تغذیه‌ی V_{DD} شبیه‌سازی شده‌اند، اثبات گردید حساسیت خط در مرجع ولتاژ پیشنهادی به‌طور چشمگیری نسبت به دو مدار مورد استفاده در آن بهبود یافته‌است. به منظور مقایسه‌ی مدار پیشنهادی با نمونه‌های مشابه، تغییرات ولتاژ خروجی در برابر تغییرات منبع تغذیه‌ی مرجع [۱۴] در شکل ۸ آورده شده‌است. این مدار با استفاده از تنظیم مقدار مقاومت، حساسیت خط مدار را بهبود می‌بخشد. در ازای این تنظیم علاوه بر افزایش هزینه‌ی ساخت، فضای اشغالی مدار نیز به‌طور چشمگیری به دلیل نیاز به مقاومت‌های بزرگ افزایش خواهد یافت. با این وجود مقدار حساسیت خط گزارش شده در این مقاله ۰/۳۴ %/V بوده که بسیار بیشتر از حساسیت خط مدار پیشنهادی در این مقاله می‌باشد.



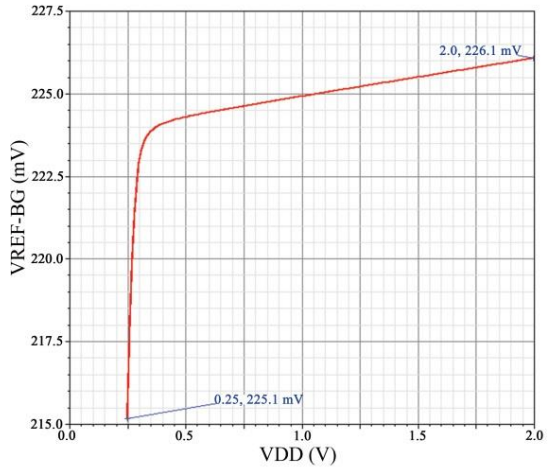
شکل ۶: تغییرات ولتاژ مرجع خروجی در برابر تغییرات منبع ولتاژ

به‌منظور جبران‌سازی دمایی، با توجه به رابطه‌ی (۹) باید نسبت مناسبی از $(W/L)_8/(W/L)_9$ اختیار شود. این نسبت در شبیه‌سازی ۰/۵ به دست آمده است. تغییرات ولتاژ خروجی نسبت به دما در شکل ۹ آورده‌شده‌است. بازه‌ی تغییرات دمایی از ۰ تا ۹۰ درجه در ولتاژ تغذیه‌ی ۲۵۰ mV می‌باشد. مقدار ضریب دمایی به‌دست آمده در این شرایط ۶۷۲ ppm/°c می‌باشد.

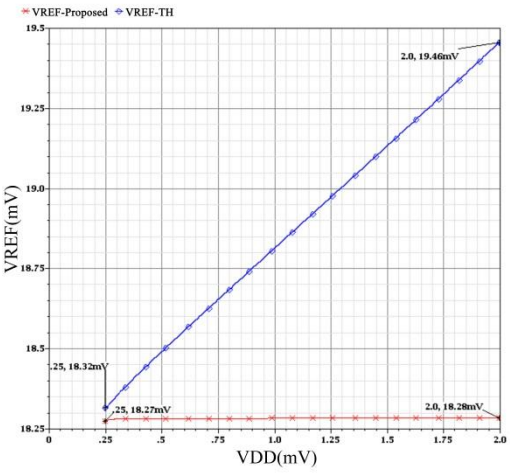
مقدار توان مصرفی در شکل ۱۰ آورده‌شده‌است. همان‌طور که قابل ملاحظه است، حداقل توان مورد نیاز برای مدار پیشنهادی ۳۶/۲ pW می‌باشد و این درحالی‌است‌که مدار [۱۰] با تغذیه‌ی مشابه با این مدار به حداقل ۵/۳۵ μW توان نیازمند می‌باشد. حداکثر توان مورد نیاز در مدار پیشنهادی ۳۴۷ pW در ولتاژ تغذیه‌ی ۲ V می‌باشد. همچنین در شکل ۱۱ تغییرات توان مصرفی برحسب تغییرات دمایی با منبع تغذیه‌ی ۲۵۰ mV آورده‌شده‌است.

تحلیل مونت کارلو با ۶۰ تکرار در تغییرات فرآیند بر روی مدار پیشنهادی اجرا گردید که نتایج حاصل از آن بر روی حساسیت خط، ضریب دمایی و ولتاژ مرجع خروجی به ترتیب در شکل‌های ۱۲، ۱۳ و ۱۴ آورده‌شده‌است. همانطور که در شکل ۱۲ قابل ملاحظه است، مقدار میانگین حساسیت خط ۰/۰۷۹ %/V می‌باشد. این مقدار حساسیت خط در این رده ولتاژ تغذیه، بهترین حساسیت خط گزارش شده از تعداد زیاد مراجع مورد مطالعه می‌باشد. با توجه به شکل ۱۳، میانگین ضریب دمایی برابر با ۹۶۱ $ppm/°C$ می‌باشد. در واقع تأثیر کرنرهای مختلف بر روی ولتاژ آستانه سبب گردیده مقدار ضریب دمایی ۲۸۹ $ppm/°C$ نسبت به کرنر معمولی تنزل یابد. با ملاحظه‌ی شکل ۱۴، مقدار میانگین ولتاژ خروجی در کرنرهای مختلف ۱۸/۳۳ mV و میزان انحراف معیار آن ۰/۲ mV بوده که در حدود ٪ ۱ مقدار ولتاژ خروجی است.

تأثیر انحراف پارامترها با ۶۰ تکرار به میزان ۳ سیگما برای حساسیت خط، ضریب دمایی و ولتاژ مرجع خروجی به ترتیب درشکل‌های ۱۵، ۱۶ و ۱۷ نشان داده‌شده‌است. همان‌طورکه در شکل ۱۵ قابل ملاحظه است، با درنظرگرفتن عدم تطابق در شرایط ساخت، میزان حساسیت خط ۰/۰۳۶ %/V و با انحراف معیار ۰/۰۰۵ %/V می‌باشد. همان‌طورکه در شکل ۱۶ مشاهده می‌شود، در این شرایط، مقدار به‌دست‌آمده برای ضریب دمایی ۷۵۵/۳ ppm/°C و با انحراف معیار ۱۴۷ ppm/°C می‌باشد. از شکل ۱۷ قابل ملاحظه است انحراف پارامترها از مقدار تنظیمی آن‌ها سبب می‌گردد ولتاژ مرجع خروجی با مقدار میانگین ۱۸/۳ mV، ۱/۴ mV انحراف داشته باشد.

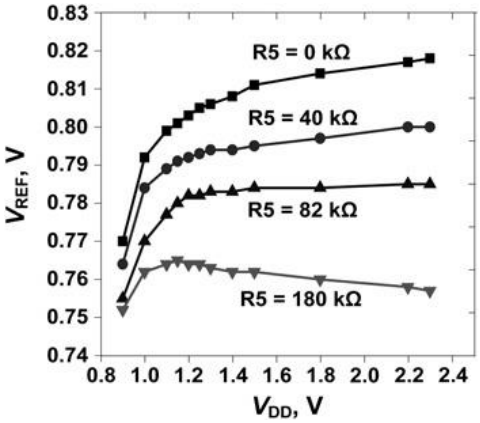


(الف)

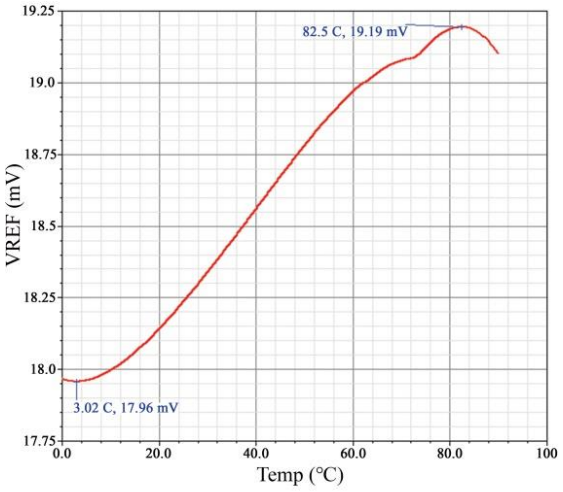


(ب)

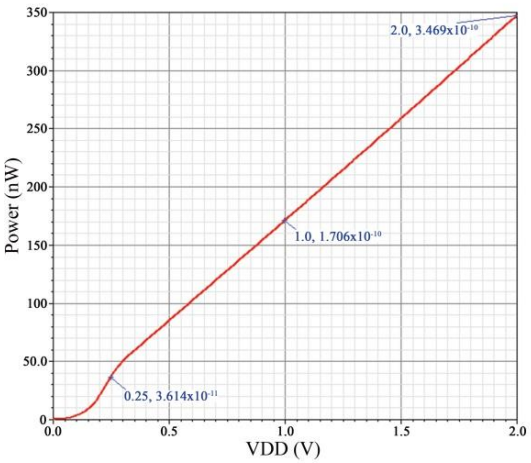
شکل ۷: تغییرات ولتاژ مرجع خروجی از *VDD*= ۲۵۰ *mV* تا *VDD*= ۲ *V* (الف) مرجع شکاف انرژی (ب) مرجع ولتاژ حرارتی و مرجع ولتاژ پیشنهادی



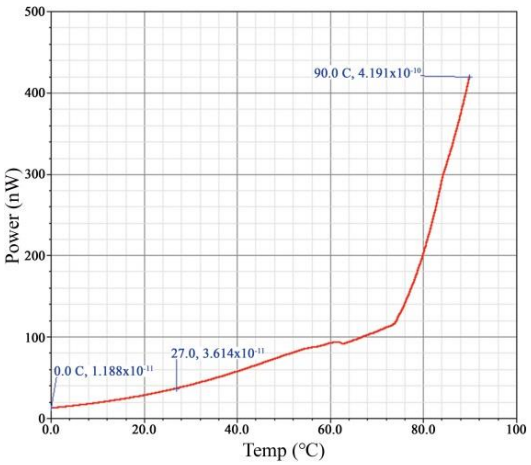
شکل ۸: تغییرات ولتاژ خروجی در برابر ولتاژ منبع تغذیه مرجع ولتاژ [۱۴] از *VDD* = ۰/۹ *V* تا *VDD* = ۲/۳ *V*



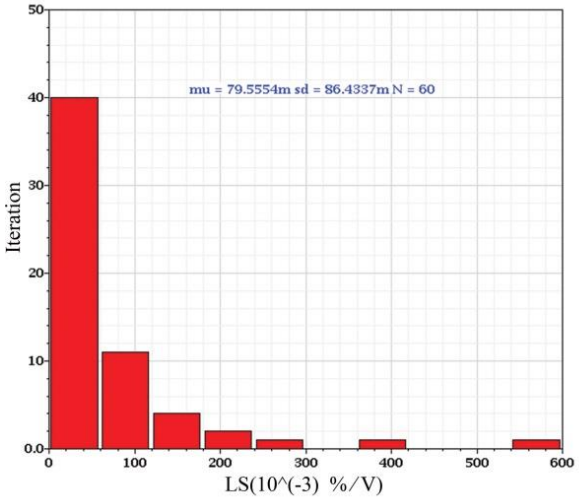
شکل ۹: تغییرات ولتاژ خروجی بر حسب تغییرات دمایی از *C* ۰° تا *VDD*= ۲۵۰ *mV*، ۹۰ °*C*



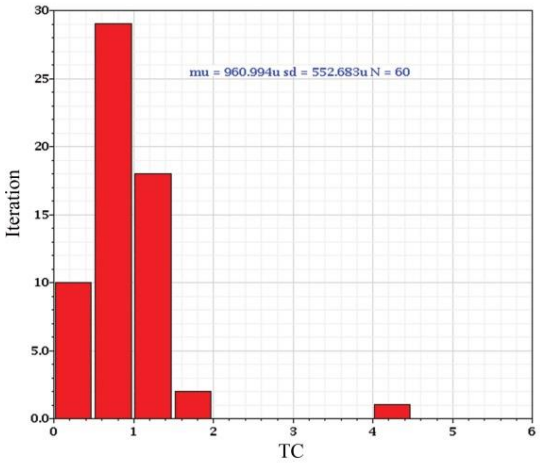
شکل ۱۰: توان مصرفی بر حسب تغییرات ولتاژ منبع



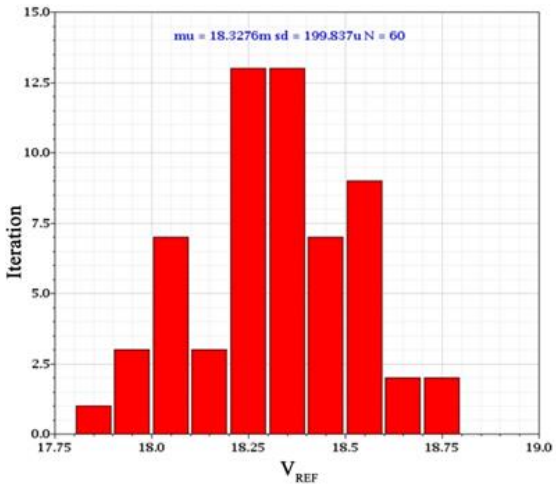
شکل ۱۱: توان مصرفی بر حسب تغییر دما از از *C* ۰° تا *C* ۹۰°، *VDD*= ۲۵۰ *mV*



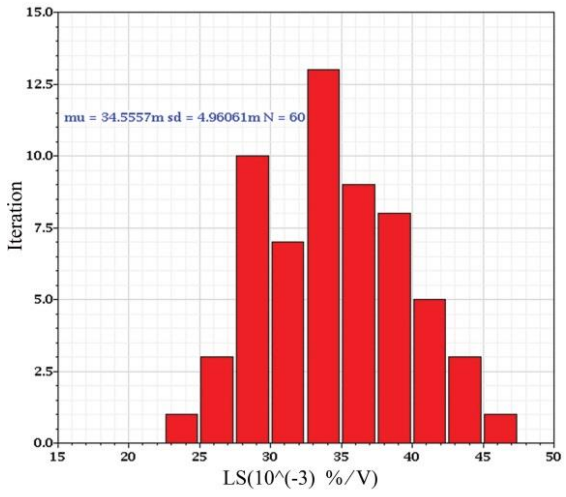
شکل ۱۲: تغییرات حساسیت خط با تحلیل مونت کارلو در تغییرات فرآیند



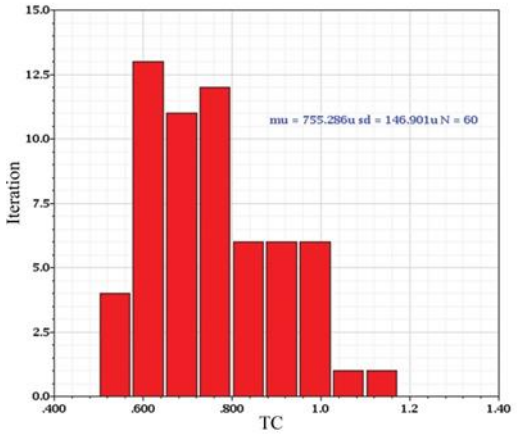
شکل ۱۳: تغییرات ضریب دمایی با تحلیل مونت کارلو در تغییرات فرآیند



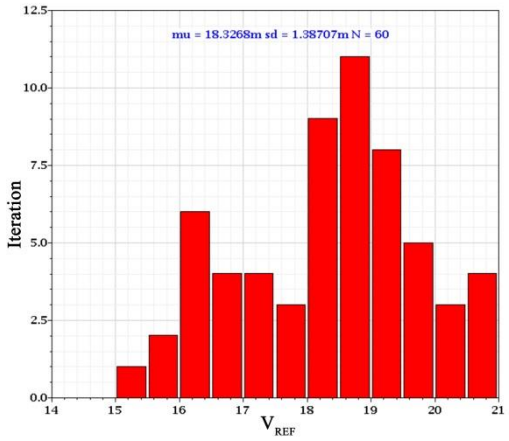
شکل ۱۴: تغییرات ولتاژ مرجع خروجی با تحلیل مونت کارلو در تغییرات فرآیند



شکل ۱۵: تغییرات حساسیت خط با تحلیل مونت کارلو در عدم تطابق

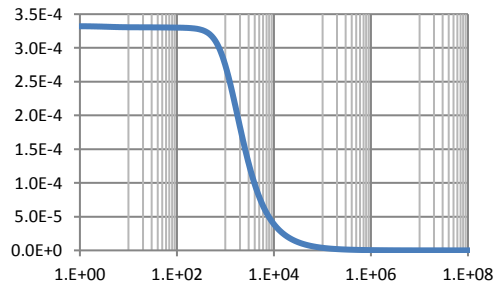


شکل ۱۶: تغییرات ضریب دمایی با تحلیل مونت کارلو در تغییرات فرآیند



شکل ۱۷: تغییرات ولتاژ مرجع خروجی با تحلیل مونت کارلو در عدم تطابق

ازآنجاکه امکان نوسانی شدن منبع تغذیه وجود دارد، میزان عدم پذیرش منبع تغذیه (PSRR) بدون هیچ فیلتر خازنی برای منبع تغذیه‌ی ۲۵۰ mV در شکل ۱۸ مورد بررسی قرارگرفته‌است. در فرکانس‌های پایین PSRR در حدود ۶۹ dB- می‌باشد. در ۱۰۰ Hz مقدار این نسبت ۷۰ dB- می‌گردد و در فرکانس‌های بالا مقدار آن به ۱۶۰ dB- کاهش میابد.



شکل ۱۸: PSRR شبیه سازی شده در ولتاژ تغذیه‌ی $V_{DD} = ۲۵۰\,mV$

جدول ۱: مقایسه با کارهای مشابه

Design		مدار پیشنهادی	[۱۸]	[۱۷]	[۱۶]	[۱۵]	[۱۲]–Simulated	[۱۱]
Tech		0.18 µm	0.18 µm	32 nm	0.18 µm	90 nm	0.18 µm	180 µm
LS(%/V)		0.079	0.44	n/a	4.4	20.7	0.472	2.03
Min Power		36.2 pW	32 nW	12.6 µW	9 µW	482 µW	75.92 pW	26.1 pW
Supply(V)		0.25-1.8	0.45-2	From 0.9	0.9 – 1.5	From 0.5	0.45-2	0.15-1.8
TC(ppm/ºC)		755	63.6	962	33	150	660	1462
V_{REF}(mV)	AVG	18.27	118.46	600	500	241	219.48	17.69
	SD	1.4	0.71	NA	17	12.05	31	**0**.29
PSRR (dB) @ 100 Hz		-70	-44.2	NA	NA	NA	-29	-64

در جدول ۱ به مقایسه‌ی مرجع ولتاژ ارائه‌شده در این مقاله با نمونه‌های مشابه آن پرداخته‌شده‌است. به منظور مقایسه‌ی منصفانه با دیگر مراجع، از ضریب دمایی و حساسیت خط حاصل از تحلیل مونت کارلو در گوشه‌های فرآیند مدار پیشنهادی استفاده‌شده‌است. همان‌طور که قابل ملاحظه است، حساسیت خط مدار پیشنهادی بهتر از تمامی مراجع مورد مقایسه می‌باشد، ضمن آنکه از توان مصرفی بسیار کم pW ۳۶/۲ برخوردار می‌باشد.

۴- نتیجه‌گیری

در این مقاله یک مدار مرجع ولتاژ با استفاده از ساختار نوین دو طبقه در تکنولوژی استاندارد um CMOS ۰/۱۸ پیشنهاد گردید. این مدار با استفاده از تحلیل مونت کارلو که پارامترهای آن تا ۳ سیگما تغییر می‌کند شبیه‌سازی شده و مشخصه‌های عملکردی آن نیز استخراج شده است. مقدار به‌دست‌آمده برای حساسیت خط در حدود %/V ۰/۰۷۹ می‌باشد که در مقایسه با نمونه‌های مشابه به‌طور قابل ملاحظه‌ای بهبود یافته‌است. این در حالیست که مدار تنها به مصرف توان pW ۳۶/۲ در ولتاژ تغذیه‌ی V ۰/۲۵ نیازمند است. مقدار ضریب دمایی ppm/ºC ۹۶۱ می‌باشد ضمن آنکه این مقدار در کرنر معمول به ppm/ºC ۶۷۲ کاهش می‌یابد. مقادیر به‌دست‌آمده در محدوده‌ی وسیع تغذیه‌ی V ۰/۲۵ تا V ۲ درنظرگرفته شده‌است، اگرچه می‌توان حداقل منبع تغذیه‌ی مدار را تا mV ۱۶۰کاهش داد، به منظور بهبود پارامترهایی نظیر ضریب دمایی که به حداقل تغذیه حساسیت زیادی دارند، کمترین ولتاژ تغذیه mV ۲۵۰ درنظر گرفته‌شده است.

مراجع

[1] B.Razavi, *Design of Analog CMOS Integrated Circuits*. New York McGraw-Hill Education 2017.

[2] T. C. Carusone, A. David, D. A. J. Tony Chan Carusone, W. M. Kenneth, B. E. B. E. Bürdek, P. R. H. Gray, *et al.*, "Analog integrated circuit design," in *WORKSHOP on VLSI Signal Processing (1986: Los Angeles, US)*, 2012.

[۳] نظری و یاوند حسنی، «طراحی یک تقویت‌کننده کم‌نویز کسکود ولتاژ پایین با خطینگی بالا به کمک روش تزویج مغناطیسی در باند ۴۵GHz»، مجله مهندسی برق دانشگاه تبریز، دوره ۴۷، شماره ۲، صفحه ۷۶۰-۷۵۱، تابستان ۱۳۹۶.

[۴] پروین، محمدپور و امیدوار، «ارائه روشی مبتنی بر پوشش سراسری و تخمین اتفاق آرا برای بهبود کارایی در شبکه حسگر بی‌سیم»، مجله مهندسی برق دانشگاه تبریز، ۱۳۹۵.

[5] A. Wang and A. Chandrakasan, "A 180-mV subthreshold FFT processor using a minimum energy design methodology," *IEEE Journal of solid-state circuits*, vol. 40, pp. 310-319, 2005.

[6] S.-C. Luo and L.-Y. Chiou, "A sub-200-mV voltage-scalable SRAM with tolerance of access failure by self-activated bitline sensing," *IEEE Transactions on Circuits and Systems II: Express Briefs*, vol. 57, pp. 440-445, 2010.

[7] I. Filanovsky and A. Allam, "Mutual compensation of mobility and threshold voltage temperature effects with applications in CMOS circuits," *IEEE Transactions on Circuits and Systems I: Fundamental Theory and Applications*, vol. 48, pp. 876-884, 2001.

[8] H. Banba, H. Shiga, A. Umezawa, T. Miyaba, T. Tanzawa, S. Atsumi, *et al.*, "A CMOS bandgap reference circuit with sub-1-V operation," *IEEE Journal of Solid-State Circuits*, vol. 34, pp. 670-674, 1999.

[9] Y. Yang, D. M. Binkley, L. Li, C. Gu, and C. Li, "All-CMOS subbandgap reference circuit operating at low supply voltage," in *Circuits and Systems (ISCAS), 2011 IEEE International Symposium on*, pp. 893-896, 2011.

[10] B.-D. Yang, "250-mV supply subthreshold CMOS voltage reference using a low-voltage comparator and a charge-pump circuit," *IEEE Transactions on Circuits and Systems II: Express Briefs*, vol. 61, pp. 850-854, 2014.

[11] G. De Vita and G. Iannaccone, "A Sub-1-V, 10 ppm/°C, Nanopower Voltage Reference Generator," *IEEE Journal of Solid-State Circuits*, vol. 42, pp. 1536-1542, 2007.

[12] L. Magnelli, F. Crupi, P. Corsonello, C. Pace, and G. Iannaccone, "A 2.6 nW, 0.45 V temperature-compensated subthreshold CMOS voltage reference," *IEEE Journal of Solid-State Circuits*, vol. 46, pp. 465-474, 2011.

[13] D. Albano, F. Crupi, F. Cucchi, and G. Iannaccone, "A Sub-kT/q Voltage Reference Operating at 150 mV," *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*, vol. 23, pp. 1547-1551, 2015.

[14] H. Luo, Y. Han, R. C. Cheung, G. Liang, and D. Zhu, "Subthreshold CMOS voltage reference circuit with body bias compensation for process variation," *IET circuits, devices & systems*, vol. 6, pp. 198-203, 2012.

[15] P. Kinget, C. Vezyrtzis, E. Chiang, B. Hung, and T. Li, "Voltage references for ultra-low supply voltages," *IEEE Custom Integrated Circuits Conference*, pp. 715-720, *2008*.

[16] A. Boni, "Op-amps and startup circuits for CMOS bandgap references with near 1-V supply," *IEEE Journal of Solid-State Circuits*, vol. 37, pp. 1339-1343, 2002.

[17] A.-J. Annema, P. Veldhorst, G. Doornbos, and B. Nauta, "A sub-1V bandgap voltage reference in 32nm FinFET technology," *IEEE*

Solid-State Circuits Conference-Digest of Technical Papers, pp. 332-333, *2009*.

[18] Y. Wang, Z. Zhu, J. Yao, and Y. Yang, "A 0.45-V, 14.6-nW CMOS subthreshold voltage reference with no resistors and no BJTs," *IEEE Transactions on Circuits and Systems II: Express Briefs*, vol. 62, pp. 621-625, 2015.

زیرنویس‌ها

[1] Complementary To Absolute Temperature

[2] Proportional To Absolute Temperature

[3] Drain-Induced Barrier Lowering