

ترانزیستور ماسفت سه‌گیتی با استفاده از دیود تونل‌زنی سیلیسیم-ژرمانیم- ژرمانیم برای بهبود اثر بدنه شناور

سیدسعید افزلی^۱، دانشجوی کارشناسی ارشد؛ علی‌اصغر اروجی^۲، استاد؛ زینب رضانی^۳، دانشجوی دکترا

۱- دانشکده مهندسی برق و کامپیوتر - دانشگاه سمنان - سمنان - ایران saeed.afzali@semnan.ac.ir

۲- دانشکده مهندسی برق و کامپیوتر - دانشگاه سمنان - سمنان - ایران aliaorouji@semnan.ac.ir

۳- دانشکده مهندسی برق و کامپیوتر - دانشگاه سمنان - سمنان - ایران zeinab.ramezani@semnan.ac.ir

چکیده: در این مقاله ساختار جدیدی برای ترانزیستور سه‌گیتی (SG-TD) ارائه شده است. در این ساختار با به کار بردن سیلیسیم-ژرمانیم در ناحیه سورس و ایجاد تونل‌زنی به درون ناحیه سورس، مشخصه‌های ماسفت سه‌گیتی در مقایسه با ساختار ماسفت‌های سه‌گیتی مرسوم (C-TG) بهبود داده شده است. در ساختار پیشنهادی علاوه بر اینکه عایق بودن ترانزیستور در زیر کانال حفظ می‌شود، اثرات منفی آن نیز کاهش می‌یابد. در ساختار ارائه شده برای جلوگیری از تجمع حفره‌ها درون سطح کانال از سیلیسیم-ژرمانیم استفاده شده است. این کار باعث کاهش اثر بدنه شناور (FBE)، اثر خودگرمایی (SHE) و جریان چگالی حفره‌ها در ماسفت‌های سه‌گیتی می‌شود. نتایج این ساختار با نرم‌افزار Silvaco به صورت سه‌بعدی شبیه‌سازی شده است.

واژه‌های کلیدی: اثر کانال کوتاه، سیلیسیم-ژرمانیم، ماسفت‌های چندگیتی

Triple-Gate MOSFET Transistor using the Silicon-Germanium Tunneling Diode for Kink Effect Improvement

Seyyed Saeed Afzali¹, MSc student; Ali Asghar Orouji², Professor; Zeinab Ramezani³, PhD student

1- Faculty of Electrical and Computer Engineering, Semnan University, Semnan, Iran, Email: saeed.afzali@semnan.ac.ir

2- Faculty of Electrical and Computer Engineering, Semnan University, Semnan, Iran, Email: aliaorouji@semnan.ac.ir

3- Faculty of Electrical and Computer Engineering, Semnan University, Semnan, Iran, Email: zeinab.ramezani@semnan.ac.ir

Abstract: This paper proposes a new structure of triple-gate transistors (SG-TD). By using the silicon-germanium in the source region and creating a diode tunneling inside the source, the characteristic of the proposed triple-gate MOSFET is improved in comparison with a conventional triple-gate MOSFET (C-TG). In the proposed structure, not only insulation under of the transistor channel is maintained, but also it reduces the negative effects. In the structure to prevent the accumulation of holes in the channel region, the silicon-germanium have used. This can reduce the floating body effect (FBE), the self-heating effect (SHE), and the current density of holes in the proposed triple-gate MOSFET. The proposed structure is simulated with 3D-Silvaco software.

Keywords: Multi gate MOSFETs, short channel effect, SiGe.

تاریخ ارسال مقاله: ۱۳۹۵/۰۹/۰۷

تاریخ اصلاح مقاله: ۱۳۹۵/۱۰/۲۸ و ۱۳۹۵/۱۲/۲۳

تاریخ پذیرش مقاله: ۱۳۹۶/۰۱/۲۱

نام نویسنده مسئول: علی‌اصغر اروجی

نشانی نویسنده مسئول: ایران - سمنان - دانشگاه سمنان - دانشکده مهندسی برق و کامپیوتر.

۱- مقدمه

اگرچه روند پیشرفت تکنولوژی در مدارات توان پایین و با قابلیت جریان دهی بالا به سوی کوچک کردن سایز ترانزیستورها می‌باشد، اما این کوچک‌سازی سبب ایجاد مشکلاتی از قبیل اثرات کانال کوتاه می‌شود و هرچه طول کانال کوچک‌تر شود این آثار نامطلوب شدیدتر می‌گردد [۱-۳].

از تکنولوژی سیلیسیم بر روی عایق^۱ (SOI) به دلیل مزایای عمده آن مانند جریان نشتی کم، ایزولاسیون ایده‌آل، کاهش خازن‌ها و در نتیجه سرعت بالا و همچنین توانایی کار کردن در دمای محیطی بالا جهت ساخت قطعات الکترونیک استفاده می‌شود [۴]. یکی از مزایای بسیار خوب این ترانزیستور استفاده آن در ابعاد بسیار کوچک است، چراکه امروزه سعی بر هرچه کوچک‌تر نمودن ابعاد ترانزیستورها و حجم مدارات می‌نمایند [۵]. اثرات کانال کوتاه در این گونه از ترانزیستورها نسبت به ترانزیستورهای معمولی بسیار کم‌تر است که این امر سبب به‌کارگیری ترانزیستور سیلیسیم روی عایق در مدارات توان پایین می‌شود.

در ترانزیستورهای سیلیسیم روی عایق زمانی که الکترون‌ها در ناحیه اشباع از میدان الکتریکی قوی عبور می‌کنند، در برخورد با اتم‌های کانال به علت یونیزاسیون برخوردی باعث تولید جفت الکترون - حفره می‌شوند [۶]. الکترون‌های تولیدشده به سمت درین حرکت کرده و از سد پتانسیل عبور می‌کنند و وارد ناحیه درین می‌شوند اما حفره‌ها نمی‌توانند وارد زیربنا شوند و به سطح پایین کانال می‌آیند و چون راهی برای خروج از کانال ندارند در سطح پایین کانال تجمع می‌کنند. این افزایش تجمع حفره‌ها باعث ایجاد اثرات نامطلوب بر مشخصه‌های ماسفت می‌شود که از جمله آن‌ها می‌توان به افزایش پتانسیل بدنه اشاره کرد [۷]. افزایش پتانسیل بدنه باعث کاهش کاذب ولتاژ آستانه و افزایش ناگهانی جریان درین خواهد شد که این امر باعث غیرخطی شدن مشخصه‌های خروجی ماسفت خواهد شد [۸-۹]. از طرفی به دلیل این که در نزدیکی درین میدان الکتریکی بسیار زیاد است حامل‌ها می‌توانند انرژی لازم را برای وارد شدن به اکسیدگیت به دست آورند و اثرات حامل‌های داغ را به وجود آورند. بنابراین با گذشت زمان این حامل‌ها عملکرد ترانزیستور دستگاه را کاهش می‌دهند. بنابراین برای رسیدن به ساختار مطلوب، لازم است که میدان الکتریکی را در نزدیکی درین کم کرد [۱۰].

در این مقاله یک ماسفت جدید با استفاده از سیلیسیم-ژرمانیم در ناحیه سورس ارائه شده است. هدف از این ساختار ایجاد تونل‌زنی دیودی در ناحیه سورس برای خارج کردن حفره‌ها از درون کانال می‌باشد. این ساختار جدید SG-TD نامیده شده و شامل یک ماده سیلیسیم-ژرمانیم با دو ناحیه N^+ و P^+ کنار هم می‌باشد. در این ساختار پیشنهادی ضمن حفظ عایق بودن کانال اثرات نامطلوب عایق کانال نیز بهبود داده شده است. در مقایسه نتایج بین این ساختار با ساختار ترانزیستورهای ماسفت سه گیتی مشاهده می‌شود که ساختار پیشنهادی اثرات مخرب کانال کوتاه را کاهش داده است.

لازم به ذکر است که برخی محققان در ساختارهای خود از مواد گوناگونی همانند سیلیسیم و سیلیسیم-ژرمانیم در زیر کانال و یا درون سورس با چگالی‌های متفاوت استفاده و باعث جمع‌آوری حفره‌ها در درون کانال شده‌اند [۸-۹]. تفاوت کار ما با ساختار آن‌ها این است که ما پیوند P-N را در کنار هم با ضخامت کم قرار داده‌ایم که باعث شده است فضای کمی از سورس اشغال شود و همچنین پیوند P-N کمتری تشکیل گردد. این امر اثرات مخرب ناشی از ناحیه تخلیه راکتر و باعث بهبود نسبت به کارهای مشابه شده است.

در ادامه این مقاله به بررسی مشخصات ماسفت پیشنهادی و مقایسه اثرات آن با مشخصات خروجی ماسفت معمولی پرداخته شده است.

۲- ساختار ترانزیستور SG-TD و پارامترهای آن

شکل ۱ ساختار ارائه شده به صورت سه بعدی و سطح مقطع آن را نشان می‌دهد که توسط نرم‌افزار اطلس شبیه‌سازی شده است. در این ساختار طول گیت در سه راستای X, Y و Z ۳۰ نانومتر می‌باشد. در جدول ۱ پارامترهای شبیه‌سازی شده نشان داده شده است. در این شبیه‌سازی مقادیر برای هر دو ساختار سه‌گیتی C-TG و SG-TG یکی می‌باشد تنها در ساختار جدید سیلیسیم-ژرمانیم در ماسفت پیشنهادی ارائه شده است. تمامی شبیه‌سازی‌ها سه‌بعدی بوده و توسط نرم‌افزار Silvaco شبیه‌سازی شده است.

در این شبیه‌سازی برای محاسبه دقیق‌تر نتایج از مدل‌های یونیزاسیون برخوردی (Impact Selb)، باز ترکیبی (Srh)، مدل باز ترکیبی وابسته به میدان (Fldmob)، مدل تونل‌زنی (HEI)، مدل حامل داغ (HHI) و مدل‌های دیگر استفاده شده است. لازم به ذکر است که مقادیر پارامترهای به‌کاربرده شده با توجه به نقشه راه فناوری نیمه‌هادی انتخاب شده است [۱۱].

۳- بحث و بررسی

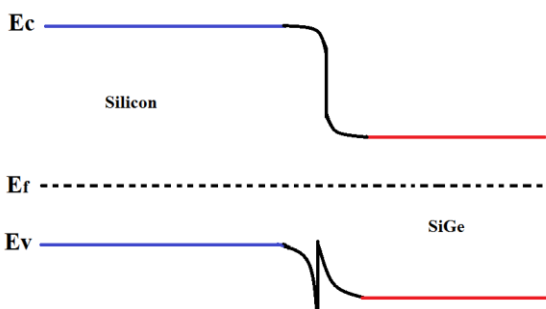
شکل ۲ دیگرام باند انرژی محل اتصال دولایه سیلیسیم (Si) و سیلیسیم-ژرمانیم (SiGe) را نمایش می‌دهد. همان‌طور که در شکل مشخص است باند ممنوعه (شکاف باند) سیلیسیم-ژرمانیم از شکاف باند سیلیسیم کوچک‌تر است. همچنین طبق شکل اختلاف باند هدایت به‌صورت ناپیوستگی تقریباً پله‌ای رخ می‌دهد، در حالی که اختلاف باند هدایت به‌صورت ناپیوستگی تقریباً پله‌ای رخ می‌دهد، در حالی که اختلاف باند ظرفیت به‌شکل میخی خود را نشان می‌دهد که سد کوچک‌تری را دارد. بنابراین به دلیل کوچک‌تر بودن این سطح در ساختار ارائه شده از سیلیسیم-ژرمانیم استفاده شده است که حفره‌ها به راحتی بتوانند از سیلیسیم وارد سیلیسیم-ژرمانیم شوند و از تجمع حفره‌ها در کانال به‌طور قابل‌ملاحظه‌ای جلوگیری می‌کند که این امر موجب کاهش اثر بدنه‌ی شناور و دمای درون کانال می‌شود.

برای اثبات فرضیه بالا شکل ۳ حرکت چگالی جریان حفره‌ها در ساختار C-TG و SG-TG را نشان می‌دهد. همان‌طور که در شکل نشان

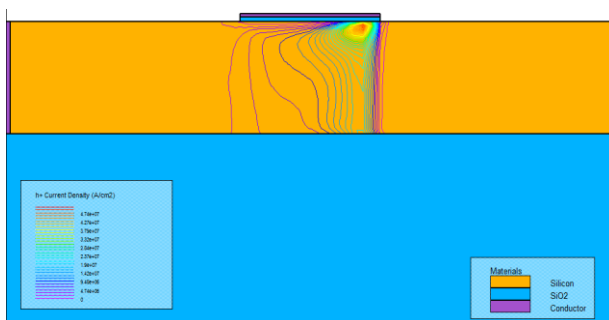
جدول ۱: پارامترهای ترانزیستورهای شبیه‌سازی شده

پارامترها	مقدار
طول کانال در راستای X	۳۰ نانومتر
طول کانال در راستای Y	۳۰ نانومتر
طول کانال در راستای Z	۳۰ نانومتر
طول سورس و درین	۵۰ نانومتر
ضخامت اکسید گیت	۱٫۲ نانومتر
ضخامت اکسید مدفون	۵۰ نانومتر
ضخامت Si با ناخالصی N	۲۰ نانومتر
ضخامت SiGe با ناخالصی P	۱۰ نانومتر
ضخامت SiGe با ناخالصی P در راستای Z	۱۵ نانومتر
چگالی ناخالصی ناحیه کانال	1×10^{18} بر سانتیمتر مکعب
چگالی ناخالصی ناحیه درین و سورس	1×10^{20} بر سانتیمتر مکعب
چگالی ناخالصی ناحیه SiGe N	1×10^{20} بر سانتیمتر مکعب
چگالی ناخالصی ناحیه SiGe P	1×10^{20} بر سانتیمتر مکعب

شکل ۶ و شکل ۷ غلظت حفره‌ها در هر دو ساختار C-TG و SG-TG را نشان می‌دهد که شکل ۶ غلظت حفره‌های درون کانال در راستای X و شکل ۷ غلظت حفره‌های درون کانال در راستای Y را نشان می‌دهد. شکل ۴ و شکل ۵ چگالی جریان حفره‌ها در درون کانال در دو راستای X و Y را نشان می‌دهد. همان‌طور که مشاهده می‌شود دیود تونل‌زنی سیلیسیم-ژرمانیم باعث کاهش چگالی جریان حفره‌ها در طول کانال در ساختار SG-TG نسبت به ساختار C-TG شده است.

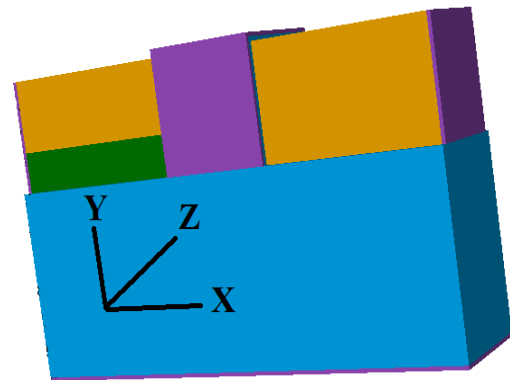


شکل ۲: دیاگرام باند انرژی پیوند Si و SiGe [۱۲]

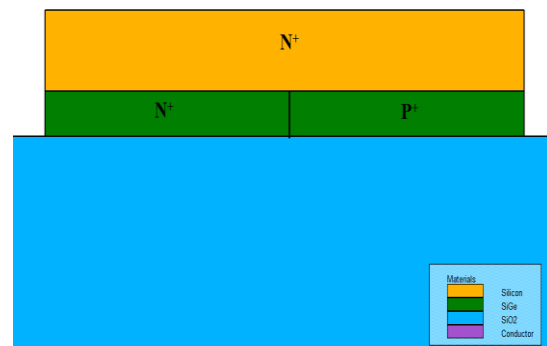


(الف)

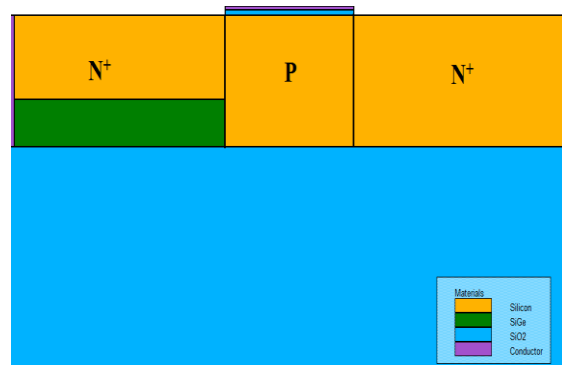
داده شده است که در ساختار جدید حرکت حفره‌ها به سمت SiGe و بخشی از حفره‌ها از کانال خارج می‌شوند.



(الف)



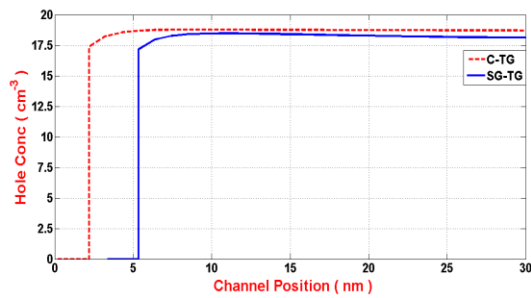
(ب)



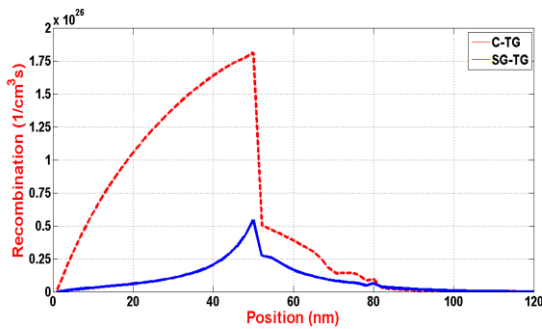
(ج)

شکل ۱: (الف) نمای سه‌بعدی (ب) سطح مقطع در راستای XY (ج) سطح مقطع در راستای ZY ساختار پیشنهادی SG-TG

در شکل ۳ نشان داده شده است که بیشینه چگالی جریان برای ساختار سه‌گیتی پیشنهادی C-TG تقریباً $4/27 \text{ A/cm}^2$ و برای ساختار سه‌گیتی SG-TG تقریباً $2/75 \text{ A/cm}^2$ می‌باشد. در ساختار SG-TG از طریق دیود تونل‌زنی تراکم حفره‌ها از درون کانال را به درون سورس انتقال داده شده است بنابراین چگالی حفره درون کانال نسبت به ساختار سه‌گیتی C-TG کاهش می‌یابد که باعث کاهش اثر بدنه شناور و دمای ترانزیستور خواهد شد.



شکل ۷: غلظت حفره‌ها در راستای Y



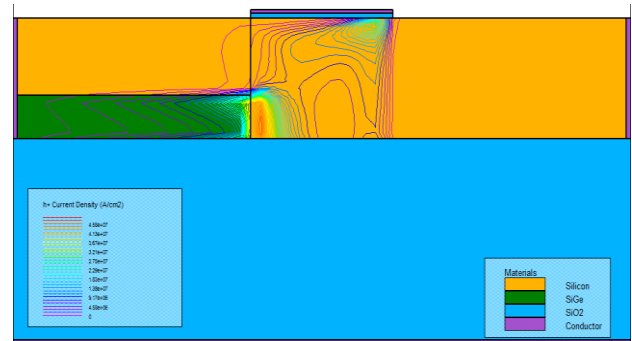
شکل ۸: باز ترکیب برای دو ساختار C-TG و SG-TG

جهت بررسی اثر حامل داغ (HCE) از میدان الکتریکی و دمای الکترون استفاده شده است [۱۳]. کاهش میدان الکتریکی در نزدیکی مرز درین و کانال باعث کاهش چگالی حفره‌ها در اکسید گیت و هم‌چنین بهبود اثر حامل داغ را در پی خواهد داشت.

شکل ۹ میدان الکتریکی درون کانال برای هر دو ساختار C-TG و SG-TG را نشان می‌دهد. شکل ۱۰ جریان میدان الکتریکی درون کانال برای هر دو ساختار C-TG و SG-TG را نشان می‌دهد. همان‌طور که مشاهده می‌شود میدان به سمت سورس کشیده شده است.

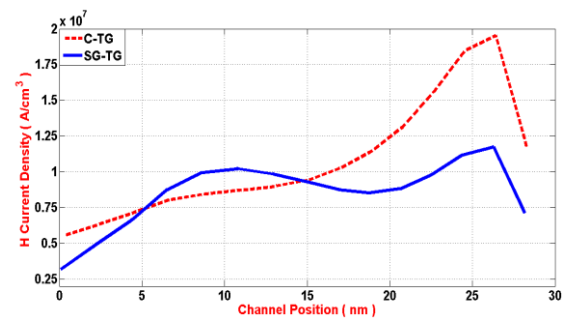
در شکل ۱۱ دمای الکترون در طول ماسفت بررسی شده است. همان‌طور که مشاهده می‌شود میدان الکتریکی در نزدیکی درین و کانال ساختار SG-TG نسبت به ساختار C-TG کم‌تر شده است و دمای الکترون نیز به دلیل کم شدن حفره‌ها و برخورد کم‌تر در طول کانال کم‌تر شده است. بنابراین اثر مخرب حامل داغ نیز در ساختار پیشنهادی نیز بهبود می‌یابد.

در سال‌های اخیر، افزایش جریان خاموشی تبدیل به یک نگرانی بزرگ شده است که در حال حاضر تبدیل به عامل محدودکننده برای افزاره‌ها می‌باشد [۱۴]. یکی دیگر از پارامترهای مهم برای افزاره‌ها، نشتی درین ناشی از گیت (GIDL) می‌باشد. جریانی که در هنگام بایاس منفی گیت از درین به سمت سورس حرکت می‌کند را جریان نشتی ناشی از درین می‌نامند. هرچه جریان نشتی به صفر نزدیک‌تر باشد خروجی ترانزیستور بهتر می‌باشد. در نتیجه کاهش این جریان نشتی برای افزاره‌های مختلف مطلوب است. شکل ۱۲ جریان درین را برای دو ترانزیستور C-TG و SG-TG برای ولتاژ گیت بین ۰/۵- تا ۱ ولت و ولتاژ درین ۰/۵ ولت نشان می‌دهد.

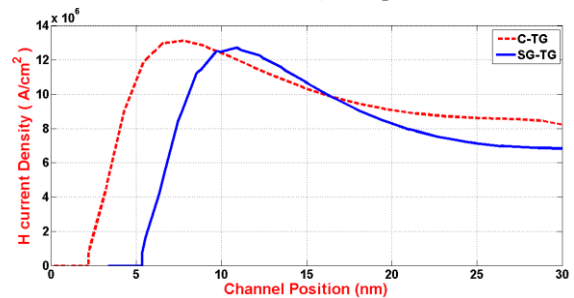


(ب)

شکل ۳: جریان حفره‌ها درون کانال؛ الف) ساختار C-TG، ب) ساختار SG-TG

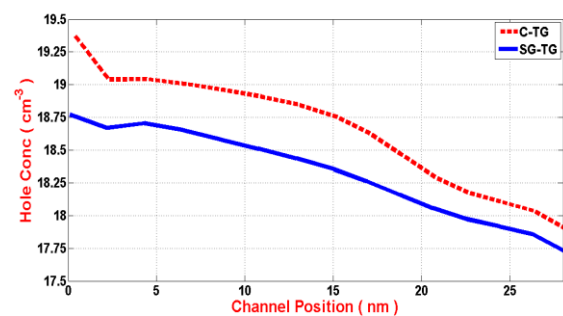


شکل ۴: چگالی جریان حفره‌ها در راستای X

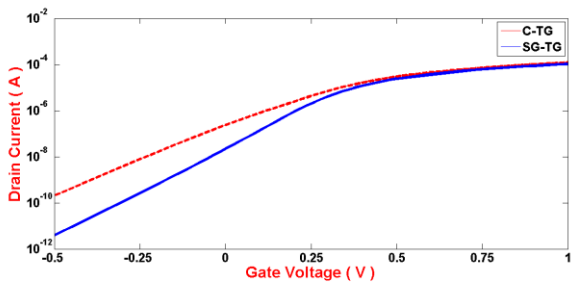


شکل ۵: چگالی جریان حفره‌ها در راستای Y

در هر دو شکل مشاهده می‌شود که غلظت حفره‌ها درون کانال در ساختار SG-TG نسبت به ساختار C-TG کم‌تر شده است و تجمع حفره‌ها درون ساختار پیشنهادی کم‌تر بوده است. در هر دو ساختار $V_D = V_G = 1/2$ ولت می‌باشد. کم شدن غلظت درون حفره‌ها باعث کم شدن باز ترکیب درون کانال نیز خواهد شد. شکل ۸ نمودار باز ترکیب هر دو ساختار را به ترتیب برای SG-TG و C-TG نشان می‌دهد.



شکل ۶: غلظت حفره‌ها در راستای X



شکل ۱۲: جریان خاموشی ساختارهای C-TG و SG-TG در $V_D=0/5V$

همان‌طور که در شکل مشخص است جریان نشتی ناشی از درین ولتاژ گیت منفی برای ساختار SG-TG کم‌تر از ساختار C-TG می‌باشد. با استفاده از معادله ۱ می‌توان نشان داد که کاهش جریان نشتی باعث بهبود توان تلفاتی در افزارها می‌شود. در رابطه زیر می‌توان نشان داد که توان تلفاتی وابستگی به جریان خاموشی و خازن C_{load} می‌باشد. از جهتی از رابطه زیر می‌توان فهمید که توان استاتیکی رابطه مستقیم با جریان خاموشی ترانزیستور دارد. در ساختار SG-TG مشاهده می‌شود که جریان خاموشی نسبت به ساختار C-TG کاهش یافته است در نتیجه توان مصرفی نیز کاهش می‌یابد [۱۵].

$$P_{Total} = P_{State} + P_{dyn} = I_{off}V_{DD} + \alpha FC_{load}V_{DD}^2 \quad (1)$$

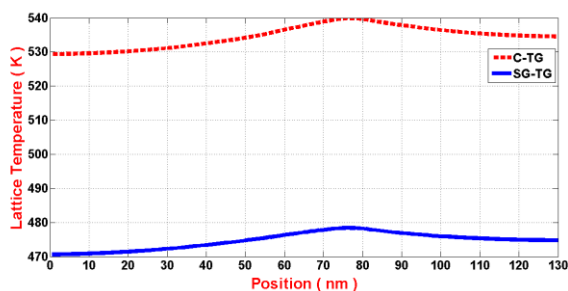
در این معادله ولتاژ درین، P توان، I_{off} جریان خاموشی، C_{load} بار خازنی، α ضریب فعالیت کلیدزنی و F فرکانس کلاک می‌باشد.

یکی از پارامترهای دیگر که ساختار جدید موجب کاهش آن می‌شود اثر خودگرمایی است. ماسفت‌های عایق چون راهی برای خروج دمای درون کانال ندارند این گرمای درون کانال تأثیر مخرب بر روی مشخصات ترانزیستوری می‌گذارد. شکل ۱۳ دمای ماسفت‌ها را در طول ماسفت نشان می‌دهد. مشاهده می‌شود که ساختار SG-TG موجب کاهش دمای ماسفت و در نتیجه بهبود اثر خودگرمایی در ماسفت می‌شود.

اگر دمای شبکه کاهش یابد قابلیت تحرک μ طبق معادله ۲ افزایش پیدا خواهد کرد. که در این فرمول μ_{eff} قابلیت تحرک مؤثر در دمای محیط، T_0 دمای محیط، T میانگین دمای کانال و k توان دمای قابلیت تحرک می‌باشد [۱۶].

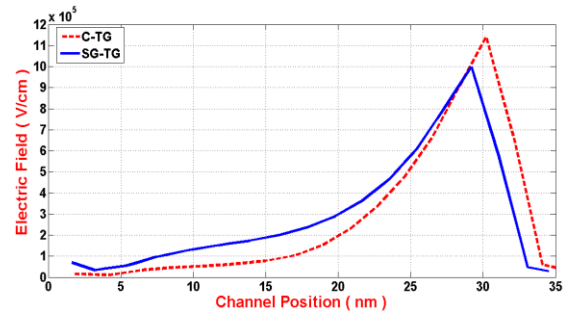
$$\mu_{eff} = \mu_{eff,0} \left[\frac{T}{T_0} \right]^k \quad (2)$$

در پایان جدولی از مقایسه ساختار پیشنهادی با سایر ساختارهای انجام شده ارائه گردیده که در جدول ۲ نشان داده شده است.

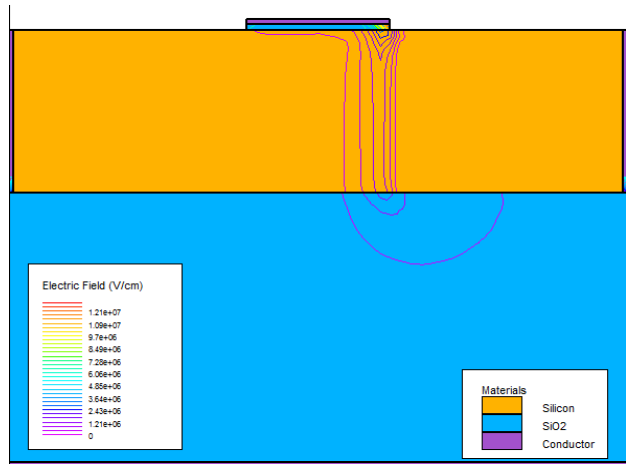


شکل ۱۳: دمای شبکه دو ساختار SG-TG و C-TG در ماسفت،

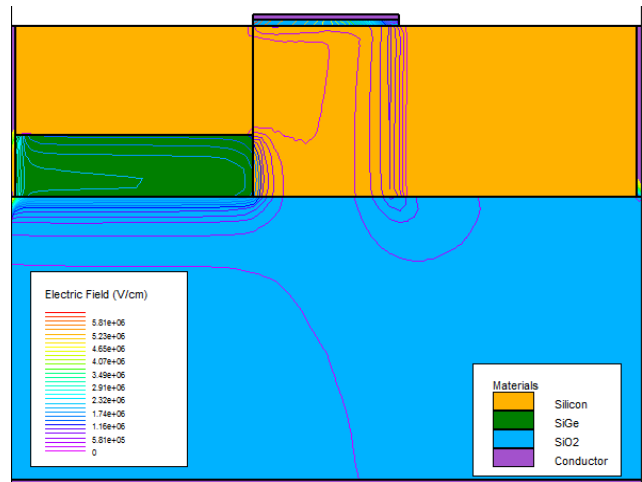
$$V_D=0/5V$$



شکل ۹: میدان الکتریکی در طول کانال در دو ساختار SG-TG و C-TG



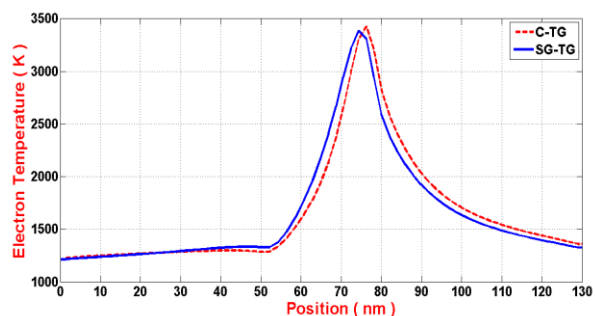
(الف)



(ب)

شکل ۱۰: جریان میدان الکتریکی در طول کانال در: (الف) ساختار C-

SG-TG (ب) TG



شکل ۱۱: دمای الکترون در طول کانال در دو ساختار SG-TG و C-TG

[4] J. P. Colinge, *Silicon-on-Insulator: Materials to VLSI*, 3rd ed. Norweel MA, USA: Kluwer, 2004.

[5] M. R. Narayanan, H. Al-Nashash and D. Pal, "Thermal model of MOSFET with SELBOX structure," *Journal of Computational Electronics*, vol. 12, pp. 803–811, 2013.

[۶] علی‌اصغر اروچی، زینب رضانی و عاطفه رحیمی فر، «ترانزیستور اثر میدان فلز نیمه‌هادی در تکنولوژی سیلیسیم روی عایق با استفاده از یک‌تکه اکسید اضافی در کانال برای کاربردهای توان و فرکانس بالا» *مجله مهندسی برق دانشگاه تبریز*، جلد ۴۶، شماره ۴، زمستان ۱۳۹۵

[7] Y. Taur, J. Wu and J. Min. "A Short-Channel-Model for 2-D MOSFETs." *IEEE Trans on Electron Devices* 63, no. 6, 2016.

[۸] حامد نجفعلی زاده و علی‌اصغر اروچی، «طراحی ساختاری از ترانزیستور ماسفت دو گیتی با به‌کارگیری دو ماده، اکسید هافنیم (HfO₂) و سیلیسیم-ژرمانیوم (SiGe) در کانالی از جنس سیلیسیم (DG-DM)» *مجله مهندسی برق دانشگاه تبریز*، جلد ۴۷، شماره ۱، بهار ۱۳۹۶.

[9] M. K. Anvarifard and A. A. Orouji, "Improvement of electrical properties in a novel partially depleted SOI MOSFET with emphasizing on the hysteresis effect," *IEEE Trans. on Electron Devices*, vol. 60, no. 10, 2013.

[10] J. P. Colinge and C. A. Colinge, *Physics of Semiconductor Devices*, Kluwer Academic Publishers, New York, pp. 165–250, 2005.

[11] International Device Simulation Software, SILVACO TCAD, 2014.

[12] G. Duan, J. Hachtel and R. A. Reed, "Bias dependence of total ionizing dose effects in SiGe-SiO₂/HfO₂ PMOS FINFETs," *IEEE Transaction on Nuclear Science*, pp. 2834–2838, 2014.

[13] K. P. Pradhan, P. K. Sahu, D. Singh, L. Artola and S. K. Mohapatra, "Reliability analysis of charge plasma based double material gate oxid (DMGO) SiGe-On-Insulator (SGOI) MOSFET," *Superlattices and Microstructures*, pp. 149–155, 2015.

[14] G. Hibtol, T. Dutta, Q. Rafhay, J. Lacord, M. Akbal, F. Boeuf and G. Ghibaudo. "Accurate boundary condition for short-channel effect compact modeling in MOS devices." *IEEE Trans. on Electron Devices* 62, no. 1, 2015.

[15] A. Singh Gaur and J. Budakoti. "Energy Efficient Advanced Low Power CMOS Design to reduce power consumption in Deep Submicron Technologies in CMOS Circuit for VLSI Design." *Energy*, 2014.

[16] H. Bong, W. Hyoung Lee, D. Yun Lee, B. Joon Kim, Jeong H. Cho and K. Cho. "High-mobility low-temperature ZnO transistors with low-voltage operation." *Applied Physics Letters*, 2010.

جدول ۲: مقایسه چند ساختار با ساختار جدید

ساختار	بیشینه چگالی جریان حفره‌ها (A/cm ²)	ولتاژ آستانه (V)	بیشینه غلظت حفره‌ها (cm ⁻³)
C-TG	۴/۲۷	۰/۲	۱۸
SG-TG	۲/۷۵	۰/۱۵	۱۷/۶
[۸]M-TG	۳/۱۲	۰/۱۶	۱۷/۵

۴- نتیجه گیری

در این مقاله یک ساختار جدید برای ترانزیستورهای سه‌گیتی SG-TG با استفاده از دیود تونل‌زنی سیلیسیم-ژرمانیم در ناحیه سورس که باعث جمع‌آوری حفره‌های درون کانال به سمت سورس شده، ارائه گردیده است. این امر منجر به کاهش اثر حامل داغ، اثر بدنه شناور، اثر خودگرمایی و جریان نشتی ناشی از درین می‌شود. در مقایسه ساختار سه‌گیتی پیشنهادی SG-TG با ساختار سه‌گیتی C-TG می‌توان مشاهده کرد که ساختار جدید موجب بهبود مشخصه‌های ترانزیستوری شده است. از این نتایج می‌توان نتیجه گرفت که ساختار ارائه‌شده می‌تواند جایگزین مناسبی برای ترانزیستورهای سه‌گیتی معمولی باشد.

مراجع

- [1] L. Vancaille, V. Kilchytska, D. Levacq, S. Adriaensen, H. Van Meer, K. De Meyer, G. Torrese, J. P. Raskin and D. Flandre, "Influence of HALO implantation on analog performance and comparison between bulk, partially depleted and fully depleted MOSFETs," *Proc. IEEE Int. SOI Conf.*, pp. 161–163, 2002.
- [2] M. J. Kumar and A. Chaudhry, "Two-dimensional analytical modeling of fully depleted DMG SOI MOSFET and evidence for diminished SCEs," *IEEE Trans. Electron Devices*, vol. 51, no. 4, pp. 569–574, 2004.
- [3] J. P. Colinge, "Multiple-gate SOI MOSFETs," *SolidState Electron.*, vol. 48, no. 6, pp. 897–905, 2004.

زیر نویس‌ها

² Mobility

¹ Silicon on Insulator