

بهبود دقت و پایداری مدار تولید شکل موج شیب با توان مصرفی پایین برای استفاده در مبدل‌های آنالوگ به دیجیتال تک‌شیب

محسن پاداش^۱، دانشجوی دکتری؛ مصطفی یارقلی^۲، دانشیار

۱- دانشکده مهندسی برق و کامپیوتر - دانشگاه زنجان - زنجان - ایران - mohsenn.padash@gmail.com

۲- دانشکده مهندسی برق و کامپیوتر - دانشگاه زنجان - زنجان - ایران - yargholi@znu.ac.ir

چکیده: دقت و توان مصرفی مدار تولید شکل موج شیب، از مهم‌ترین معیارها برای کاربردهای مختلف، از جمله در مبدل‌های آنالوگ به دیجیتال تک‌شیب (Single-Slope) می‌باشد. در این مقاله، یک مدار تولید شکل موج شیب با توان مصرفی کم و بهبود دقت و پایداری مدار نسبت به تغییرات پروسه، ولتاژ و دما با استفاده از بازخورد منفی ارائه شده است. همچنین روشی برای کاهش اثر آفست موجود در مدار متداول تولید شکل موج شیب ارائه شده است. معادلات استخراجی مدار پیشنهادی، بهبود دقت و پایداری مدار را با انتخاب درست اندازه قطعات پیش‌بینی می‌کند. همچنین به منظور بررسی بهتر، مدار پیشنهادی در تکنولوژی CMOS 0.18- μm طراحی شده است؛ شبیه‌سازی‌های آن بعد از استخراج مقاومت‌ها و خازن‌های پارازیتی در محیط نرم‌افزار Cadence انجام شده است. شبیه‌سازی‌های گوشه‌ها و مونت کارلو برای مدار پیشنهادی، به ترتیب بهبود بیشتر از یک و دو بیت دقت را نسبت به مدار معمول نشان می‌دهند؛ این در حالی است که فضای اشغالی مدار پیشنهادی مشابه به مدار معمول می‌باشد و با در نظر گرفتن خازن ترانزیستوری اضافه‌شده، توان مصرفی مدار پیشنهادی با مدار متداول تقریباً یکسان است.

واژه‌های کلیدی: مدار تولید شکل موج شیب، مبدل‌های آنالوگ به دیجیتال تک‌شیب، تکنولوژی CMOS، بازخورد منفی.

Linearity and Stability Improvement of the Ramp Generator with Low Power Consumption for Single-Slope ADCs

M. Padash¹, PhD Student; M. Yargholi², Associate Professor

1- Ph.D student of Electrical and Computer Engineering, University of Zanjan, Zanjan, Iran, Email: m.padash@znu.ac.ir

2- Faculty of Electrical and Computer Engineering, University of Zanjan, Zanjan, Iran, Email: yargholi@znu.ac.ir

Abstract: Linearity and power dissipation of ramp signals are the main key aspects for many applications such as single-slope ADCs. This paper presents a low power ramp generator with linearity improvement and a negative feedback for compensation of the variations in process, voltage, and temperature (PVT). In addition an approach for offset cancelation of ramp generator is presented. Derived equations of the proposed ramp generator circuit show the linearity improvement and PVT compensation of the output ramp, with proper choosing of device sizes. In addition, for proving of linearity enhancement, the circuit design and simulations were done in TSMC 0.18- μm technology with Cadence software. Corners analysis and Monte Carlo Simulation results show that linearity of the circuit improved more than 1-bit and 2-bit, respectively. While power dissipation of the circuit and total layout core area are not increased so much in comparison with conventional circuit.

Keywords: Ramp generator circuit, single-slope ADCs, CMOS technology, negative feedback.

تاریخ ارسال مقاله: ۱۳۹۵/۱۰/۲۳

تاریخ اصلاح مقاله: ۱۳۹۶/۰۱/۰۹ و ۱۳۹۶/۰۴/۱۷

تاریخ پذیرش مقاله: ۱۳۹۶/۰۷/۰۴

نام نویسنده مسئول: مصطفی یارقلی

نشانی نویسنده مسئول: ایران - زنجان - کیلومتر ۶ جاده قدیم زنجان تبریز - دانشگاه زنجان - دانشکده مهندسی - گروه برق.

۱- مقدمه

روش اول انتگرال‌گیری از جریان می‌باشد که به علت ساختار ساده و توان مصرفی کم، بیشتر مورد توجه محققان قرار گرفته است [۱۲-۱۴]. ساده‌ترین روش برای انتگرال‌گیری از جریان، استفاده از یک خازن می‌باشد. گرچه استفاده از خازن خیلی مبتدی به نظر می‌رسد، ولی با استفاده از این روش می‌توان شکل موج‌های شیب بسیار دقیقی ایجاد کرد. نکته اصلی وجود جریان بسیار دقیق برای شارژ خازن است؛ برای دقت‌های خیلی بالا، ایجاد این جریان با تقویت‌کننده عملیاتی به صورت بسیار گسترده صورت گرفته است که بسیار هزینه‌بر می‌باشد [۱۴]. برای دقت‌های کمتر، از منابع جریان استفاده شده است و نیاز به تقویت‌کننده عملیاتی را از بین می‌برد [۱۰]. در این مقاله راه‌کاری پیشنهاد داده‌ایم که دقت روش تولید شیب با استفاده از منابع جریان را بدون افزایش توان مصرفی، حداقل یک بیت افزایش می‌دهد. همچنین برای افزایش پایداری مدار از بازخورد^۳ منفی استفاده شده است. برای ایجاد بازخورد منفی از یک تقویت‌کننده عملیاتی استفاده شده است.

ادامه مقاله به صورت زیر می‌باشد: بررسی کلی مبدل‌های تک‌شیب در بخش بعد آورده شده است؛ همچنین مدار متداول تولید شیب در بخش ۳ بررسی شده است. در بخش ۴ مدار پیشنهادی تولید شکل موج شیب توضیح داده شده است. در بخش ۵ مقایسه مبدل تولید شکل موج شیب پیشنهادی با مدار متداول انجام شده است.

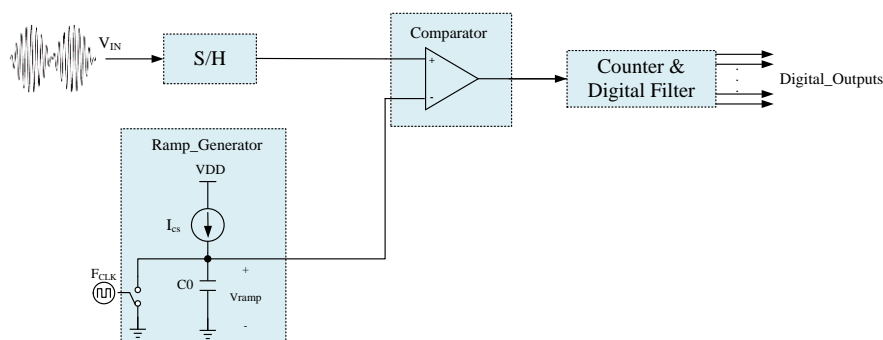
۲- مدار کلی مبدل‌های تک‌شیب

ساختار کلی مبدل تک‌شیب در شکل ۱ مشاهده می‌شود [۱۰]؛ این مبدل از بلوک‌های نمونه‌بردار، تولید شیب، مقایسه‌گر، شمارنده و فیلتر دیجیتال تشکیل شده است. همان‌گونه که در شکل ۱ نشان داده شده است، در ابتدا سیگنال آنالوگ ورودی توسط بلوک نمونه‌بردار، نمونه‌گیری می‌شود و در ادامه، این نمونه با شکل موج شیب تولیدشده مقایسه می‌شود [۴].

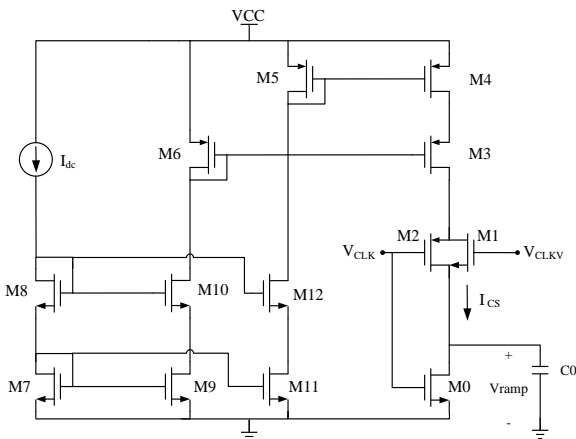
امروزه پیشرفت تکنولوژی در وسایل الکترونیکی نیاز به مبدل‌های آنالوگ به دیجیتال را افزایش داده است؛ توان مصرفی پایین یکی از مهم‌ترین نیازهای وسایل الکترونیکی قابل حمل می‌باشد [۱، ۲]. از طرف دیگر، با پیشرفت فناوری ساخت مدارهای مجتمع، طراحی مدارهای آنالوگ با مشکلات فراوانی همچون کاهش ولتاژ تغذیه مواجه می‌شود؛ این در حالی است که توان مصرفی و فضای اشغالی مدارهای دیجیتال با پیشرفت تکنولوژی کمتر شده است [۳-۶]. بنابراین، در تکنولوژی‌های جدید برای طراحی مبدل‌های آنالوگ به دیجیتال سعی بر آن است که از ساختارهایی استفاده شود که مدارهای آنالوگ کمتر و مدارهای دیجیتال بیشتری داشته‌باشد؛ یکی از ساختارهایی که دارای این ویژگی می‌باشد، ساختار مبدل آنالوگ به دیجیتال تک‌شیب ($SS-ADC^1$) است. مبدل تک‌شیب دارای یک مقایسه‌گر و یک مدار نمونه‌بردار می‌باشد که وجود آن‌ها برای تمامی مبدل‌ها الزامی است [۷، ۸]. مبدل تک‌شیب دارای یک مدار تولید شکل موج شیب می‌باشد که باید به صورت آنالوگ ایجاد شود؛ بلوک‌های دیگر مبدل تک‌شیب، شامل یک شمارنده و فیلتر دیجیتال است که در حوزه دیجیتال طراحی می‌شوند [۹]. از آنجایی که ساختار مبدل تک‌شیب نیاز به تقویت‌کننده عملیاتی ندارد، در سال‌های اخیر محققان توجه بیشتری به آن داشته‌اند [۱۰، ۱۱].

یکی از مهم‌ترین بلوک‌های مبدل تک‌شیب، مدار تولید شیب است که دقت و نرخ نمونه‌برداری کلی مبدل را مشخص می‌کند. بنابراین در این مقاله راه‌کاری برای بهبود دقت مبدل شیب و افزایش پایداری آن در برابر تغییرات پروسه، ولتاژ و دما (PVT^2)، ارائه شده است. همچنین برای کاهش آفست موجود در مدار شیب روشی جدید پیشنهاد شده است.

تاکنون تولید شکل موج شیب به دو روش انجام شده است؛ استفاده از مبدل دیجیتال به آنالوگ و انتگرال‌گیری از جریان.



شکل ۱: ساختار کلی مبدل تک‌شیب



شکل ۲: ساختار کلی مدار متداول تولید شکل موج شیب

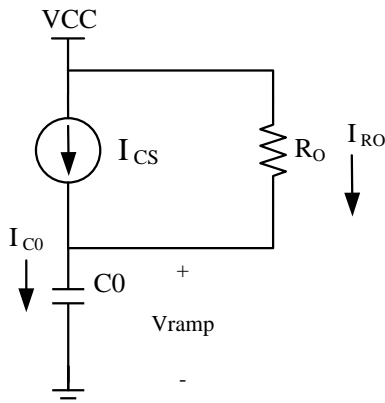
در این رابطه ولتاژ تغذیه مدار با VCC نشان داده شده است. با توجه به رابطه (۳) جریان کلی شارژ خازن به علت وجود مقاومت خروجی منبع جریان، با زیاد شدن ولتاژ شیب به تدریج کاهش پیدا می‌کند. با توجه به رابطه‌های (۲) و (۳) می‌توان نتیجه گرفت که ولتاژ خروجی شیب، با زیاد شدن آن به تدریج دچار غیر خطیگی و کاهش نسبت به مقدار ایده‌آل شیب می‌شود. برای بررسی بهتر دقت مبدل شیب، خطای غیرخطیگی انتگرالی (INL^4) به صورت زیر تعریف می‌شود:

$$INL(t_0) = V_{ramp} - V_{ramp(ideal)} \quad (4)$$

در این رابطه، ولتاژ شیب تولید شده و ولتاژ شیب ایده‌آل به ترتیب با V_{ramp} و $V_{ramp(ideal)}$ نشان داده شده‌اند. ولتاژ شیب ایده‌آل نزدیک‌ترین ولتاژ شیب به V_{ramp} می‌باشد که کمترین خطا را ایجاد می‌کند. برای درک بهتر مفهوم خطای انتگرالی، با توجه به رابطه (۲)، مقدار ولتاژ شیب تولیدی استخراج و در رابطه (۴) جایگزین می‌شود. همچنین مقدار ولتاژ شیب ایده‌آل توسط شارژ خازن C_0 با جریان ثابت I_{CS} به دست می‌آید:

$$INL(T) = \left[V_{ramp}(0) + \frac{1}{C_0} \int_0^T I_{C_0} dt \right] - \left[V_{ramp}(0) + \frac{1}{C_0} \int_0^T I_{CS} dt \right] \quad (5)$$

با جایگزینی رابطه (۳) در رابطه (۵) و همچنین ساده‌سازی آن خواهیم داشت:



شکل ۳: ساختار معادل مدار متداول تولید شیب در مرحله شارژ

از آنجایی که شکل موج شیب از ولتاژ حداقل به مقدار حداکثر افزایش می‌یابد، موقع یکسان شدن دو ورودی مقایسه‌گر، خروجی آن تغییر حالت می‌دهد. با توجه به اختلاف زمانی بین نقطه شروع شکل موج شیب و زمان تغییر حالت خروجی مقایسه‌گر، شمارنده دیجیتال، خروجی دیجیتالی متناسب با مقدار ولتاژ ورودی آنالوگ را تولید می‌کند [۸]. از آنجایی که در این نوع مبدل، ورودی نمونه‌برداری شده با ولتاژ شیب مقایسه می‌شود، دقت کلی مبدل توسط بلوک تولید شیب مشخص می‌شود [۹].

۳- مدار متداول تولید شکل موج شیب

تولید شکل موج شیب می‌تواند به صورت کلی به دو روش انجام شود: روش اول استفاده از مبدل دیجیتال به آنالوگ می‌باشد؛ این روش به طور کلی بسیار هزینه‌بر می‌باشد [۱۵]. روش دوم استفاده از منبع جریان و خازن می‌باشد که به صورت گسترده‌تر مورد توجه قرار گرفته است [۱۶]. مدار مورد بررسی در این مقاله از روش دوم برای ایجاد شیب استفاده می‌کند؛ علت این انتخاب در نظر گرفتن حداقل توان مصرفی می‌باشد [۱۰]. مدار متداول تولید شیب در شکل ۲ نشان داده شده است. این مدار از یک خازن و یک منبع جریان تشکیل شده است. مطابق رابطه (۱)، در صورتی که یک خازن با جریان ثابت شارژ شود، شیب ولتاژ روی خازن نیز ثابت می‌باشد.

$$\frac{dV_{ramp}}{dt} = \frac{I_{C_0}}{C_0} \quad (1)$$

در این رابطه ولتاژ شیب و خازن به ترتیب با V_{ramp} و C_0 نشان داده شده است، این در حالی است که I_{C_0} جریان شارژ می‌باشد. با انتگرال گیری از این رابطه خواهیم داشت:

$$V_{ramp}(t_0) = V_{ramp}(0) + \frac{1}{C_0} \int_0^{t_0} I_{C_0} dt \quad (2)$$

در این رابطه $V_{ramp}(t_0)$ ، ولتاژ شیب را بر حسب زمان (t_0) نشان می‌دهد. شکل ۲ نیز مانند رابطه (۲) عمل می‌کند: منبع جریان توسط ترانزیستورهای M3-M12 و I_{dc} ایجاد می‌شود. برای تخلیه خازن و شروع مجدد شیب، از ترانزیستور M0 استفاده شده است. همچنین ترانزیستورهای M1-M2 به عنوان سوئیچ، برای قطع منبع جریان (در زمان تخلیه) استفاده می‌شوند. ولتاژ شیب (V_{ramp}) در واقع ولتاژ خازن C_0 می‌باشد. همچنین ولتاژهای کنترلی برای ابتدا و انتهای شکل موج شیب با V_{CLK} و V_{CLKV} نشان داده شده‌اند.

به منظور بررسی بهتر، مدار معادل تولید شکل موج شیب در مرحله شارژ می‌تواند به صورت شکل ۳ ترسیم شود. در مدار این شکل، منبع جریان (I_{CS}) و مقاومت خروجی (R_O) به همراه خازن شارژ (C_0) نمایش داده شده است. جریان مقاومت خروجی در شکل ۳ با متغیر I_{RO} مشخص شده است. با توجه به شکل ۳، مقدار کلی جریان شارژ (I_{C_0}) را می‌توان به صورت زیر بیان کرد [۱۴]:

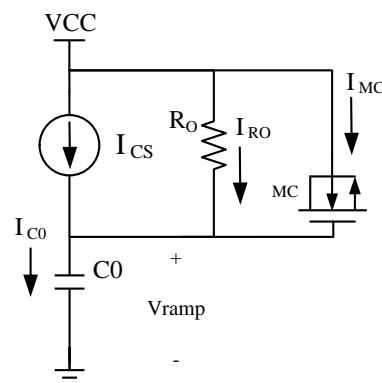
$$I_{C_0} = I_{CS} + \frac{V_{CC} - V_{ramp}}{R_O} \quad (3)$$

$$INL(t_0) = \frac{1}{C_0} \int_0^{t_0} \left(\frac{V_{CC} - V_{ramp}}{R_o} \right) dt \quad (6)$$

از آنجایی که حداکثر خطای موجود در شکل موج شیب، حداکثر خطای مبدل تک‌شیب را ایجاد می‌کند، محاسبه مقدار حداکثر خطای انتگرالی مهم می‌باشد؛ از این رو مقدار حداکثر خطای انتگرالی تحت عنوان $INL_{(Max)}$ نام‌گذاری می‌شود و از رابطه (۶) به راحتی بدست می‌آید. با توجه به رابطه (۶)، اثر مقاومت خروجی منبع جریان در مقدار INL قابل ملاحظه است؛ از طرفی می‌دانیم که مقدار مقاومت خروجی ترانزیستورهای CMOS در تکنولوژی‌های جدیدتر کم‌تر می‌شود. افزایش مقاومت خروجی منبع جریان با استفاده از تکنیک‌های افزایش بهره امکان‌پذیر است، که آن به نوبه خود مستلزم استفاده از تقویت‌کننده عملیاتی است. با توجه به محدودیت توان مصرفی در نظر گرفته شده برای مبدل تک‌شیب، این امر مقرون به صرفه نیست. از این رو در این مقاله روشی بسیار ساده و کاربردی، بدون افزایش توان مصرفی و با افزایش بسیار محدود در فضای اشغالی، برای افزایش دقت مدار تولید شیب ارائه شده است. در بخش بعدی مدار پیشنهادی ارائه شده و نحوه عملکرد آن تشریح خواهد شد.

۴- مدار پیشنهادی تولید شکل موج شیب

شکل ۴ مدار پیشنهادی برای افزایش دقت مدار تولید شکل موج شیب را نشان می‌دهد. اساس کار مدار پیشنهادی افزایش ثبات جریان شارژ خازن می‌باشد. در بخش قبل اثر مقاومت خروجی منبع جریان بررسی شد؛ علت اصلی غیر خطی‌گی ولتاژ شیب تولید شده، وجود مقاومت خروجی می‌باشد. با افزایش ولتاژ شیب، مقدار جریان مقاومت خروجی کاهش می‌یابد، این امر منجر به کاهش جریان شارژ خازن می‌شود.



شکل ۴: ساختار معادل مدار پیشنهادی تولید شیب در مرحله شارژ

برای محاسبه جریان شارژ در مدار پیشنهادی شکل ۴، رابطه (۷) به صورت زیر استخراج می‌شود:

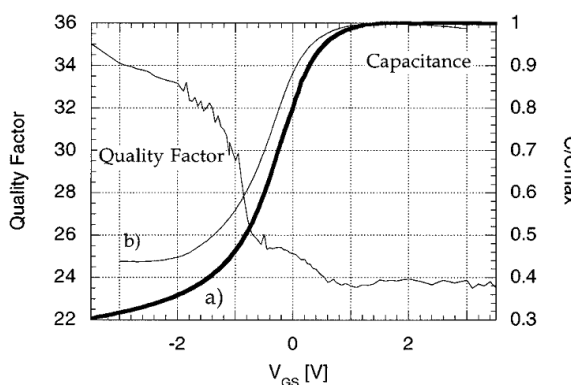
$$I_{C_0} = I_{CS} + \frac{V_{CC} - V_{ramp}}{R_o} + C_{MC} \frac{\Delta V_{ramp}}{\Delta t} \quad (7)$$

به‌غیر از متغیر C_{MC} که خازن ترانزیستوری می‌باشد، بقیه پارامترهای رابطه (۷) در روابط قبل تعریف شده‌اند. تا کنون خازن ترانزیستوری در مقالات زیادی به‌عنوان خازن متغیر با ولتاژ استفاده شده است

[۱۷، ۱۸]. تغییرات نسبی اندازه خازن ترانزیستوری نسبت به ولتاژ گیت-سورس در شکل ۵ قابل مشاهده است [۱۷]. با توجه به اینکه خازن ترانزیستوری مورد استفاده در شکل ۴، کاملاً مشابه ساختار خازنی ترانزیستوری MC می‌باشد و همچنین ولتاژ گیت-سورس ترانزیستور در شکل ۴ برابر $V_{ramp} - V_{CC}$ می‌باشد، می‌توان نتیجه گرفت که اندازه C_{MC} با افزایش ولتاژ شیب افزایش می‌یابد. از این رو با توجه به رابطه (۷)، نقش مخرب مقاومت خروجی منبع جریان را می‌توان با خازن ترانزیستوری جبران کرد. به عبارت دیگر با افزایش ولتاژ شیب، مقاومت خروجی منبع باعث کاهش جریان شارژ می‌شود، در حالی که وجود خازن ترانزیستوری باعث افزایش جریان شارژ می‌شود. باید توجه داشت که در رابطه (۷)، $\Delta V_{ramp} / \Delta t$ همان شیب شکل موج خروجی می‌باشد و می‌توان آن را تقریباً ثابت فرض کرد؛ بنابراین مطابق رابطه (۷) و شکل ۵، با افزایش ولتاژ شیب مقدار جریان I_{MC} با افزایش اندازه خازن C_{MC} افزایش می‌یابد، به گونه‌ای که می‌تواند کاهش مقدار جریان I_{RO} را جبران کند. از طرفی با توجه به اینکه زیرساخت^۵ ترانزیستور MC به ولتاژی غیر از زمین وصل می‌شود، برای ساخت آن باید از یک زیرساخت جدا استفاده کرد. البته این امکان نیز وجود دارد که در شکل ۴ ترانزیستور PMOS به جای NMOS استفاده شود؛ با توجه به شبیه‌سازی‌های انجام شده، نتایج مشابهی را می‌توان با استفاده از NMOS به دست آورد. باید دقت کرد که برای استفاده از ترانزیستور PMOS به جای NMOS، باید آن را به صورت عکس ترانزیستور NMOS استفاده شده در شکل ۴، قرار داد.

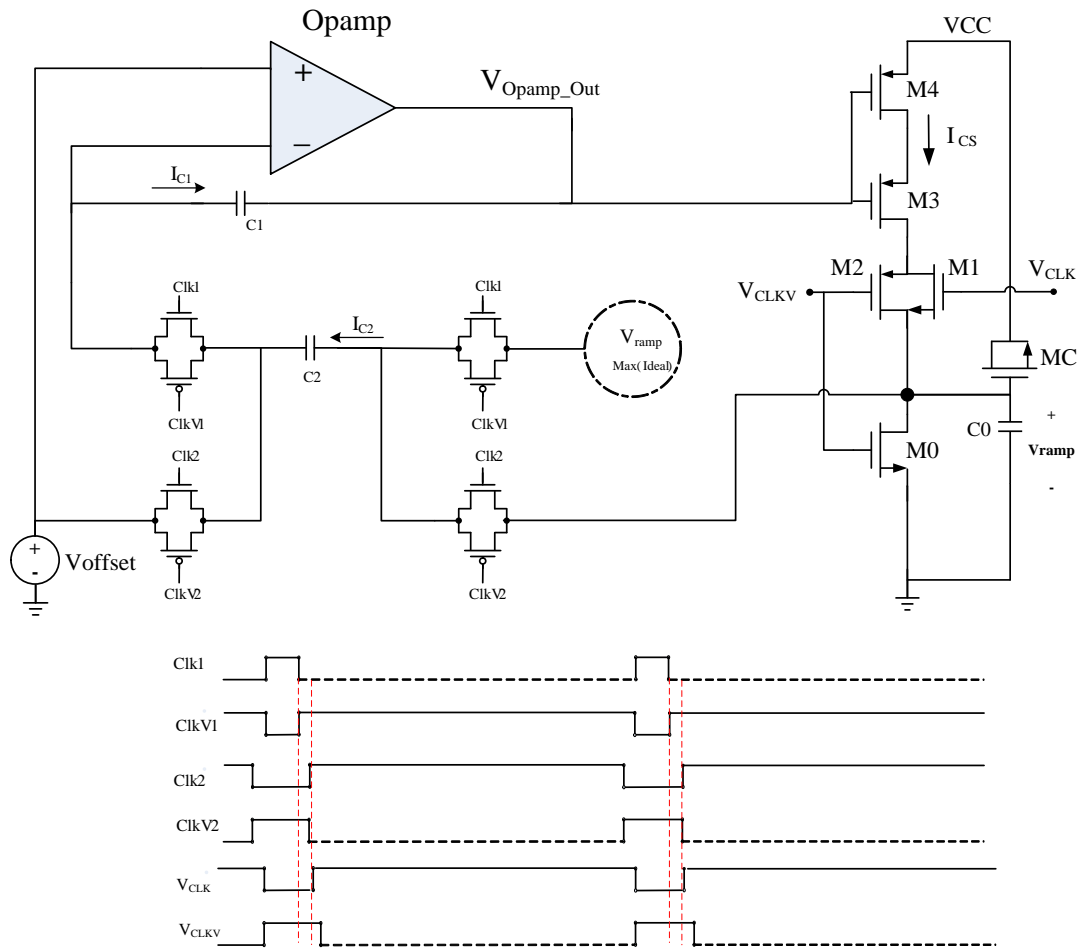
تکنیک اصلی مدار پیشنهادی، ایجاد جریانی است که با افزایش ولتاژ شیب، مقدار آن افزایش یابد. این جریان در مدار پیشنهادی توسط یک خازن متغیر با ولتاژ ایجاد می‌شود. مدار کلی مبدل پیشنهادی در شکل ۶ ترسیم شده است. ولتاژهای کنترلی مدار پیشنهادی نیز در پایین شکل ۶ نشان داده شده‌اند.

آفست ولتاژ شیب خروجی ناشی از خازن‌های ذاتی ترانزیستورهای M1-M4 می‌باشد؛ به‌علت اینکه این خازن‌ها در شروع ولتاژ شیب، شارژ ذخیره شده را با خازن اصلی مدار (C_0) که شیب را تولید می‌کند، به اشتراک می‌گذارد. وجود این شارژ (Sharing Charge) باعث ایجاد



شکل ۵: تغییرات خازن ساختار ترانزیستوری بر حسب ولتاژ گیت -

سورس [۱۷]



شکل ۶: ساختار کلی مدار پیشنهادی تولید شکل موج شیب

همچنین درحالی‌که حداکثر ولتاژ شیب ایجادشده کمتر از ولتاژ شیب حداکثر ایده‌آل باشد، بازخورد منفی موجود در مدار باعث افزایش جریان I_{CS} و در نتیجه افزایش ولتاژ خروجی شیب حداکثر خواهد شد. از آنجایی‌که در مدار پیشنهادی، ولتاژ کنترلی جریان، از طریق بازخورد منفی کنترل می‌شود، اندازه جریان شارژ با دقت بسیار زیادی کنترل می‌شود. همچنین از آنجایی‌که مدار پیشنهادی نیازی به آینه جریان ندارد، توان مصرفی کل تا حدودی کاهش می‌یابد. البته باید توان مصرفی تقویت‌کننده ولتاژ را نیز در نظر بگیریم. در این مقاله برای شبیه‌سازی آپ-آمپ از یک تقویت‌کننده ولتاژ با بهره فرکانس پایین 60 dB و توان مصرفی حدود 5 mW استفاده شده است. یادآوری این نکته حائز اهمیت است که آپ-آمپ استفاده شده صرفاً برای افزایش پایداری مدار است و استفاده از بلوک آپ-آمپ در مدار متداول و پیشنهادی صرفاً برای پایدار کردن بیشتر مدار است و برای افزایش دقت مدار تنها از یک خازن ترانزیستوری استفاده شده است.

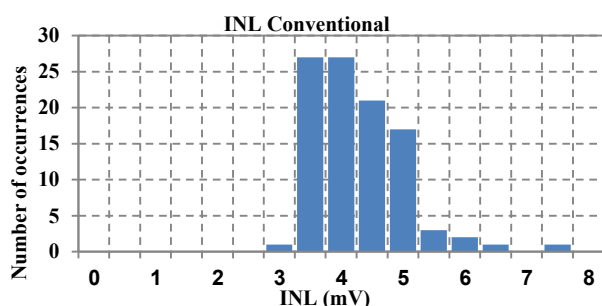
به‌منظور بررسی بازخورد منفی موجود در مدار شکل ۶، بهتر است روابط ریاضی آن مورد بررسی قرار گیرد. در ابتدا با توجه به شکل ۶ خواهیم داشت:

$$I_{C1} = I_{C2} \quad (8)$$

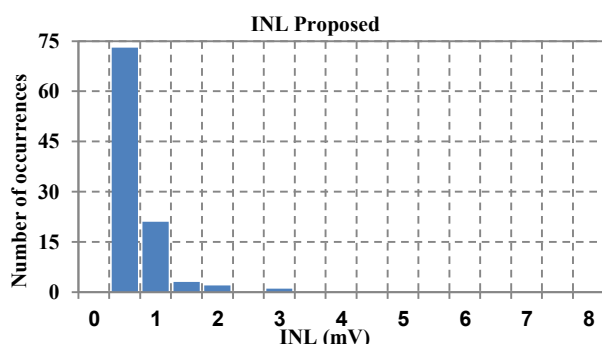
آفت در ولتاژ شیب می‌شود. برای کاهش اثر آفت ذکر شده، تغییراتی در مدار متداول ایجاد شده است؛ زمان‌بندی پیشنهادی جدیدی برای ولتاژهای کنترلی V_{CLK} و V_{CLKV} ارائه شده است. نکته اصلی این زمان‌بندی این است که ترانزیستور $M0$ (موقع شروع شیب) برای مدت زمان کوتاهی روشن باشد (در این مدت زمان کوتاه شارژ خازن‌های ذاتی ترانزیستورهای $M1-M4$ حذف می‌شود). در مدارهای متداول ولتاژهای V_{CLK} و V_{CLKV} دقیقاً معکوس هم‌دیگر بوده‌اند، ولی در مدار پیشنهادی ولتاژ V_{CLKV} با اندکی تأخیر در لبه مثبت استفاده شده است؛ وجود این تأخیر باعث حذف آفت خروجی شیب خواهد شد. به‌منظور افزایش پایداری مدار نسبت به تغییرات پروسه، ولتاژ و دما از یک بازخورد منفی استفاده شده است [۱۹، ۲۰]. وظیفه بازخورد منفی به حداقل رساندن اختلاف ولتاژ بین ولتاژ شیب حداکثر تولیدی و ولتاژ شیب حداکثر ایده‌آل ($V_{rampMax(Ideal)}$) است.

در صورتی‌که حداکثر ولتاژ شیب ایجادشده بیشتر از ولتاژ شیب حداکثر ایده‌آل باشد، بازخورد منفی موجود در مدار باعث افزایش ولتاژ خروجی تقویت‌کننده ولتاژ می‌شود؛ از آنجایی‌که این ولتاژ (V_{Opamp_Out})، کنترل جریان I_{CS} را به‌عهده دارد، افزایش آن باعث کاهش جریان I_{CS} می‌شود؛ در نتیجه ولتاژ شیب حداکثر، کاهش پیدا خواهد کرد.

نتایج شبیه‌سازی مونت کارلو مدار متداول و مدار پیشنهادی به ترتیب در شکل‌های ۸ و ۹ نمایش داده شده‌اند؛ تغییرات ولتاژ آستانه ترانزیستورها، پروسه و ناهمگونی بین ترانزیستورها^۸ در این شبیه‌سازی‌ها اعمال شده است. با توجه به نتایج شبیه‌سازی مونت کارلو نشان داده شده در شکل‌های ۸ و ۹، متوسط خطای غیر خطینگی (INL_{Max}) مدار پیشنهادی حدود یک میلی‌ولت است؛ این در حالی است که متوسط خطای غیر خطینگی (INL_{Max}) مدار متداول بیش از چهار میلی‌ولت است. با توجه به نتایج شکل‌های ۸ و ۹، می‌توان نتیجه گرفت که با توجه به بهبود چهار برابری خطای غیر خطینگی، دقت شکل موج شیب پیشنهادی حدود دو بیت نسبت به مدار متداول بیشتر شده است.



شکل ۸: نتایج شبیه‌سازی مونت کارلو مدار متداول



شکل ۹: نتایج شبیه‌سازی مونت کارلو مدار پیشنهادی

برای بررسی پایداری مدار پیشنهادی نسبت به تغییرات پروسه، ولتاژ و دما، آنالیز گوشه‌ها نیز انجام شده است؛ جدول ۲ نتایج شبیه‌سازی مدار متداول و مدار پیشنهادی را نشان می‌دهد. باید دقت کرد که نتایج جدول ۲ (برای مدار متداول و پیشنهادی) برای حالتی است که از مدار شکل ۶ برای افزایش پایداری مدار استفاده شده است؛ بدون استفاده از مدار بازخورد منفی نشان داده شده در شکل ۶، خطای شکل موج شیب برای مدار متداول بیشتر از ۸۰ میلی‌ولت خواهد بود.

همان‌طور که در جدول شماره ۲ مشخص شده است، توان مصرفی مدار پیشنهادی تقریباً با مدار متداول [۱۰] یکسان است؛ این در حالی است که مقدار غیرخطینگی مدار پیشنهادی بیش از دو برابر کمتر از مدار معمول می‌باشد. به منظور بررسی بهتر، مدار تولید شیب مرجع [۱۰] با تکنولوژی و شرایط مداری مشابه با مدار ارائه شده،

با جایگزینی مقدار این جریان‌ها رابطه زیر به دست می‌آید:

$$C_1 \frac{0 - V_{BIAS}}{\Delta t} = C_2 \frac{V_{RMI} - V_{RM}}{\Delta t} \quad (9)$$

در این رابطه اندازه ولتاژ حداکثر شیب ایجاد شده و V_{RMI} اندازه ایده‌آل حداکثر ولتاژ شیب است. با ساده‌سازی رابطه (۹)، رابطه (۱۰) حاصل می‌شود.

$$V_{Opamp_Out} = V_{Opamp_Out(0)} - \frac{C_2}{C_1} (V_{RMI} - V_{RM}) \quad (10)$$

از آنجایی که رابطه (۱۰) فقط برای یک دوره تناوب صادق می‌باشد و این عملیات هر دوره تکرار می‌شود، رابطه (۱۱) حالت عمومی‌تری از رابطه (۱۰) را نمایش می‌دهد.

$$V_{Opamp_Out(i)} = V_{Opamp_Out(i-1)} - \frac{C_2}{C_1} \sum_{i=1}^{\infty} (V_{RMI} - V_{RM(i)}) \quad (11)$$

در این رابطه i نشان دهنده شماره دوره می‌باشد.

۵- نتایج شبیه‌سازی post-layout و مقایسه

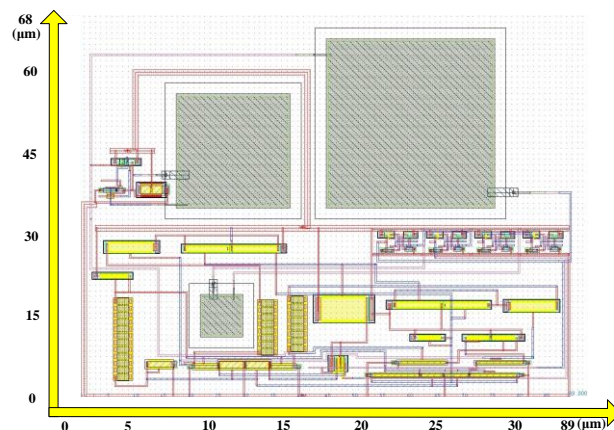
به منظور بررسی بهتر مدار پیشنهادی، طراحی و شبیه‌سازی آن در تکنولوژی CMOS 0.18μm انجام شده است. نتایج شبیه‌سازی گوشه‌ها و مونت کارلو به ترتیب، بهبود حداقل یک و دو بیت دقت خروجی شیب را نسبت به مدار معمول نشان می‌دهد.

برای شبیه‌سازی از تغذیه ۱/۸ ولت استفاده شده است. ولتاژ شیب خروجی حداکثر ۱/۲ ولت در نظر گرفته شده است. اندازه ترانزیستورها و خازن‌های مورد استفاده در جدول ۱ مشخص شده است.

جدول ۱: اندازه خازن‌ها و ترانزیستورهای استفاده شده در مدار

Transistor	W/L μm	Capacitor	fF
M1-M4	0.22/0.4	C0	429
M0	0.44/0.22	C1	952
MC	1.5/1.5	C2	57

شکل ۷ طرح‌بندی^۷ مدار پیشنهادی را نشان می‌دهد. سه مربع بزرگی که در این شکل نشان داده شده و فضای زیادی را اشغال کرده است، خازن‌های موجود در شکل ۶ می‌باشند. فضای اشغالی کل مدار پیشنهادی برابر ۸۹μm*۶۸μm می‌باشد. در قسمت پایین شکل ۷، طرح‌بندی آپ-امپ ترسیم شده است.



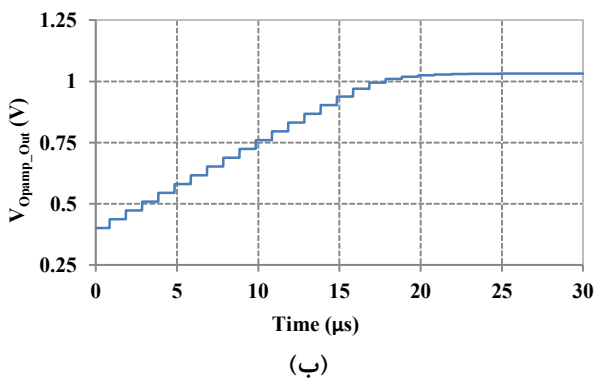
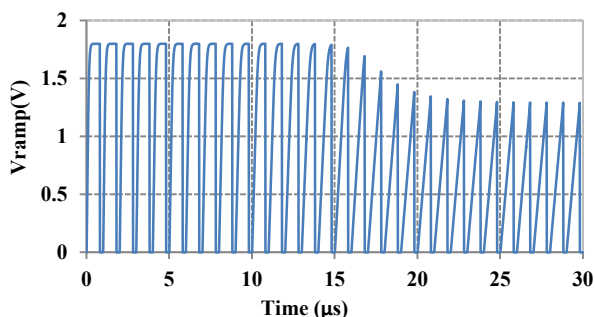
شکل ۷: طرح‌بندی مدار تولید شیب پیشنهادی

ب شکل ۱۰ نشان داده شده است. شکل ۱۰ تغییرات ولتاژ کنترلی را برای رسیدن به مقدار حداکثر ایده‌آل شیب نشان می‌دهد؛ تقریباً بعد از ۲۰ سیکل، خروجی مدار به حالت ایده‌آل نزدیک می‌شود. با توجه به شکل ۱۰، در ابتدا ولتاژ حداکثر شیب بیشتر از ولتاژ حداکثر ایده‌آل (۱/۲ ولت) می‌باشد؛ از این رو بازخورد منفی موجود در مدار باعث افزایش ولتاژ کنترلی (V_{Opamp_Out} در قسمت ب شکل ۱۰) می‌شود و افزایش این ولتاژ باعث کاهش جریان کلی شارژ می‌شود. این فرایند برای رسیدن به ولتاژ حداکثر ایده‌آل (۱/۲ ولت) مطابق شکل ۱۰ ادامه پیدا می‌کند.

نحوه محاسبه دقت مبدل، از روی خطای غیر خطینگی مطابق رابطه زیر بدست می‌آید:

$$Resolution_{(bit)} = \frac{Ln\left(\frac{V_{RM}}{INL_{Max}}\right)}{Ln 2} \quad (12)$$

در این رابطه $Resolution$ نشان‌دهنده دقت شکل موج شیب برحسب بیت می‌باشد. همچنین V_{RM} ولتاژ شیب خروجی حداکثر (۱/۲ ولت) را نشان می‌دهد. مطابق رابطه (۱۲)، دقت شکل موج شیب به دست آمده از تحلیل مونت‌کارلو با در نظر گرفتن خطای غیر خطینگی (INL_{Max}) مدار متداول یک میلی‌ولت، برابر ۱۰/۲۳ بیت است. دقت مبدل تک‌شیب نهایی باید از این مقدار کمتر در نظر گرفته شود (به‌عنوان مثال ۱۰ بیت).



شکل ۱۰: نتایج شبیه‌سازی مدار تولید شیب پیشنهادی در دمای ۱۵۰ درجه، الف: شکل موج شیب تولید شده ب: منحنی ولتاژ کنترلی (خروجی تقویت کننده عملیاتی)

شبیه‌سازی شده است و نتایج آن در جدول ۳ جمع‌آوری شده است. دقت‌شود که ایده اصلی مدار پیشنهادی، استفاده از خازن جبران‌ساز برای جریان شارژ می‌باشد و بهبود خطینگی مدار به آپ-امپ وابسته نیست. استفاده از آپ-امپ در مدار پیشنهادی و متداول فقط به منظور ایجاد پایداری بیشتر مدارها در گوشه‌های مختلف PVT می‌باشد. مدار پیشنهادی در مقایسه با مدار مورد استفاده مرجع [۱۴]، دارای فرکانس بسیار بیشتری است؛ در ضمن اگرچه در مرجع [۱۴] اشاره‌ای به توان مصرفی نشده، ولی از بلوک‌های مورد استفاده آن مشخص می‌شود که توان مصرفی مرجع [۱۴] بسیار بیشتر از مدار پیشنهادی می‌باشد.

جدول ۲: نتایج شبیه‌سازی گوشه‌های مختلف مدار متداول تولید

شیب و مدار پیشنهادی

Corner (Conventional)	TT	FF	FS	SF	SS
Ramp INL (mV) @-50°C	4.34	6.25	4.2	6.44	4.42
Ramp INL (mV) @150°C	4.4	9.34	6.82	5.75	3.65
Power (μW) @-50°C	1.42	1.43	1.41	1.38	1.41
Power (μW) @150°C	1.41	1.65	1.43	1.44	1.42
Corner (Proposed)	TT	FF	FS	SF	SS
Ramp INL (mV) @-50°C	1.32	3.15	0.97	3.62	1.47
Ramp INL (mV) @150°C	0.95	4.51	2.53	1.46	1.08
Power (μW) @-50°C	1.45	1.49	1.42	1.44	1.43
Power (μW) @150°C	1.41	1.65	1.59	1.41	1.42

جدول ۳: مقایسه عملکرد مدار پیشنهادی با مدارهای متداول

تولید شیب دیگر

Parameters	Ver. 2 [14]	Ver. 3 [14]	Conventional [10]	Proposed
CMOS Technology (μm)	0.5	0.5	0.18	0.18
Ramp INL	N/A	27μV	5.51mV	2.1mV
Power	N/A	N/A	1.42μW	1.47μW
Supply	3.3V	3.3V	1.8V	1.8V
Ramp full range	2V	1V	1.2V	1.2V
Ramp frequency (KHz)	1	1	1000	1000

شکل ۱۰ نتایج شبیه‌سازی زمانی مدار را در دمای ۱۵۰ درجه نشان می‌دهد؛ خروجی شکل موج شیب در قسمت الف ترسیم شده است، در حالی که خروجی ولتاژ کنترلی جریان (V_{Opamp_Out}) در قسمت

۶- نتیجه

مهندسی برق دانشگاه تبریز، جلد ۴۶، شماره ۱، صفحه ۸۷-۹۸، ۱۳۹۵.

- [7] M. Padash and M. Yargholi, "A novel time-interleaved two-step single-slope ADC architecture based on both resistor ladder and current source ramp generator," *Microelectronics Journal*, vol. 61, pp. 67-78, 2017.
- [8] Y. Shang-Fu and H. Chih-Cheng, "Novel Single-Slope ADC Design for Full Well Capacity Expansion of CMOS Image Sensor," *Sensors Journal, IEEE*, vol. 13, pp. 1012-1017, 2013.
- [9] J. Xu, J. Yu, F. Huang, and K. Nie, "A 10-Bit Column-Parallel Single Slope ADC Based on Two-Step TDC with Error Calibration for CMOS Image Sensors," *Journal of Circuits, Systems and Computers*, vol. 24, p. 1550054, 2015.
- [10] S. Naraghi, M. Courcy, and M. P. Flynn, "A 9-bit, 14 μW and 0.06 mm² Pulse Position Modulation ADC in 90 nm Digital CMOS," *Solid-State Circuits, IEEE Journal of*, vol. 45, pp. 1870-1880, 2010.
- [11] S. Danesh, J. Hurwitz, K. Findlater, D. Renshaw, and R. Henderson, "A Reconfigurable 1 GSps to 250 MSps, 7-bit to 9-bit Highly Time-Interleaved Counter ADC with Low Power Comparator Design," *Solid-State Circuits, IEEE Journal of*, vol. 48, pp. 733-748, 2013.
- [12] N. Zhang, S. Yao, and Y. Zhang, "An adaptive ramp generator for ADC built-in self-test," *Transactions of Tianjin University*, vol. 14, pp. 178-181, 2008.
- [13] G. D. Willenberg and H. N. Tauscher, "Novel Digital Voltage Ramp Generator for Use in Precision Current Sources in the Picoampere Range," *IEEE Transactions on Instrumentation and Measurement*, vol. 58, pp. 756-760, 2009.
- [14] B. Provost and E. Sanchez-Sinencio, "On-chip ramp generators for mixed-signal BIST and ADC self-test," *Solid-State Circuits, IEEE Journal of*, vol. 38, pp. 263-273, 2003.
- [15] P. Schvan, D. Pollex, and T. Bellingrath, "A 22GS/s 6b DAC with integrated digital ramp generator," in *Solid-State Circuits Conference (ISSCC)*, pp. 122-588, 2005.
- [16] L. Wen-Ta, L. Yi-Zhen, H. Jia-Chang, H. Yuh-Shyan, and C. Jiann-Jong, "A high precision ramp generator for low cost ADC test," in *Solid-State and Integrated-Circuit Technology (ICSICT)*, pp. 2103-2106, 2008.
- [17] F. Svelto, S. Manzini, and R. Castello, "A three terminal varactor for RF IC's in standard CMOS technology," *IEEE Transactions on Electron Devices*, vol. 47, pp. 893-895, 2000.
- [18] T. P. Wang, "A K-Band Low-Power Colpitts VCO With Voltage-to-Current Positive-Feedback Network in 0.18 μm CMOS," *IEEE Microwave and Wireless Components Letters*, vol. 21, pp. 218-220, 2011.
- [19] K. V. Tham, C. Ulaganathan, N. Nambiar, R. L. Greenwell, C. L. Britton, M. N. Ericson, et al., "PVT Compensation for Wilkinson Single-Slope Measurement Systems," *Nuclear Science, IEEE Transactions on*, vol. 59, pp. 2444-24, 2012.
- [20] Ibáñez, S.; Meana, E.; García, P.B.; Morales, R.A.; Cáceres, C.J.; Díaz, M.M.; González, C.L.; Drake, A.; Gutiérrez, J.M.; Florido, M.A.; Martos, J., "Four-channel self-compensating single-slope ADC for space

در این مقاله، روشی برای بهبود دقت مدار شیب پیشنهاد شده است. همچنین برای افزایش پایداری مدار نسبت به تغییرات پروسه، ولتاژ و دما از بازخورد منفی استفاده شده است. طراحی و شبیه‌سازی‌های مدار پیشنهادی در تکنولوژی CMOS 0.18 μm انجام شده است. نتایج شبیه‌سازی گوشه‌ها و مونت‌کارلو به ترتیب، بهبود حداقل یک و دو بیت دقت خروجی شیب را نسبت به مدار معمول نشان می‌دهند. از آنجایی که مقدار خازن ترانزیستوری اضافه‌شده در مدار، در مقایسه با خازن اصلی مدار بسیار کوچک‌تر می‌باشد می‌توان نتیجه گرفت که تأثیر خازن اضافه‌شده در اعوجاج مبدل نهایی بسیار محدود است. و همان‌گونه که نتایج شبیه‌سازی post-layout نشان دادند، طرح ارائه شده در این مقاله برای مبدل آنالوگ به دیجیتال تک‌شیب، مطلوب و مقرون به صرفه می‌باشد. فضای اشغالی مدار پیشنهادی تقریباً برابر مدار متداول است؛ این در حالی است که توان مصرفی مدار پیشنهادی نیز تقریباً برابر توان مصرفی مدار متداول است. از آنجایی که بهبود روش‌های پیشنهادی در این مقاله به صورت کلی با روابط ریاضی اثبات شده است، می‌توان از این تکنیک‌ها در مدارهای تولید شیب دیگر و یا در تکنولوژی‌های پایین‌تر استفاده کرد. مقدار غیر خطینگی کل مدار و فضای اشغالی آن به ترتیب حدود 2mV و 60.52 μm^2 می‌باشد، این در حالی است که توان مصرفی مدار پیشنهادی با در نظر گرفتن توان مصرفی آپ-امپ حدود 6/5 μW است.

مراجع

- [1] C. C. Lee, C. Y. Lu, R. Narayanaswamy, and J. B. Rizk, "A 12b 70MS/s SAR ADC with digital startup calibration in 14nm CMOS," in *2015 Symposium on VLSI Circuits (VLSI Circuits)*, pp. 62-63, 2015.
- [2] J. P. Mathew, K. Long, and B. Razavi, "A 12-bit 200-MS/s 3.4-mW CMOS ADC with 0.85-V supply," in *VLSI Circuits (VLSI Circuits)*, pp. 66-67, 2015.
- [3] C. C. Liu, M. C. Huang, and Y. H. Tu, "A 12 bit 100 MS/s SAR-Assisted Digital-Slope ADC," *Solid-State Circuits, IEEE Journal of*, vol. 51, pp. 2941-2950, 2016.
- [4] Y. Hwang, S. Lee, and M. Song, "Design of a CMOS image sensor with a 10-bit two-step single-slope A/D converter and a hybrid correlated double sampling," in *Microelectronics and Electronics (PRIME)*, pp. 1-4, 2014.
- [۵] حسین شمسی و الهام بهرامی، «تقویت کننده لگاریتمی کم مصرف و کم نویز برای کاربرد ضبط سیگنال‌های زیست-پتانسیل»، *مجله مهندسی برق دانشگاه تبریز*، جلد ۴۶، شماره ۳، صفحه ۸۳-۸۱، ۱۳۹۵.
- [۶] مهدی حسین‌نژاد و حسین شمسی، «طراحی و شبیه‌سازی مبدل آنالوگ به دیجیتال لوله‌ای مبتنی بر مقایسه‌گر ولتاژ پایین»، *مجله*

environments," Electronics Letters, vol.50, no. 8, pp. 579-581, Apr. 2014.

زیر نویس ها

¹ SS-ADC: Single Slope Analog to Digital Converter

² PVT: Process Voltage Temperature

³ Feedback

⁴ INL: Integral Non-Linearity

⁵ Substrate

⁶ Opamp

⁷ Layout

⁸ Transistor Mismatches