

تقویت کننده الکترونیکی مقاومت انتقالی برای شبکه‌های مخابرات نوری با ساختار جدید مبتنی بر پسخور فعال ولتاژ جریان

محمود صیفوری^۱، استادیار؛ پرویز امیری^۲، استادیار؛ ایمان دادرسی^۳، دانشجوی کارشناسی ارشد

۱- دانشکده مهندسی برق - دانشگاه تربیت دبیر شهید رجایی - تهران - ایران - mahmood.seifouri@srttu.edu

۲- دانشکده مهندسی برق - دانشگاه تربیت دبیر شهید رجایی - تهران - ایران - pamiri@srttu.edu

۳- دانشکده مهندسی برق - دانشگاه تربیت دبیر شهید رجایی - تهران - ایران - dadras.iman@gmail.com

چکیده: در این مقاله ساختاری جدید جهت تحقق تقویت کننده مقاومت انتقالی (TIA) پیشنهاد می شود. ساختار پیشنهادی با استفاده از یک ترانزیستور سورس پیرو و ترانزیستور سورس مشترک، به عنوان فیدبک ولتاژ-جریان، مقاومت ورودی و مقاومت خروجی را کاهش می دهد. در این ساختار به جای استفاده از مقاومت برای تبدیل جریان به ولتاژ، ترانسایابی ترانزیستور به تراامپدانس تبدیل می شود و با تزریق جریان به درین ترانزیستور، خروجی ولتاژ مطلوب در گیت ایجاد می شود. سپس مداری بر اساس ساختار ارائه شده، پیشنهاد می شود. مدار پیشنهادی با تکنولوژی CMOS $0.18\mu\text{m}$ شبیه سازی شد و نتایج بهره برابر با $59\text{dB}\Omega$ با ریپل بهره کمتر از $1\text{dB}\Omega$ در پهنای باند 10.6GHz به دست آمد. توان مصرفی مدار 18mW با منبع 1.8V و چگالی طیفی جریان نویز در ورودی $21\frac{\text{pA}}{\sqrt{\text{Hz}}}$ محاسبه شد. مقادیر بالا در حضور خازن پارازیتی 300fF فوتودیود در ورودی است. در ساختار جدید مصالحه های جدیدی ممکن می شود. این مصالحه ها در جات آزادی بیشتری را که در ساختارهای قبلی در دسترس نبود، فراهم می سازد.

واژه های کلیدی: تقویت کننده امپدانس انتقالی، شبکه های مخابرات نوری، ریپل بهره، حاصل بهره در پهنای باند، تقویت کننده فیدبک.

An Electronic Transimpedance Amplifier for Optical Communication Network Based on Active Voltage-Current Feedback

M. Seifouri¹, Assistant professor; P. Amiri², Assistant professor; I. Dadras³, MSc Student

1- Faculty of Electrical Engineering, Shahid Rajaei Teacher Training University, Tehran, Iran, Email: mahmood.seifouri@srttu.edu

2- Faculty of Electrical Engineering, Shahid Rajaei Teacher Training University, Tehran, Iran, Email: pamiri@srttu.edu

3- Faculty of Electrical Engineering, Shahid Rajaei Teacher Training University, Tehran, Iran, Email: dadras.iman@gmail.com

Abstract: In this paper, a topology is proposed to realize a new transimpedance amplifier (TIA). The proposed topology reduces the input and output impedances by using a common source transistor as a voltage-current feedback. In this topology instead of using a resistor to convert voltage to current, we convert transistor transconductance into transimpedance, and then by applying an electrical current to drain the required voltage appears at the gate terminal. Furthermore, a TIA circuit is designed on the proposed topology. Simulation of the designed TIA for 1.8V $0.18\mu\text{m}$ CMOS technology shows that gain of $59\text{dB}\Omega$ with $1\text{dB}\Omega$ gain ripple of the bandwidth of 10.6GHz can be achieved. While the whole TIA circuit consumes 18mW from 1.8V power supply the simulated average input current noise spectral density is about $21\text{pA}/\sqrt{\text{Hz}}$ within the TIA frequency band. Above result is calculated with 300fF parasitic capacitance of photodiode. In this topology new tradeoffs are possible which make a further degree of freedom which are not available in the previous topologies.

Keywords: transimpedance amplifier, optical communication networks, gain ripple, gain-bandwidth product, feedback amplifier.

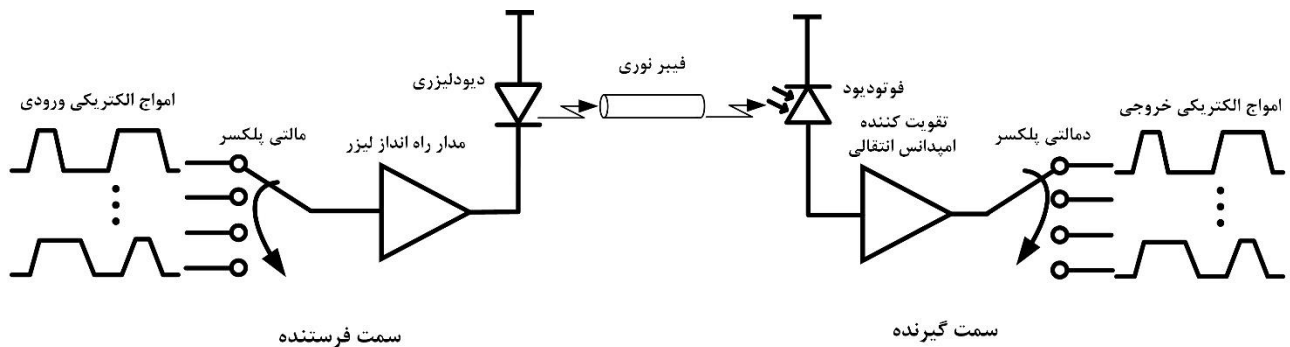
تاریخ ارسال مقاله: ۱۳۹۵/۰۹/۱۷

تاریخ اصلاح مقاله: ۱۳۹۵/۱۱/۲۷، ۱۳۹۶/۰۴/۱۹ و ۱۳۹۶/۰۵/۲۵

تاریخ پذیرش مقاله: ۱۳۹۶/۰۷/۰۱

نام نویسنده مسئول: پرویز امیری

نشانی نویسنده مسئول: ایران - تهران - لویزان - خیابان شهید شعبانلو - دانشگاه تربیت دبیر شهید رجایی - دانشکده مهندسی برق و کامپیوتر



شکل ۱: محل قرارگیری تقویت‌کننده مقاومت انتقالی در سیستم مخابرات نوری

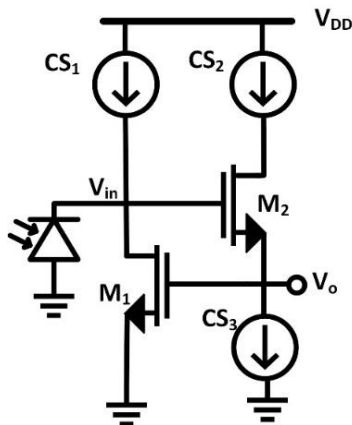
۱- مقدمه

به عبارت دیگر مصالحه‌ها در جاتی از آزادی برای برآوردن مشخصات مورد نیاز به طراح می‌دهد. به طور کلی پیچیدگی و درجه آزادی ۵ ساختار ذکر شده به ترتیب افزایش می‌یابد.

در بخش بعدی ساختار پیشنهادی معرفی شده و مشخصات آن با ۵ ساختار ذکر شده مقایسه می‌شود. بخش سوم به طراحی مدار تقویت‌کننده مقاومت انتقالی بر اساس ساختار پیشنهادی می‌پردازد. و در بخش چهارم به شبیه‌سازی و جانمایی مدار پرداخته خواهد شد.

۲- ساختار پیشنهادی

شکل ۲ شماتیک ساختار پیشنهادی را نمایش می‌دهد. در این ساختار، ترانزیستور M_1 به عنوان فیدبک ولتاژ جریان عمل کرده و مقاومت ورودی و خروجی مدار را کاهش می‌دهد. در ساختار جدید با اعمال جریان i_{in} به درین ترانزیستور M_1 ولتاژ $\frac{i_{in}}{g_{m1}}$ در گیت آن ایجاد می‌شود. در واقع مدار شکل ۲، ترانسانایی ترانزیستور M_1 را به ترا امپدانس تبدیل می‌کند، و تبدیل ولتاژ به جریان برخلاف تمام ساختارهای قبلی که با گذراندن ولتاژ از مقاومت انجام می‌شد، در این ساختار، توسط خود ترانزیستور انجام می‌شود. جهت درک بهتر نحوه کارکرد مدار ابتدا با صرف نظر از ظرفیت‌های خازنی پارازیتی و مقاومت‌های ناشی از مدولاسیون طول کانال، روابط مقاومت ورودی، مقاومت خروجی و بهره را به دست آورده و سپس تابع تبدیل دقیق مدار محاسبه می‌شود.



شکل ۲: مدار ساختار پیشنهادی

مدارات تقویت‌کننده مقاومت انتقالی، نقش مهمی در شبکه‌های فیبر نوری دارند. این مدارات بسیاری از مشخصات اساسی سیستم‌های نوری از قبیل سرعت و حساسیت را تعیین می‌کنند. تقویت‌کننده‌های مقاومت انتقالی به عنوان اولین طبقه بعد از فوتودیود (که سیگنال نوری را به الکترونیکی تبدیل می‌کند) قرار می‌گیرند. این مدارات وظیفه تبدیل جریان فوتودیود را به سطحی از ولتاژ که برای طبقه بعدی مناسب باشد، بر عهده دارند. فوتودیود ظرفیت خازنی پارازیتی زیادی دارد که در صورت بالا بودن مقاومت ورودی طبقه تقویت‌کننده مقاومت انتقالی، ثابت زمانی بزرگی در گره ورودی ایجاد کرده و با ایجاد قطب فرکانس پایین پهنای باند مدار را کاهش می‌دهد. جهت جلوگیری از کاهش پهنای باند، مقاومت ورودی تقویت‌کننده مقاومت انتقالی باید کم باشد. به علاوه نویز طبقه تقویت‌کننده به دلیل قرارگیری آن به عنوان طبقه نخست باید کم باشد. جهت کاهش تعداد طبقات مورد نیاز برای تقویت‌کنندگی و کاهش اثر نویز طبقات بعدی، باید بهره مقاومت انتقالی مدار مذکور زیاد باشد. در صورت زیاد بودن مقاومت خروجی مدار، گره خروجی با ایجاد قطب فرکانس پایین پهنای باند مدار را کاهش خواهد داد. موضوع اخیر به دلیل اضافه شدن طبقه بعدی (شکل ۱) (که معمولاً تقویت‌کننده محدودساز^۲ یا مدار دیجیتالی با مقاومت ورودی و ظرفیت خازن پارازیتی زیاد است)، در گره خروجی تقویت‌کننده مقاومت انتقالی اهمیت دارد. در واقع اضافه شدن طبقه بعدی مشخصات مدار را از حالت طراحی شده بدتر خواهد کرد و این موضوع در زمان طراحی طبقه تقویت‌کننده مقاومت انتقالی دیده نمی‌شود. جهت دستیابی به مشخصات فوق، یعنی؛ مقاومت ورودی، مقاومت خروجی و نویز کم و بهره مقاومت انتقالی زیاد، ساختارهای متنوعی ارائه شده است. مقاومت موازی [۱] مدارات گیت مشترک CG^2 [۲]، مدارات کسکود تنظیم شده RGC^3 [۳]، مدار سورس مشترک با پسخور موازی [۴ و ۵] و مدار حامل جریان مزدوج صلیبی^۴ [۶] از جمله این ساختارها هستند. هر ساختار بخشی از مشخصات مورد نیاز را تأمین می‌کند به علاوه امکان انجام تعدادی مصالحه را به طراح می‌دهد. طراح با توجه به مشخصات مورد نیاز خود، از یک ساختار استفاده کرده و با انجام مصالحه‌ها به آن مشخصات می‌رسد.

جدول ۱: مقایسه ساختار پیشنهادی با پنج ساختار مطرح در طراحی TIA

درجه آزادی	نویز	مقاومت خروجی	بهره	مقاومت ورودی	ساختار
بد	$\bar{i}_{in,noise}^2 = \frac{4KT}{R}$	$R_O = R$	$Z = R$	$R_i = R$	مقاومت موازی
بد	$\bar{i}_{in,noise}^2 = 4KTYg_m + \frac{4KT}{R_D}$	$R_O = R_D$	$Z = R_D$	$R_i = \frac{1}{g_m}$	گیت مشترک
خوب	$\bar{i}_{in,noise}^2 = 4KTYg_{m1} + \frac{4KT}{R_D} + \frac{4KTR_f + 4KTYg_{mf}}{g_{m1}R_D^2 + 1}$	$R_O = R_D$	$Z = R_D$	$R_i = \frac{1}{g_{m1}(1 + g_{mf}R_f)}$	RGC
خوب	$\bar{i}_{in,noise}^2 = \frac{4KT}{R_f} + \frac{4KT}{R_f^2} \left(\frac{\gamma}{g_m} + \frac{1}{g_{m1}R_D} + \frac{1}{g_{mf}g_{m1}R_D} \right)$	$R_O = \frac{1}{1 + g_mR_D} * \frac{1}{g_{mf}}$	$Z \cong R_f$	$R_i = \frac{R_f}{1 + g_mR_D}$	پسخور موازی
خوب	$\bar{i}_{in,noise}^2 = 4 \left(\frac{4KT}{R_1} + \frac{4KT}{R_2} + \frac{4KTYR_D^2}{g_{m1}R_1^2} + 8KTYg_{m3} \right)$	$R_O = R_2$	$Z = R_2(1 + \frac{1}{g_{m3}R_1})$	$R_i = \frac{1}{g_{m1}} - \frac{1}{g_{m3}R_c}$	حامل جریان
خوب	$\bar{i}_{in,noise}^2 = 4KTYg_{m1} + 4KTYg_{mcs1} + 4KTYg_{m2}R_2g_{m2}$	$R_O = \frac{1}{(1 + R_1g_{m1})g_{m2}}$	$Z = \frac{1}{g_{m1}}$	$R_{in} = \frac{1}{g_{m1}}$	ساختار پیشنهادی

۱-۲- معرفی ساختار پیشنهادی

با توجه به ساختار سورس پیروی ترانزیستور M2 و مقاومت بالا در گره v_o باید $v_o \approx v_{in}$. در این حالت جریان گذرنده از درین ترانزیستور M1 برابر با $i_{d2} = g_{m1}v_o = g_{m1}v_{in}$ است. پس مقاومت ورودی مدار $R_{in} = \frac{1}{g_{m1}}$ می شود. بهره مقاومت انتقالی مدار برابر با $Z = \frac{1}{g_{m1}}$ و مقاومت خروجی مدار برابر با $R_O = \frac{1}{(1 + R_1g_{m1})g_{m2}}$ خواهد بود، که مجموع مقاومت گره ورودی ناشی از مدولاسیون طول کانال ترانزیستور M1 و منبع جریان CS1 است. همچنین جریان نویز ارجاع شده به ورودی، با صرف نظر از نویز منابع جریان CS2 و CS3 و ترانزیستور M2 که بسیار کم هستند برابر با $\bar{i}_{in,noise}^2 = 4KTYg_{m1} + 4KTYg_{mcs1}$ خواهد شد.

جدول ۱ ساختار پیشنهادی را در کنار ۵ ساختار مر سوم بررسی می کند. در ساختار پیشنهادی، به دلیل بسیار کم بودن امیدانس گره خروجی، به راحتی می توان بهره را بدون کاهش پهنای باند، با یک طبقه تقویت کننده ولتاژ افزایش داد (در سایر ساختارها به دلیل مقاومت بالا در گره مذکور، با افزایش طبقات پهنای باند افت می کند). ساختار پیشنهادی مشخصات و مصالحه های جدیدی را ممکن می کند که می تواند جهت دستیابی به مشخصات هدف به طراح کمک کند. ساختار مشخصه قابل قبولی از جهت نویز دارد و مقاومت خروجی آن به میزان خوبی کوچک است. بنابراین مصالحه باقی مانده بین مقاومت ورودی (پهنای باند) و بهره با انتخاب g_{m1} است. به طور مثال اگر ترانسسانایی مذکور ۱۰ms انتخاب شود، بهره ۱۰۰ و مقاومت ورودی ۱۰۰Ω به دست می آید که مناسب است. مصالحه های ممکن برای ساختار پیشنهادی در جدول ۲ نشان داده شده است. معادلات جدول ۱ اگرچه اطلاعات زیادی از حدود بهره، مقاومت ورودی و مقاومت خروجی به دست می دهند، و همچنین وابستگی زیاد مشخصات فوق به g_{m1} را نشان می دهند، اما جهت بررسی دقیق کارکرد ساختار پیشنهادی نیاز

جدول ۲: مصالحه های ممکن و درجات آزادی در ساختار پیشنهادی

متغیر	مقاومت ورودی	بهره	مقاومت خروجی	نویز
افزایش g_{m1}	بهبتر شدن	بدتر شدن	بهبتر شدن	بدتر شدن
افزایش g_{m2}	بدون تغییر	بدون تغییر	بهبتر شدن	بدون تغییر

به در نظر گرفتن تمام مقاومت ها و خازن های ذاتی قطعات آن است.

۲-۲- محاسبه مشخصات مدار پیشنهادی

در این بخش به مطالعه دقیق تر مشخصات مدار پیشنهادی پرداخته می شود. ابتدا تابع تبدیل ساختار پیشنهادی در معادله (۱) با در نظر گرفتن مقاومت R_1 و خازن C_1 به ترتیب به عنوان مجموع مقاومت های ذاتی و خازن های پارازیتی گره ورودی و R_2 و C_2 به ترتیب مجموع مقاومت های ذاتی و خازن های پارازیتی گره خروجی محاسبه می گردد.

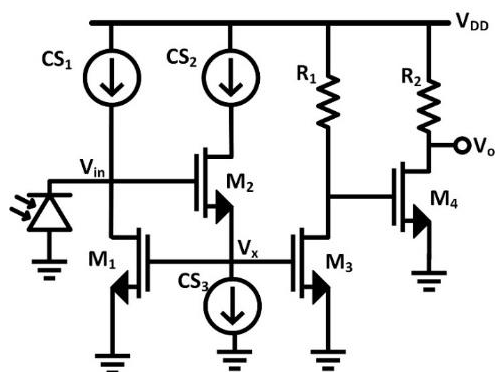
$$Z_T(S) = \frac{R_1R_2g_{m2}}{R_1R_2C_1C_2S^2 + ((g_{m2} + g_{mb2})R_1R_2C_1 + R_1C_1 + R_2C_2)S + R_1R_2g_{m1}g_{m2} + (g_{m2} + g_{mb2})R_2 + 1} \quad (1)$$

از معادله (۱) و با قرار دادن $S = 0$ بهره مقاومت انتقالی در فرکانس صفر به صورت معادله (۲) به دست می آید.

$$Z_T(0) = \frac{R_1R_2g_{m2}}{R_1R_2g_{m1}g_{m2} + (g_{m2} + g_{mb2})R_2 + 1} \quad (2)$$

که در صورت بزرگ بودن مقادیر R_2 و R_1 مقدار فوق با مقدار تقریبی محاسبه شده، برابر خواهد بود. برای درک بهتر رفتار مدار، η (معادله (۳)) و ω_n (معادله (۴)) محاسبه می شود.

$$\eta = \frac{(g_{m2} + g_{mb2})R_1R_2C_1 + R_1C_1 + R_2C_2}{2\sqrt{R_1R_2C_1C_2(R_1R_2g_{m1}g_{m2} + (g_{m2} + g_{mb2})R_2 + 1)}} \quad (3)$$



شکل ۳: طرح کلی مدار پیشنهادی

شکل ۴ مدار کامل مبدل جریان به ولتاژ را نمایش می دهد. مقادیر متغیرهای مدار مطابق جدول ۳ انتخاب شد.

جدول ۳: مقادیر متغیرها

مقدار	متغیر	مقدار	متغیر
۶۴μ	$w(Q_5)$	۱۸۰nm	(همه ترانزیستورها) l
۱۰۰μ	$w(M_2)$	۱۰۰μ	$w(Q_1)$
۱۵μ	$w(Q_3)$	۱۰۰μ	$w(Q_4)$
۰/۸۷	V_b	۱۵μ	$w(M_1)$
		۲μ	$w(Q_2)$

انتخاب مقادیر جدول ۳ برای متغیرها، ترانسانایی، مقاومت و ظرفیت خازنی های مدار را مطابق جدول ۴ ایجاد می نماید:

جدول ۴: ترانسانایی، مقاومت و ظرفیت خازنی پارازیتی مدار

مقدار	متغیر
۶/۵m	g_{m1}
۳۶m	g_{m2}
۶/۵m	g_{mb2}
۰/۳۱۸pF	C_1
۰/۹۵pF	C_2
۱۸۱Ω	R_1
۹۳۰Ω	R_2

با قرار دادن مقادیر جدول ۴ در معادله (۱) تابع تبدیل مطابق معادله زیر به دست می آید:

$$Z_T(S) = \frac{1.1 \times 10^{23}}{S^2 + 5.7 \times 10^{10}S + 14.8 \times 10^{20}} \quad (5)$$

با توجه به معادله (۵) بهره فرکانس صفر مدار و نسبت میرایی (η) به صورت معادلات (۶) و (۷) محاسبه می شود.

$$Z_T(0) = 75\Omega \quad (6)$$

$$\eta = 0.74 < 1 \quad (7)$$

معادله (۷) نشان می دهد که تابع تبدیل مدار دو قطب مزدوج با فرکانس گوشه ω_n دارد. معادله (۸) فرکانس گوشه را محاسبه می کند.

$$\omega_n = 38 \times 10^9 \rightarrow f_n = 6.12GHz \quad (8)$$

معادلات (۶) و (۸) نشان می دهند که مدار پیشنهادی، پهنای باند و بهره مناسبی جهت استفاده به عنوان مبدل جریان به ولتاژ دارد.

معادله (۳)، برای مقادیر نوعی مقاومت ذاتی و خازن پارازیتی g_m معمول ترانزیستورهای ما سفت $1 < \eta$ را نتیجه می دهد، که یعنی تابع تبدیل دارای دو قطب مختلط مزدوج با فرکانس گوشه برابر با ω_n است.

$$\omega_n = \sqrt{\frac{R_1 R_2 g_{m1} g_{m2} + (g_{m2} + g_{mb2}) R_2 + 1}{R_1 R_2 C_1 C_2}} \quad (4)$$

معادلات (۲) و (۴) با قرار دادن مقادیر معمول در تکنولوژی $0.18\mu m$ بهره در حدود 100Ω و فرکانس گوشه در حدود چند گیگاهرتز را نشان می دهد، که مقادیر قابل قبولی هستند. معادلات فوق به علاوه نشان می دهند که افزایش g_{m1} ، افزایش پهنای باند و کاهش بهره را نتیجه می دهد.

در بخش بعدی یک مدار تقویت کننده مقاوم انتقالی بر اساس ساختار پیشنهادی طراحی می شود تا علاوه بر اثبات قابلیت های ساختار، مقایسه ای روی مدار طراحی شده بر اساس ساختار جدید با مدارات طراحی شده بر اساس ساختارهای قبلی ممکن گردد.

۳- طراحی مدار تقویت کننده انتقالی بر اساس ساختار

پیشنهادی

۳-۱- ملاحظات طراحی

برای دستیابی به بهره حدود $60dB\Omega$ بهره تقویت کننده انتقالی باید 1000Ω باشد. ساختار پیشنهادی در این مقاله، جهت تأمین سایر مشخصات، نهایتاً می تواند بهره ای در حدود 100Ω داشته باشد. اما همان طور که در بخش قبل اشاره شد، در این ساختار به دلیل مقاومت خروجی پایین، امکان افزودن طبقه تقویت کننده ولتاژ بدون کاهش پهنای باند وجود دارد.

در مدار تقویت کننده ولتاژ از چندطبقه مدار سورس مشترک ساده استفاده می شود. با توجه به مقاومت خروجی پایین طبقه قبل (مقاومت خروجی ساختار پیشنهادی کمتر از $R_o = \frac{1}{(1+R_1 g_{m1}) g_{m2}}$ است) مشکل زیادی از جهت خازن پارازیتی مدار سورس مشترک ایجاد نمی شود. انتخاب تعداد طبقات موازنه ای بین توان مصرفی، نویز و اندازه مدار و پهنای باند آن است. شکل ۳ مدار پیشنهادی را با دو طبقه مدار سورس مشترک نشان می دهد.

جهت دستیابی به بهره، مقاومت ورودی و نویز مناسب g_{m1} باید حدود $10ms$ باشد تا بهره 100 و مقاومت ورودی 100Ω شود. برای کاهش مقاومت خروجی، g_{m2} را تا حد امکان بدون تأثیر منفی بر سایر المانها (با در نظر گرفتن ملاحظات مصرف توان) افزایش داده می شود.

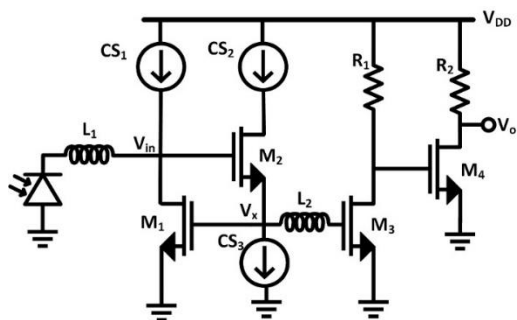
۳-۲- انتخاب متغیرهای مدار

۳-۲-۱- متغیرهای ساختار پیشنهادی

جهت افزایش پهنای باند مدار g_{m2} باید تا حد امکان افزایش یابد، اما g_{m1} به دلیل تأثیر مستقیمی که بر بهره و در نتیجه نویز مدار دارد باید با مصالحه بین نویز و بهره از یک طرف و پهنای باند از طرف دیگر انتخاب شود.

$$Z = \frac{CRLS^2 + LS + R}{(LC_1S^2 + 1)(RC_2S + 1)} \quad (9)$$

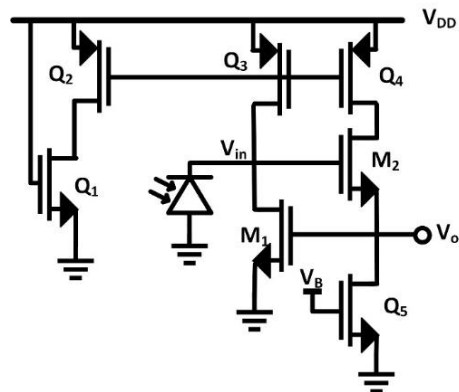
شبکه تشدید سری با دو سلف در دو گره V_x و V_{in} که مانند شکل ۶ قرار داده می شود، تحقق می یابد. در صورت انتخاب محل صحیح صفر معادله (۹) می توان پهنای باند را تا میزان زیادی افزایش داد. در صورت انتخاب صفرها برابر با قطبها (در حدود ۶/۱۲GHz)، نوسانات درون باند مدار کم شده، اما پهنای باند مقدار کمی افزایش می یابد. در صورت انتخاب دورتر صفرها پهنای باند بیشتر خواهد یافت اما نوسانات درون باند نیز بیشتر خواهد شد. در اینجا هر دو صفر در حدود ۸GHz انتخاب شده اند. به این منظور $L_1=2.02nH$ و $L_2=2.53nH$ قرار گرفته اند.



شکل ۶: محل قرارگیری سلفهای جبران ساز

۴- شبیه سازی رایانه ای

مدار بخش قبلی با تکنولوژی ۰/۱۸μm CMOS شبیه سازی شد. مقادیر حاصله در جدول ۶ با نتایج کارهای دیگران (۱، ۵، ۶، ۱۳، ۱۴) مقایسه شده است. مقایسه کارایی مدار با کارهای دیگران، قابلیت مدار در مصرف توان پایین و ارجاع نویز کم به ورودی را نشان می دهد. بر اساس نتایج شبیه سازی اثبات می شود که مدار ارائه شده یک تقویت کننده خوب با معیار بهره، توان مصرفی و پهنای باند-بهره بر توان مصرفی $\left(\frac{GHz\Omega}{mW}\right)$ است. مرجع [۱۳] به دلیل استفاده نکردن از سلف در مدار از نظر سطح اشغال شده توسط مدار (۰/۰۱۶mm²) نسبت به سایر مدارات مزیت دارد. اما دستیابی به مزیت فوق با استفاده از مدار میدل ظرفیت خازنی به سلفی امکان پذیر شده است. مدار میدل ظرفیت خازنی به سلفی متشکل از دو ترانزیستور و دو مقاومت است. افزایش این قطعات به مدار باعث افزایش نویز و کاهش نسبت بهره-پهنای باند بر نویز شده است. مصلحه نویز و کارایی مدار در مقایسه مرجع [۱۳] با سایر مراجع و این مقاله قابل ملاحظه است. با توجه به کاربرد مدار در مراکز مخابراتی و ثابت بودن آن و نیز اهمیت نویز کم به دلیل قرار گرفتن مدار در ابتدای گیرنده نوری، در این مقاله افزایش حجم و استفاده از سلف بر افزایش نویز ترجیح داده شده است. مرجع [۵] با استفاده از ۳ سلف، پهنای باند ۲۰/۵GHz را فراهم ساخته است. این پهنای باند برای کار در نرخ بیت ۴۰Gb/s برابر با استاندارد OC-768 با در نظر گرفتن تقدم نویز بر تداخل بین سمبولی مناسب است [۱۷]. در مقابل سایر مراجع با پهنای باند بیش از ۷GHz برای نرخ بیت



شکل ۴: مدار کامل میدل جریان به ولتاژ

۳-۲-۲- متغیرهای تقویت کننده ولتاژ

مدار تقویت کننده ولتاژ از طبقات سورس مشترک تشکیل شده است. هرچه تعداد این طبقات بیشتر باشد، هر طبقه بهره کمتری را تأمین می کند. اندازه ترانزیستورها کوچک تر است و مدار می تواند پهنای باند بیشتری داشته باشد. در عوض نویز آن بیشتر شده و توان مصرفی بالا می رود. در این مقاله مانند شکل ۳ از دو طبقه سورس مشترک با مشخصات جدول ۵ استفاده شده است.

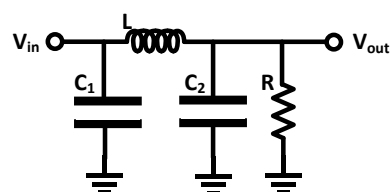
جدول ۵: مقادیر متغیرها

مقدار	متغیر	مقدار	متغیر
۴۲۰Ω	R1	۴۰μ	w(M ₃)
۷۷۰Ω	R2	۸μ	w(M ₄)

مقادیر فوق بهره ۱۵dB در طبقه اول و ۶/۵dB در طبقه دوم را نتیجه می دهد که با بهره مقاومت انتقالی ۳۷/۵dBΩ طبقه میدل جریان به ولتاژ، بهره کل مدار برابر با ۵۹dBΩ خواهد بود.

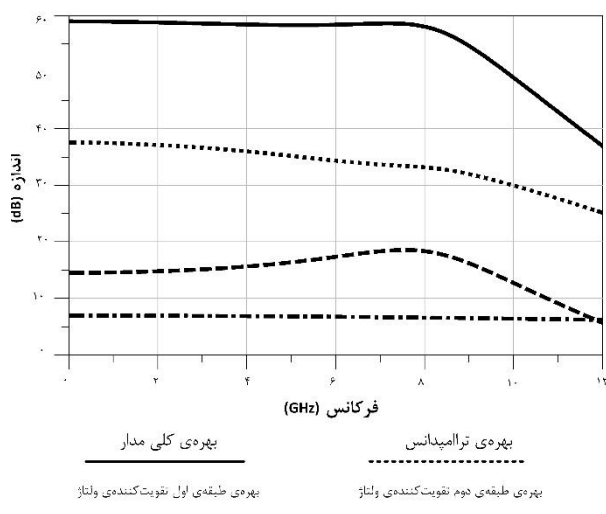
۳-۳- افزایش پهنای باند با شبکه تشدید سری

افزایش پهنای باند با شبکه تشدید موازی [۸]، با شبکه تشدید سری [۹]، و ترکیبی از هر دو [۱۰-۱۲] از روش های مرسوم افزایش پهنای باند هستند. در این مقاله از شبکه تشدید سری جهت افزایش پهنای باند استفاده می شود. دو گره V_x و V_{in} در شکل ۳ به دلیل وجود ظرفیت خازن های پارازیتی بالا نیاز به شبکه تشدید سری دارد. شکل ۵ اصول افزایش پهنای باند با شبکه تشدید سری را نمایش می دهد. معادله (۹) امپدانس معادل گره V_{in} را محاسبه می نماید. در معادله (۹)، C برابر با مجموع دو خازن شکل ۵ است.



شکل ۵: جبران سازی با سلف

شکل ۹ نتیجه شبیه سازی نویز مدار ارائه شده را نمایش می دهد. در فرکانس های بالا نویز کاهش می یابد. این کاهش نویز به دلیل اثر سلف L1 است که در فرکانس زیاد اتفاق می افتد.



شکل ۷: اندازه پاسخ فرکانسی مدار مبتنی بر ساختار پسخور منفی

برای داشتن درک از اندازه مدار، جانمایی آن با استفاده از نرم افزار Cadence، فرآیند نیم رسانای اکسید فلز مکمل (CMOS) و فناوری $0.18\mu\text{m}$ شرکت صنایع نیم رسانای تایوان (TSMC) طراحی شد و در شکل ۱۰ نمایش داده می شود. نتیجه شبیه سازی پس از جانمایی با استفاده از نرم افزار Spectre در شکل ۱۱ نشان داده شده و تفاوت کمتر از ۱dB را با نتیجه پیش از جانمایی نشان می دهد. ابعاد جانمایی 0.15mm^2 است که برای منظور این مقاله (با توجه به ثابت بودن گیرنده نوری و سایر کارهای انجام شده در این زمینه) مناسب است.

10Gb/s مطابق استاندارد OC-192 با در نظر گرفتن تقدم تداخل بین سمبولی بر نویز طراحی شده اند [۷]. مرجع [۵] برای استاندارد با سرعت بیشتر در ازای اشغال سطح بیشتر توسط مدار از شبکه تشدید و سلف بیشتر استفاده کرده است. مرجع [۱۴] با افزایش توان مصرفی (افزایش ترار سانایی ترانزیستورها) نویز را کاهش داده است که با توجه به ثابت بودن دستگاه و عدم استفاده از باتری جهت تغذیه انتخاب مناسبی است اما به دلیل بهره پایین مدار طبقه بعدی (تقویت کننده محدودساز) باید با در نظر گرفتن ملاحظات مربوط به نویز طراحی شود. مرجع [۶] با فراهم نمودن خروجی تفاضلی، حذف حالت مشترک و اغتشاشات منبع ولتاژ را در طبقات بعد بدون نیاز به مبدل اضافی تک سر به دیفرانسیل ممکن می کند. اما در صورت استفاده به صورت تفاضلی نویز ارجاع شده به ورودی (به علت کمتر بودن بهره ترار سانایی خروجی منفی) $5/1$ برابر $(\frac{\text{pA}}{\sqrt{\text{Hz}}})$ می شود. در این حالت بهره ۵۰dB خواهد بود. نویز حالت تفاضلی مدار زیاد بوده ولی از مزایای خروجی تفاضلی نسبت به مدار معرفی شده در این مقاله بهره می برد. مرجع [۱] نسبت به این مقاله عملکرد بهتری در مورد نویز دارد که با افزایش توان مصرفی به دست آمده است.

شکل ۷، نمودار بهره هر قسمت مدار و بهره کلی مدار را نشان می دهد. بهره کلی مدار، 59dB با نوسانات کمتر از 1dB در باند تقویت، است. پهنای باند مدار، $8/6\text{GHz}$ نشان داده شده است. اما مشخصات بسیار خوب مدار توان مصرفی و نویز ارجاع شده به ورودی آن است. میانگین چگالی طیفی جریان نویز ارجاع شده به ورودی مدار $23\frac{\text{pA}}{\sqrt{\text{Hz}}}$ است. اگر فقط ساختار پیشنهادی (مبدل جریان به ولتاژ، بدون در نظر گرفتن دو طبقه سورس مشترک تقویت کننده جریان) در نظر گرفته شود، بهره فرکانس صفر بیش از 37dB (75Ω)، با جریان نویز

جدول ۶: مقایسه نتایج مقاله با کارهای مشابه

این مقاله	[۱۴]	[۱۳]	[۶]	[۵]	[۱]	مدار
$0.18\mu\text{m}$	$0.13\mu\text{m}$	$0.13\mu\text{m}$	$0.18\mu\text{m}$	$0.18\mu\text{m}$	$0.18\mu\text{m}$	تکنولوژی
59	54	50.1	46	60	58	بهره (dB)
$8.6@0.3\text{pF}$	$11.5@\text{NA}$	$7@0.25\text{pF}$	$8@0.25\text{pF}$	$20.5@0.3\text{pF}$	$8.1@0.3\text{pF}$	پهنای باند (GHz)
$18.2@1.8\text{V}$	$45@1.5\text{V}$	$7.5@1.5\text{V}$	$31.5@\text{N.A}$	$11@1.8\text{V}$	$34.8@1.8\text{V}$	توان مصرفی (mW)
420	128	299	50.6	1863	184.8	$\frac{GBW}{P_{DC}} (\frac{\text{GHz}\Omega}{\text{mW}})$
23	6.8	31.3	10	12	15	جریان نویز ارجاع شده به ورودی $(\frac{\text{pA}}{\sqrt{\text{Hz}}})$
2	2	0	2	3	2	تعداد سلف ها

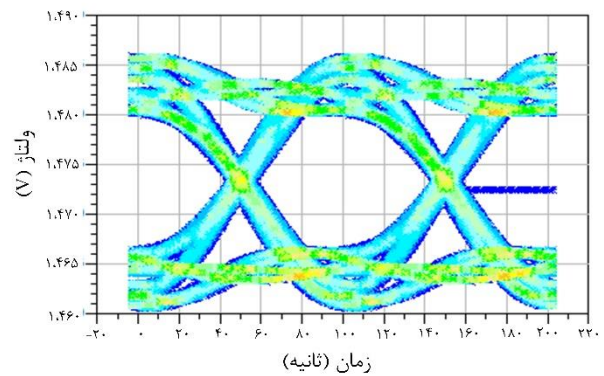
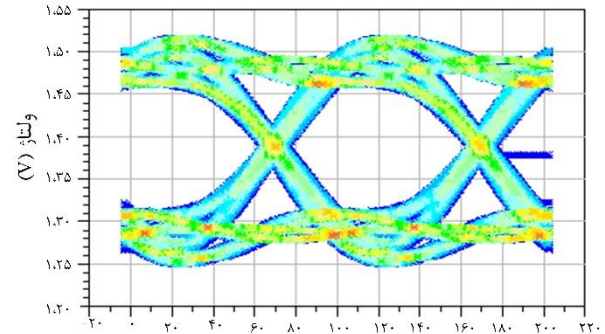
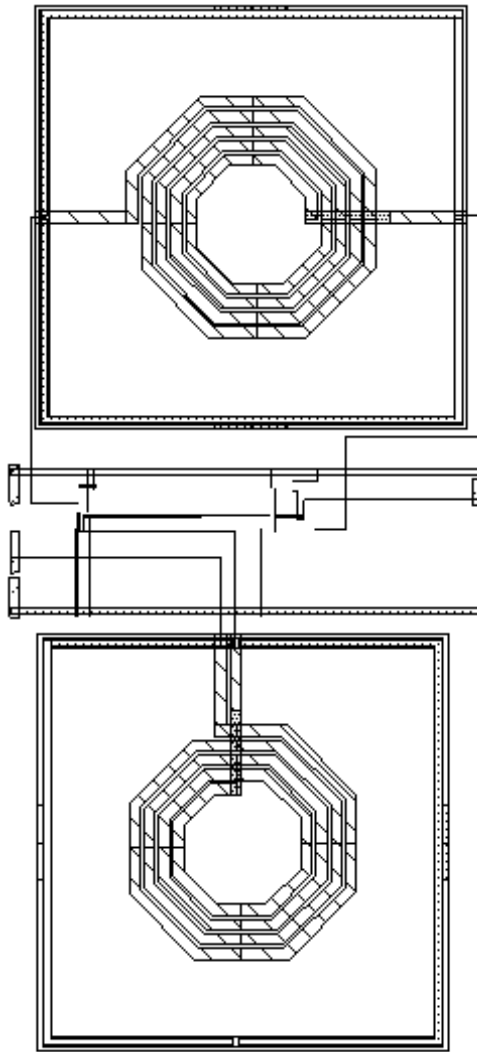
۵- نتیجه گیری

در این مقاله ساختاری جدید برای تقویت کننده مقاومت انتقالی جهت به کارگیری در لینک نوری ارائه شد. یک TIA کم نویز و با بهره بالا و مصرف توان کم بر اساس ساختار جدید طراحی شد. سپس مدار طراحی شده با تکنولوژی CMOS $0.18\mu\text{m}$ شبیه سازی گردید.

ارجاع شده به ورودی $15\frac{\text{pA}}{\sqrt{\text{Hz}}}$ و مصرف توان 13mW به دست می آید.

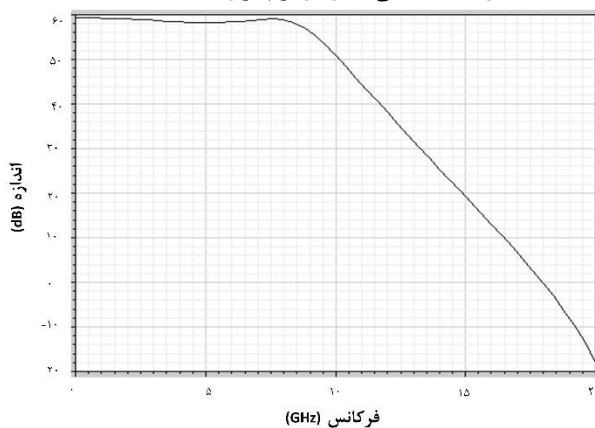
شکل ۸، دیاگرام چشمی پورت خروجی مدار ارائه شده را به دنباله بیت های شبه تصادفی (PRBS^۵) با نرخ بیت $1 - 2^{31} \frac{\text{Gb}}{\text{s}}$ با دو سطح $20\mu\text{A}$ و $200\mu\text{A}$ نشان می دهد.

نتایج شبیه سازی TIA طراحی شده، بهره مقاومت انتقالی $59\text{dB}\Omega$ با پهنای باند $8/6\text{GHz}$ را با خازن $0/3\text{pF}$ پارازیتی فوتودیود نشان می دهد. میانگین چگالی طیفی جریان نویز ارجاع شده به ورودی مدار برابر با $23 \frac{\text{pA}}{\sqrt{\text{Hz}}}$ است.

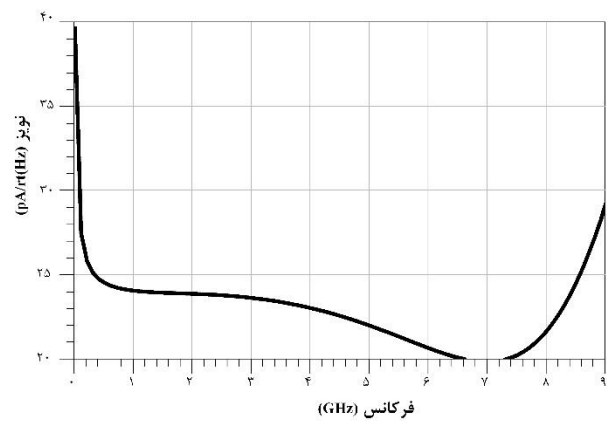


شکل ۸: دیاگرام چشمی پورت خروجی بالا: با ورودی $20\mu\text{A}$ پایین: با ورودی $200\mu\text{A}$

شکل ۱۰: جانمایی مدار در نرم افزار cadence



شکل ۱۱: شبیه سازی پس از جانمایی مدار



شکل ۹: نویز ارجاع شده به ورودی مدار ارائه شده

مراجع

- [7] B. Razavi, *Integrated Circuit for Optical Communications, Second Edition*, Hoboken, New Jersey: John Wiley & Sons, Inc., 2012.
- [8] S. S. Mohan, M. M. Hershenson, S. P. Boyd and T. H. Lee, "Bandwidth extension in CMOS with optimized on-chip inductors," *IEEE Journal of Solid-State Circuits*, vol. 35, no. 3, pp. 346-355, 2000.
- [9] B. Analui and A. Hajimiri, "Bandwidth enhancement for transimpedance amplifiers," *IEEE Journal of Solid-State Circuits*, vol. 39, no. 8 pp. 1263-1270, 2004.
- [10] S. Galal and B. Razavi, "40-Gb/s amplifier and ESD protection circuit in 0.18 μ m CMOS technology," *IEEE Journal of Solid-State Circuits*, vol. 39, no. 6, pp. 2389-2396, 2004.
- [11] D. J. Jin and S. H. Hsu, "A 40-Gb/s transimpedance amplifier in 0.18 μ m CMOS technology," *IEEE Journal of Solid-State Circuits*, vol. 43, no.6, pp. 1449-1457, 2008.
- [12] C. F. Liu and S. I. LIU, "A 40-Gb/s transimpedance-AGC amplifier and CDR circuit for broadband data receivers in 90-nm CMOS technology," *IEEE Journal of Solid-State Circuits*, vol. 43, no.3, pp. 642-665, 2008.
- [13] M. H. Taghavi, L. Belostotski, J.W Haslett and P.Ahmadi, "10-Gb/s 0.13- μ m CMOS inductorless modified-RGC transimpedance amplifier," *IEEE Transaction on Circuits and Systems I*, vol. 62, no. 8, pp. 1971-1980, 2015.
- [14] P. Andre and S. Jacobus, "Design of a high gain and power efficient optical reciever front-end in 0.13 μ m RF CMOS technology for 10 Gbps applications" *Microwave and Optical Technology Letters*, vol. 58, no. 6, pp. 1499-1504, 2016.
- [1] M. Rakideh, M. Seifouri and P. Amiri, "A folded cascode-based broadband transimpedance amplifier for optical communication," *Microelectronics Journal*, vol. 54, no. c, pp. 1-8, 2016.
- [2] S. M. R. Hasan, "Design of a low power 3.5-GHz broad-band CMOS transimpedance amplifier for optical transceivers," *IEEE Transactions on Circuits and Systems I*, vol. 52, no. 6, pp. 1061-1072, 2005.
- [3] M. Seifouri, P. Amiri and M. rakide, "Design of broadband transimpedance amplifier for optical communication systems," *Microelectronics Journal*, vol. 45, no.8, pp. 679-684, 2015.
- [4] J. Kim and J. F. Buckwalter, "Bandwidth enhancement with low group-delay variation for a 40-Gb/s transimpedance amplifier," *IEEE Transactions on Circuits and Systems I*, vol. 57, no. 8, pp. 1964-1972, 2010.
- [۵] امیری، صیفوری، آفرین و هدایتی‌پور، «طراحی پیش تقویت‌کننده RGC کم‌نویز مدار مجتمع CMOS با پهنای باند ۲۰GHz و بهره ۶۰dB Ω »، *مجله مهندسی برق دانشگاه تبریز*، جلد ۴۶ شماره ۲، صفحات ۱۵-۲۳، ۱۳۹۵.
- [6] D. Chen, S. Yeh, X. Shi, M. A. Do, C. C. Boon and W. M. Lim, "Cross-coupled current conveyor based CMOS transimpedance amplifier for broadband data transmission," *IEEE Transaction on Very Large Scale Integration (VLSI) Systems*, vol. 21, no. 8, pp. 15-16-1525, 2013.

زیر نویس‌ها

* Cross-coupled current conveyor

* PseudoRandom Bit Sequence

* TranceImpedance Amplifier

* Limiting Amplifier

* ReGulated Cascade