

تقویت کننده کسکود تمام تفاضلی بازیابی ناشده بهبود یافته ولتاژ و توان پایین

خلیل منفردی^۱، استادیار؛ یوسف بلقیس آذر^۲، دانشجوی کارشناسی ارشد

۱- گروه مهندسی برق - دانشکده فنی و مهندسی - دانشگاه شهید مدنی آذربایجان - تبریز - ایران - khmonfaredi@azaruniv.ac.ir

۲- گروه مهندسی برق - دانشکده فنی و مهندسی - دانشگاه شهید مدنی آذربایجان - تبریز - ایران - y.belghisazar@azaruniv.ac.ir

چکیده: در این مقاله ساختاری جدید برای تقویت کننده کسکود ناشده تمام تفاضلی جهت کار در ولتاژ و توان کم ارائه شده است. تقویت کننده کسکود ناشده متداول و تقویت کننده کسکود بازیابی ناشده شبیه سازی شده است که با استفاده از ترانسانیایی بالاتر ارائه شده در ساختار کسکود بازیابی ناشده بهره DC، بهره پهنای باند و نویز ارجاع شده به ورودی بهبود یافته است. با این وجود در ساختار کسکود بازیابی ناشده حاشیه فاز کم شده است که در مدار تقویت کننده کسکود بازیابی ناشده بهبود یافته پیشنهادی این افت جبران شده است. تقویت کننده‌ها در محیط نرم افزار Cadence و با استفاده از تکنولوژی ۱۸۰ nm TSMC شبیه سازی شده‌اند. بهره DC، پهنای باند و حاشیه فاز تقویت کننده‌های کسکود ناشده (FC)، کسکود بازیابی ناشده (RFC) و کسکود بازیابی ناشده بهبود یافته (IRFC) به ترتیب ۴۲/۰۹ dB، ۲۳/۲۴ kHz، ۹۰/۱۴ درجه؛ ۴۸/۲۷ dB، ۸۲/۵۱، ۸۳/۱۶ kHz، ۵۸/۹۲ dB، ۶۶/۵۸ kHz، ۸۴/۱۲ درجه به دست آمده‌اند. نتایج شبیه سازی پسا جانمایی برای ساختار کسکود بازیابی ناشده بهبود یافته (IRFC) ارائه شده است که مؤید عملکرد مناسب مدار پیشنهادی می‌باشد. بهره DC، پهنای باند و حاشیه فاز به دست آمده از شبیه سازی پسا جانمایی تقویت کننده کسکود بازیابی ناشده بهبود یافته (IRFC) به ترتیب برابر ۵۶ dB، ۶۵/۴۲ kHz، ۸۳/۵۳ درجه می‌باشد. به منظور ارزیابی عادلانه شبیه سازی هر سه ساختار، به ازای شرایط و ابعاد یکسان صورت گرفته است. توان مصرفی سه ساختار به ترتیب برابر ۷۰۰ nW، ۷۰۰ nW و ۷۵۰ nW به دست آمدند. ضریب شایستگی بالای تقویت کننده پیشنهادی نسبت به کارهای مشابه نشان دهنده بهبود عملکرد آن می‌باشد.

واژه‌های کلیدی: تقویت کننده کسکود تمام تفاضلی، کسکود ناشده، تقویت کننده عملیاتی، تقویت کننده ترانسانیایی.

Improved Low Voltage Low Power Recycling Folded Fully Differential Cascode Amplifier

K. Monfaredi¹, Assistant Professor; Y. Belghisazar², MSc student

1- Engineering Faculty, Department of Electrical and Electronic Engineering, Azarbaijan Shahid Madani University, Tabriz, Iran, Email: khmonfaredi@azaruniv.ac.ir

2- Engineering Faculty, Department of Electrical and Electronic Engineering, Azarbaijan Shahid Madani University, Tabriz, Iran, Emails: y.belghisazar@azaruniv.ac.ir

Abstract: In this paper, a novel structure for folded cascode low-voltage low-power fully differential amplifier is proposed. Both conventional folded cascode amplifier and recycling folded Cascode amplifier is simulated which in later case the DC gain, gain bandwidth and input referred noise is improved thank to the higher transconductance of recycling structure. Meanwhile the phase margin is reduced in recycling folded cascode amplifier which is compensated by improved recycling folded cascode amplifier circuit proposed. Amplifiers are simulated by Cadence software utilizing 180 nm TSMC technology. DC gain, bandwidth and phase margin of conventional folded cascode (FC), recycling folded cascode (RFC) and improved recycling folded cascode (IRFC) are obtained 42.09dB, 23.24kHz, 90.14°, 48.27dB, 83.16kHz, 82.51° and 58.92dB, 66.58kHz, 84.12°, respectively. Post layout simulation for improved recycling folded cascode (IRFC) is provided which proves the proper functionality of the proposed structure. For fair evaluation all structures are simulated in identical circumstance and transistor aspect ratios. The power consumption of these circuits are obtained 700 nW, 700 nW, 750 nW, respectively. High figure of merit (FOM) for proposed amplifier in comparison with its other counterparts represents its improved performance.

Keywords: Fully differential cascode amplifier, folded cascode, operational amplifier, trans-conductance amplifier.

تاریخ ارسال مقاله: ۱۳۹۵/۰۹/۲۹

تاریخ اصلاح مقاله: ۱۳۹۵/۱۱/۱۲

تاریخ پذیرش مقاله: ۱۳۹۵/۱۲/۲۲

نام نویسنده مسئول: خلیل منفردی

نشانی نویسنده مسئول: ایران - تبریز - دانشگاه شهید مدنی آذربایجان - دانشکده فنی و مهندسی - گروه مهندسی برق.

۱- مقدمه

در دهه‌های اخیر روند ارائه سیستم‌های ولتاژ کم-توان کم تسریع شده است. تعداد دستگاه‌های قابل حمل به سرعت در حال افزایش است و این امر بدون به کارگیری مدارهای توان کم یکپارچه غیرممکن است. تقویت کننده‌های ترانسانایی عملیاتی^۱ (OTA) یکی از بلوک‌های اصلی در کاربردهای مختلف است که به طور گسترده استفاده می‌شود. مقیاس بندی ابعاد ادوات و کوچک تر شدن منابع تغذیه، طراحان مدار را مجبور به استفاده از تکنیک‌های ولتاژ کم-توان کم کرده است [۱]. با توجه به روند تقاضای بازار به سمت فن‌آوری‌های ولتاژ کم و توان کم، پارامترهای پاسخ فرکانسی، نویز، بهره DC، ولتاژ منبع تغذیه و توان مصرفی پارامترهای اصلی برای طراحی تقویت کننده‌ها می‌باشند [۱].

معضل اصلی در طراحی مدارهای CMOS ولتاژ کم عدم کاهش ولتاژ آستانه متناسب با آن است که سبب تنگ تر شدن سقف ولتاژی در دسترس برای عملکرد مدار می‌شود، بنابراین طراحی در منطقه وارونگی ضعیف یکی از روش‌های متداول برای طراحی مدارهای CMOS ولتاژ فوق العاده کم است. همچنین مصالحه‌ای میان نوسان سیگنال و پاسخ فرکانسی وجود دارد. در صورتی که ترانزیستورهای ماسفت برای دستیابی به سرعت‌های بیشتر در جریان‌های بالاتر بایاس شوند، ولتاژ درین-سورس بزرگ تری لازم خواهند داشت [۲-۱]. در وارونگی ضعیف با توجه به ولتاژ درین-سورس کم، نوسان سیگنال بزرگ تر از وارونگی قوی و متوسط است، با این حال پاسخ فرکانسی به دلیل جریان‌های بسیار کم افت خواهد کرد. در ماسفت، نویز فلیکر در محدوده فرکانس پایین غالب می‌شود [۲]. همچنین به دلیل حالت‌های انرژی اضافی در مرزهای SiO₂ و Si نویز فلیکر بیشتر اضافه می‌شود، بنابراین نویز فلیکر یک پارامتر کلیدی برای طراحی مدار در وارونگی ضعیف است [۳-۴]. به تازگی تکنیک‌های مختلفی برای کاهش نویز فلیکر ارائه شده‌اند [۵-۶] که علی‌رغم عملکرد خوبشان منجر به کاهش حاشیه فاز شده‌اند. همچنین در [۶]، به نویز فلیکر ارجاع شده به ورودی اشاره شده است که با توجه به بهبود ترانسانایی کاهش یافته است، از طرف دیگر ترانزیستورهای بزرگ تر و بارهای فعال، ناحیه سیلیکون و همچنین خازن پارازیتی را افزایش می‌دهند. از این رو مصرف توان بیشتر برای انتقال قطب‌های پارازیتی به فرکانس‌های بالاتر نیاز خواهد بود. بنابراین کاهش توان نویز فلیکر ارجاع شده به ورودی بدون افزایش قابل توجه توان مصرفی و ناحیه سیلیکون، چالشی اساسی برای طراحان تقویت کننده‌های CMOS است. در کاربردهایی که نوسان بالا و بهره بالا با مصرف توان کم مورد نیاز است از تقویت کننده کسکود^۲ (FC) که یک تقویت کننده متداول است استفاده می‌شود، اگر چه ورودی تقویت کننده NMOS بهره بالاتری از ورودی تقویت کننده PMOS دارد اما در آن قطب کوچک تر باعث کاهش پهنای باند می‌شود. به منظور بهبود بیشتر در تقویت کننده FC، کسکود بازیابی^۳ (RFC) معرفی می‌شود که دارای مزایای بهره DC و بهره پهنای باند بالاتر از FC متداول است [۶]، اما در مقایسه با FC متداول، تقویت کننده RFC زوج قطب-صفر اضافی دارد که باعث می‌شود

حاشیه فاز کاهش یابد به همین دلیل مدار IRFC^۴ برای بهبود حاشیه فاز طراحی گردیده است. در کارهای RFC اخیر از یک فیدبک مثبت [۷] یا منابع جریان اضافی [۸] به منظور بهبود عملکرد RFC استفاده شده است. در روش فیدبک مثبت، ترانسانایی بدون مصرف توان اضافی افزایش یافته است. علاوه بر این فیدبک مثبت را می‌توان برای افزایش امپدانس خروجی که منجر به بهره DC بالاتر می‌شود استفاده کرد [۱۰-۹]. روش بازیابی دوبل با استفاده از منابع جریان موازی اضافی به طبقه ورودی اضافه شده تا یک بار دیگر جریان بایاس را بازیابی کند [۸].

تقویت کننده‌های کسکود تا شده طراحی شده در [۱۶-۱۱] دارای بهره پهنای باند بالا می‌باشند اما توان مصرفی خیلی زیادی دارند که در کاربردهای مدرن امروزی به ندرت مورد استفاده قرار می‌گیرند، در مراجع [۱۷-۱۸] از تکنیک ولتاژ کم-توان کم استفاده شده است که نویز ارجاع شده به ورودی به طور قابل توجهی کاهش داده نشده است و همچنین حاشیه فاز افت کرده است. تقویت کننده پیشنهادی در این مقاله با ارائه ساختار جدید سبب بهبود ضریب شایستگی شده است به نحوی که می‌تواند برای کاربردهای مدرن امروزی نظیر میدل‌های آنالوگ به دیجیتال به خوبی مورد استفاده قرار گیرد. ساختار مقاله به صورت زیر است:

بخش ۲ به بررسی عملیات وارونگی ضعیف ماسفت می‌پردازد. در بخش ۳ انواع تقویت کننده کسکود تا شده از جمله ساختار بهبود یافته پیشنهادی و پارامترهای مهم آن‌ها مورد بحث و بررسی قرار می‌گیرند. نتایج شبیه‌سازی در بخش ۴ ارائه شده است. در نهایت با ارائه نتیجه‌گیری در بخش ۵ مقاله به اتمام می‌رسد.

۲- عملیات وارونگی ضعیف ماسفت

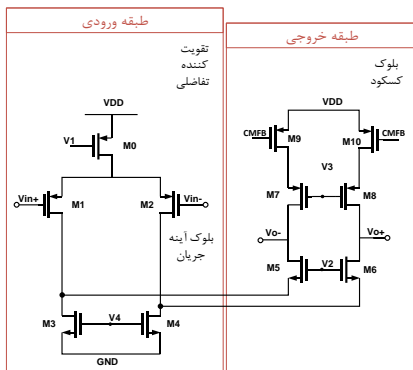
افزایش طول در ترانزیستورهای ماسفت می‌تواند توان نویز فلیکر ارجاع شده به ورودی در وارونگی ضعیف را کاهش دهد اما این کار به قیمت کم تر شدن جریان تمام می‌شود. برای غلبه بر این مسئله، پارامترهای جبران سازی مختلفی مانند ولتاژ گیت - سورس و عرض W برای وارونگی ضعیف را می‌توان استفاده کرد. همان طور که برای وارونگی متوسط مصالحه‌ای بین نوسان ولتاژ درین - سورس و ناحیه سیلیکون معمولاً وجود دارد، در این ناحیه، V_{GS} و W هر دو جبران ساز متفاوتی برای افزایش طول هستند.

در این کار، برای کار در توان فوق العاده کم از عملکرد در ناحیه زیرآستانه^۵ استفاده شده است. در ناحیه وارونگی ضعیف جریان درین بسیار کم ماسفت‌ها به صورت رابطه (۱) بیان می‌شود [۲].

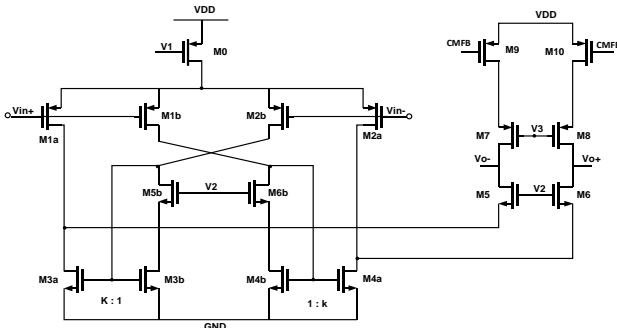
$$I_d = I_s \frac{W}{L} e^{\left(\frac{V_{GS} - V_{th}}{nU_t}\right)} \cdot \frac{-V_{DS}}{U_t} \cdot [1 - e^{-V_{DS} \geq 3U_t}] \rightarrow I_d = I_s \frac{W}{L} e^{\left(\frac{V_{GS} - V_{th}}{nU_t}\right)} \quad (1)$$

در رابطه بالا V_{GS} ولتاژ گیت-سورس، V_{DS} ولتاژ درین-سورس و V_{th} ولتاژ آستانه است. U_t ولتاژ حرارتی است که تقریباً در دمای اتاق ۲۶mV است.

همچنین اتصالات متقاطع در تقویت کننده RFC و IRFC جهت حصول اطمینان از این امر است که جریان سیگنال کوچک توسط ضرب نسبت k تقویت شده است. به طور معمول k برابر با ۳ انتخاب می شود تا بوجه توان بدون تغییر و ثابت بماند.



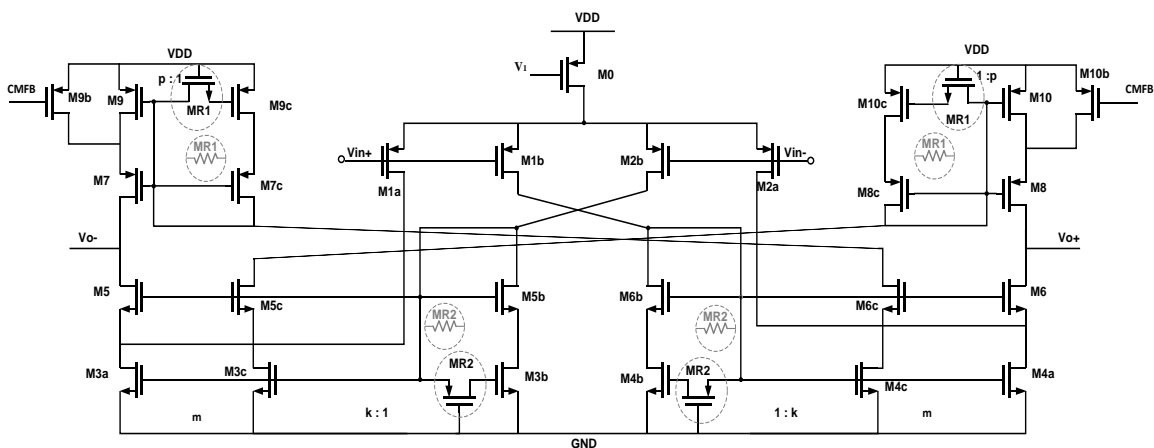
شکل ۱: تقویت کننده تمام تفاضلی کسکود تا شده متداول (FC)



شکل ۲: تقویت کننده تمام تفاضلی کسکود باز یابی تا شده (RFC)

اتصالات متقاطع در تقویت کننده IRFC جهت تقویت جریان سیگنال کوچک توسط ضرایب نسبت، m ، p و k است. m و k به ترتیب برابر با ۳، $۲/۵$ و $۰/۵$ هستند. نکته قابل توجه در تقویت کننده IRFC پیشنهادی این است که به دلیل استفاده از اتصالات خود-کسکود^۸ بایاس ماسفت ها در این ساختار از نوع تطبیقی بوده و لذا نیازی به ولتاژهای بایاس اضافی نیست.

بنابراین ترانسانایی عملیاتی (G_m) ساختارهای RFC و IRFC را می توان به ترتیب با رابطه های (۴) و (۵) بیان کرد.



شکل ۳: تقویت کننده تمام تفاضلی کسکود باز یابی تا شده بهبود یافته (IRFC)

I_s جریان ماسفت با ابعاد واحد در $V_{GS}=V_{th}$ است. I_s با رابطه (۲) بیان می شود [۲].

$$I_s = 2nU_t^2 \mu C_{ox} \quad (2)$$

که در آن μ تحرک حامل ها^۹ و n ضریب شیب $\ln I_s$ است در واقع I_s جریان مشخصه افزاره است، ترانسانایی در ناحیه وارونگی ضعیف در [2] به صورت رابطه (۳) آمده است [۲].

$$g_m = \frac{\partial I_d}{\partial V_{GS}} = \frac{I_d}{nU_t} \quad (3)$$

به منظور رسیدن به یک g_m بزرگ، باید I_d را افزایش داد. اما، این افزایش جریان ممکن است افزاره را به داخل مد وارونگی قوی هدایت کند و باید برای حفظ عملیات ولتاژ پایین، توان پایین، از این مسئله اجتناب شود. می توان با تنظیم W/L افزاره را در مد ولتاژ پایین حفظ کرد، اما بزرگ تر شدن اندازه ترانزیستور منجر به افزایش خازن های پارازیتی افزاره می شود و بزرگ تر شدن خازن های پارازیتی تأثیر منفی بر عملکرد فرکانس بالای قطعه دارد. ترانزیستورهای بایاس شده در وارونگی ضعیف نسبت به وارونگی قوی دارای ترانسانایی بزرگ تر با مصرف جریان کوچک تر هستند ضمن آنکه این افزایش هدایت انتقالی منجر به بهبود بهره و کاهش نویز خواهد شد.

۳- تقویت کننده کسکود تا شده

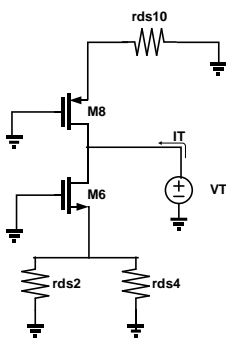
۳-۱- ترانسانایی سیگنال کوچک

مدار FC متداول در شکل ۱ نشان داده شده است. ترانسانایی FC متداول برابر $G_{mFC} = gm_i$ است که اشاره به ترانزیستورهای ورودی دارد. همان طور که می دانیم افزایش ترانسانایی باعث افزایش بهره می شود و بهره پهنای باند و متعاقب آن آهنگ تغییر^۷ بهبود می یابد. در تقویت کننده FC متداول، جریان بیش تری از ترانزیستورهای M_4 ، M_3 عبور می کند و در بسیاری از طرح ها ترانسانایی بزرگ ترین مقدار را دارد بنابراین در تقویت کننده RFC (شکل ۲ و ۳)، M_{4a} و M_{3a} به عنوان ترانزیستور راه انداز برای افزایش ترانسانایی با ضرب دو در مقایسه با تقویت کننده FC استفاده می شوند.

خروجی اش ۶dB افزایش می یابد. امپدانس های خروجی هر سه تقویت کننده به صورت شکل ۵ و رابطه (۶) بیان شده است.

۳-۳- حاشیه فاز

در مدار RFC با وجود این واقعیت که بهره پهنای باند (GBW) به دلیل بهبود ترانسسانیی افزایش یافته است، حاشیه فاز به مقدار زیادی به نسبت k افت می کند. به عبارت دیگر، بهبود در ترانسسانیی توسط افت حاشیه فاز محدود شده است.



شکل ۵: تحلیل سیگنال کوچک امپدانس خروجی

$$R_{out} \approx \frac{V_T}{I_T} \approx gm_6 r_{ds6} (r_{ds2a} \parallel r_{ds4a}) \parallel gm_8 r_{ds8} r_{ds10} \quad (6)$$

$$w_{p2} = -\frac{gm_{3b}}{(k+1)C_{gs,3b}} \quad (7)$$

برای حاشیه فاز مناسب باید $\omega p2 \geq 3\omega u$ باشد، بنابراین پارمتر k به صورت رابطه (۸) بیان می شود [۶].

$$k \leq \sqrt{\frac{gm_{3b} C_L}{3gm_{1b} C_{gs,3b}}} - 1 \quad (8)$$

محدوده مناسب برای مقدار k برای حداقل رساندن افت حاشیه فاز ۲ الی ۴ می باشد که در اینجا ۳ انتخاب شده است، با این حال هنگامی که حاشیه فاز تقویت کننده FC نسبت به تقویت کننده RFC مقایسه می شود، ۵ تا ۱۰ درجه افت می کند که نقطه ضعفی برای پایداری تقویت کننده است. برای غلبه بر این نقطه ضعف در شکل ۳ مدار تقویت کننده IRFC معرفی شده است که در این شکل ترانزیستورهای ماسفت (MR2 و MR1) مابین گیت های آینه جریان و بلوک کسکود تقویت کننده قرار گرفته اند. تابع انتقال آینه جریان در سیستم پایین گذر مرتبه دوم به وسیله صفر اضافی منتقل شده است که توسط رابطه (۹) توصیف شده است:

$$H(s) = \frac{i_{OUT}(s)}{i_{IN}(s)} = \frac{i_{3a}}{i_{3b}} = \frac{gm_{3a} \left(s + \frac{1}{R_2 C_{gs,3b}} \right)}{k C_{gs,3b} s^2 + \frac{K+1}{R_2} s + \frac{gm_{3b}}{R_2 C_{gs,3b}}} \quad (9)$$

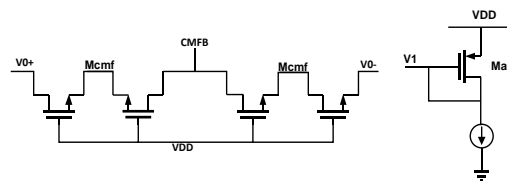
که در آن صفر برابر است با:

$$w_{z_2} = -\frac{1}{R_2 C_{gs,3b}} \quad (10)$$

$$Gm_{RFC,IRFC} = gm_{a1}(k+1) = 2gm_1 \quad (4)$$

$$Gm_{IRFC} = gm_{a1}(m+pk+1) = 2.5gm_1 \quad (5)$$

مدار بایاس و مدار CMFB تقویت کننده کسکود بازایی تا شده در شکل ۴ نشان داده شده است.



شکل ۴: مدار بایاس و مدار CMFB تقویت کننده کسکود بازایی تا شده

در تقویت کننده IRFC عدم نیاز به منابع ولتاژ بایاس به دلیل استفاده از ساختارهای خودکسکود که سبب ساده تر شدن بیش از پیش مدار شده و ضمن متعادل نگه داشتن سطح مقطع اشغالی تراشه، از افزایش مضاعف مصرف توان نیز جلوگیری می کند.

این امر می تواند منجر به بهبود بهره، حاصل ضرب بهره در پهنای باند، آهنگ تغییر و نویز ارجاع شده به ورودی شود. با این حال با اضافه کردن بخش بازایی ممکن است حاشیه فاز با اضافه شدن یک قطب محدود شود [۶]. در شکل ۳ مقاومت های ترانزیستوری یکسان، بایاس شده در ناحیه تراپود، در بین گیت های ماسفت بلوک آینه جریان و بلوک کسکود قرار گرفته اند که باعث افزایش پهنای باند و حاشیه فاز می شوند. مقاومت در این آینه جریانی زوج قطب و صفر را معرفی می کند که مقدار تنظیم شده مقاومت می تواند قطب غالب را توسط صفر معرفی شده از بین ببرد و به این علت با استفاده از مقاومت جبران ساز، پهنای باند و حاشیه فاز افزایش می یابد. استفاده از مقاومت جداساز میان گیت ترانزیستورهای آئینه که اولین بار توسط آقای تومازو ارائه شد، سبب می شود خازن های ترانزیستورهای آئینه که در حالت عادی موازی باهم هستند امکان جمع شدن پیدا نکنند و در نتیجه خازن کل دیده شده به نصف تعدیل یافته و پهنای باند به صورت نسبی افزایش یابد [۲۰-۱۹]. این مقاومت ها با استفاده از ترانزیستورهای ماسفت (MR2 و MR1) که در ناحیه تراپود بایاس شده اند، ایجاد شده اند لذا سطح اشغالی تراشه به واسطه آن ها خیلی تحت تأثیر قرار نخواهد گرفت.

با استفاده از ساختار خودکسکود برای دستیابی به بهره DC بزرگ تر و اجتناب از منابع ولتاژ بایاس اضافی، خازن معادل افزایش یافته به طوری که علی رغم بهره گیری از مقاومت های جداساز و به استناد شبیه سازی های قبل و بعد از جانمایی فرکانس قطع ۳-۳dB برای ساختار IRFC تمام تفاضلی نسبت به ساختار RFC تمام تفاضلی کاهش نسبی از خود نشان می دهد.

۳-۲- بهره فرکانس پایین

بهره فرکانس پایین OTAها اغلب از ترانسسانیی سیگنال کوچک Gm و امپدانس خروجی فرکانس پایین R_o تولید می شود. همان طور که نشان داده شد $Gm_{RFC,IRFC} = 2Gm_{FC}$ است. در نتیجه بهره با همان امپدانس

$$\overline{v_{if}^2} = 2 \frac{K_{FB}}{C_{ox} \cdot f \cdot (k+1)} \cdot \left[\frac{1+k^2}{(WL)_{1a}(k+1)} + \left(\frac{K_{FB} I_{S3a}^2}{(n_{3a} U_t)^2 K_{FP} g_{m1a}^2} \right) \frac{g_{m3a}^2}{(L_{3a})^2} e^{2\left(\frac{V_{GS3a}-V_{th}}{n_{3a} U_t}\right)} \right] \Delta f \quad (17)$$

توان نویز فلیکر ارجاع شده به ورودی تقویت کننده IRFC به صورت رابطه (۱۸) به دست می آید.

$$\overline{v_{if}^2} = 2 \frac{K_{FB}}{C_{ox} \cdot f \cdot (m+pk+1)} \cdot \left[\frac{1+(kp+m)^2}{(WL)_{1a}} + \frac{n_{a1}^2 (p+1)(kp)^2}{n_9^2 (WL)_9} + \frac{K_{FB} n_{a1}^2 (m+(kp+m)^2+kp^2) M}{K_{FP} n_{a3}^2 (WL)_{3a}} \right] \Delta f \quad (18)$$

از معادلات بالا می توان نتیجه گرفت که با افزایش طول مسافت به طور قابل توجهی می توان نویز فلیکر را کاهش داد. همچنین جریان و ترانسایابی ترانزیستور نیز کاهش خواهد یافت. به منظور جبران کاهش جریان، عرض یا ولتاژ گیت-سورس را می توان افزایش داد. افزایش عرض ترانزیستور با ایجاد خازن پارازیتی بزرگ تر منجر به افت و تخریب پاسخ فرکانسی می شود. بنابراین بهترین روش برای کاهش نویز فلیکر ارجاع شده به ورودی بدون میرایی جریان در وارونگی ضعیف، افزایش ولتاژ گیت-سورس است. به این نکته در رابطه (۱۷) و (۱۸) توجه داشته باشید که با افزایش ولتاژ گیت-سورس، نویز فلیکر ارجاع شده به ورودی بیش تر می شود اما از آنجایی که افزایش طول اثر بیش تری نسبت به V_{GS} در نویز دارد، نویز به طور مؤثر کاهش می یابد [۱۷].

۴- نتایج شبیه سازی

هر سه تقویت کننده عملیاتی در نرم افزار Cadence با تکنولوژی ۱۸۰ نانومتر TSMC CMOS شبیه سازی شده اند. در جدول ۱ ابعاد ترانزیستورها برحسب میکرومتر، ولتاژ بایاس برحسب ولت و مقاومتها برحسب مگا اهم برای هر سه تقویت کننده FC، RFC، IRFC ارائه شده است.

ولتاژ تغذیه مدارها برابر ۰/۶ ولت است و بار خازن 20 pF می باشد. برخلاف ساختارهای رایج ارائه شده در مقالات، برای ساختار IRFC ولتاژهای بایاس به دلیل استفاده از ساختار خودکسکود حذف شده اند [۲۲-۲۹].

همان طور که پاسخ فرکانسی تقویت کننده در شکل ۶ نشان داده شده است، با استفاده از ابزار اندازه گیری Cadence به طور دقیق در تقویت کننده FC، بهره DC برابر 09/42 dB، پهنای باند 24/23 kHz، حاشیه فاز ۹۰/۱۴ درجه، در تقویت کننده RFC، بهره DC برابر ۲7/48 dB، پهنای باند 16/83 kHz و حاشیه فاز ۸۲/۵۱ درجه و در تقویت کننده IRFC، بهره DC برابر 92/58 dB، پهنای باند 58/66 kHz و حاشیه فاز ۸۴/۱۲ درجه محاسبه شده است.

همچنین قطب غیر غالب اول و قطب دوم جدید در IRFC به ترتیب

به صورت زیر می باشند:

$$w_{P_2}' = -\frac{2g_{m3b}}{(k+1)C_{gs,3b}} \quad (11)$$

$$w_{P_3}' = -\frac{g_{m9c}}{(p+1)C_{gs,9c}} \quad (12)$$

علاوه بر این، صفر باعث می شود که سیستم سریع تر شود، اما تغییر مکان صفر در محور منفی به مبدأ، نوسانی تر می شود، می توان با انتخاب مقدار مناسب MR1 و MR2، صفر و قطب را خنثی کرد.

$$R_2 = \frac{m+K+1}{g_{m3b}} \quad (13)$$

$$R_1 = \frac{p+1}{g_{m9c}} \quad (14)$$

پس با این مقدار R ، $w_{P_2}' = w_{Z_2}$ ، و لذا صفر سبب حذف قطب غیر غالب شده و قطب غیر غالب اول جدید توسط خازن پارازیتی گره ناشده تعیین می شود. بنابراین حاشیه فاز IRFC می تواند افزایش یابد. با توجه به قرار گرفتن مقاومت بزرگ میان دو گیت ترانزیستورهای آئینه که سبب جدا شدن خازن های گیت-سورس آن ها از یکدیگر می شود و خازن دیده شده از دید گیت تقریباً نصف می شود، در نتیجه قطب ایجاد شده توسط این خازن ها در فاصله ای بسیار دور تر از قطب غالب قرار گرفته و اثر آن قابل صرف نظر است. در نتیجه از آنجا که آئینه جریان IRFC هیچ قطب دیگری معرفی نمی کند، در نتیجه GBW تقویت کننده IRFC نه تنها محدود نمی شود بلکه افزایش نیز می یابد.

۳-۴- نویز

با توجه به عملکرد فرکانس پایین در وارونگی ضعیف، نویز فلیکر مهم ترین منبع نویز در این مدارها است. حداکثر توان نویز جریان خروجی مسافت با رابطه (۱۵) بیان می شود [۴، ۲۱].

$$\overline{i_o^2} = \left[4K_B T \gamma g_m + \frac{K_F g_m^2}{C_{ox} L W f} \right] \Delta f \quad (15)$$

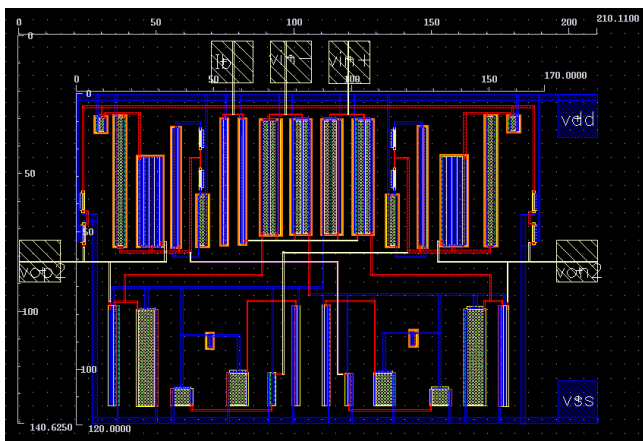
عبارت اول نویز حرارتی است که با توجه به جریان های پایین مسافت در وارونگی ضعیف می تواند نادیده گرفته شود. از رابطه (۹) می توان دید که افزایش ابعاد ترانزیستور به طور قابل توجهی نویز فلیکر را کاهش می دهد. با توجه به $G_{mIRFC} = (k+1)g_{m1a}$ ، $g_{m1a} = g_{m1b}$ ، $k g_{m3b} = g_{m3a}$ و $L_{3a} = L_{3b}$ ، $(WL)_{1a} = (WL)_{1b}$ و $(WL)_{3b} = (WL)_{3a}$ ، نویز فلیکر اشاره شده ورودی تقویت کننده RFC به صورت رابطه (۱۶) به دست می آید [۱۷].

$$\overline{v_{if}^2} = 2 \frac{K_{FB}}{C_{ox} \cdot f \cdot (k+1)} \cdot \left[\frac{1+k^2}{(WL)_{1a}(k+1)} + \frac{K_{FB} g_{m3a}^2}{K_{FP} (WL)_{3a} g_{m1a}^2} + \frac{g_{m9c}^2}{(WL)_9 (k+1) g_{m1a}^2} \right] \Delta f \quad (16)$$

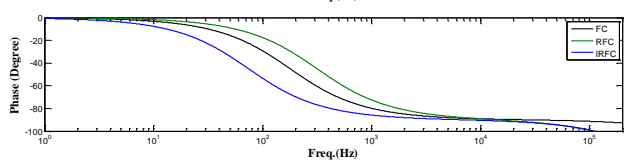
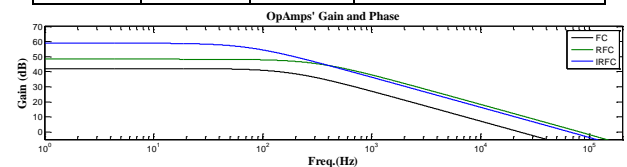
با جای گذاری رابطه (۱۶) در (۱) و (۳) می توان I_d ، g_{m3a} ، g_{m9c} را به دست آورد [۱۷].

جدول ۱: ابعاد ترانزیستورها، مقادیر بایاس و مقاومتها

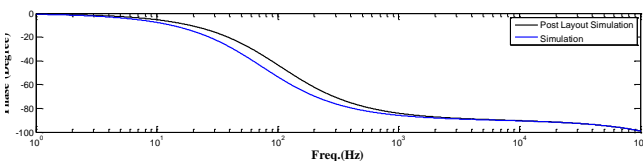
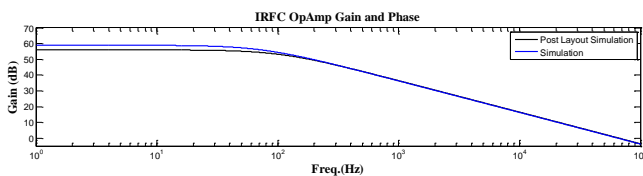
IRFC	RFC	FC	ابعاد W:L ترانزیستورها برحسب μm
۴۵ : ۰/۱۸	۴۵ : ۰/۱۸	۴۵ : ۰/۱۸	M ₀ , M _{0a}
-	-	۲۴۶ : ۲	M ₁ , M ₂
۱۲۳ : ۲	۱۲۳ : ۲	-	M _{1a} , M _{2a}
۱۲۳ : ۲	۱۲۳ : ۲	-	M _{1b} , M _{2b}
-	-	۴۶/۴ : ۶	M ₃ , M ₄
۲۹ : ۶	۳۴/۸ : ۶	-	M _{3a} , M _{4a}
۱۱/۶ : ۶	۱۱/۶ : ۶	-	M _{3b} , M _{4b}
۵/۸ : ۶	-	-	M _{3c} , M _{4c}
: ۰/۳۶	: ۰/۳۶	۷۲ : ۰/۳۶	M ₅ , M ₆
۷۲/۴	۷۲/۴	-	M _{5a} , M _{6a}
: ۰/۳۶	: ۰/۳۶	-	M _{5b} , M _{6b}
۳۶/۲	۳۶/۲	-	M _{5c} , M _{6c}
۱۰ : ۰/۳۶	-	-	M ₇ , M ₈
۲۵۶ : ۰/۳۶	۳۴۲ : ۰/۳۶	: ۰/۳۶	M ₇ , M ₈
۸۶ : ۰/۳۶	-	-	M _{7c} , M _{8c}
۷۰ : ۲	۷۰ : ۲	۷۰ : ۲	M ₉ , M ₁₀
۵/۲ : ۲	-	-	M _{9b} , M _{10b}
۱۸ : ۲	-	-	M _{9c} , M _{10c}
۰/۴ : ۶	-	-	M _{R1}
۱۰ : ۰/۱۸	-	-	M _{R2}
۰/۴ : ۶	-	-	M _{conf}
بایاس ولتاژ (برحسب ولت)			
۰/۲۵	۰/۲۵	۰/۲۵	V ₁
-	۰/۳۵	۰/۳۵	V ₂
-	۰/۲۵	۰/۲۵	V ₃
-	-	۰/۳۵	V ₄
۰/۳	۰/۳	۰/۳	V _{in}
بایاس جریان (برحسب μA)			
۰/۶	-	-	I _{bias}



شکل ۸: جانمایی تقویت کننده کسکود بازبای تاشده بهبود یافته (IRFC)

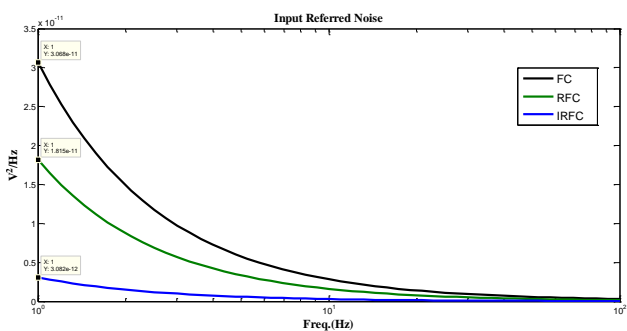


شکل ۶: پاسخ فرکانسی تقویت کننده های FC, RFC و IRFC



شکل ۹: پاسخ فرکانسی حاصل از شبیه سازی پساجانمایی تقویت کننده IRFC

شکل ۷ شبیه سازی توان نویز فلیکر ارجاع شده به ورودی را نشان می دهد، همان طور که در شکل مشاهده می شود نویز تقویت کننده IRFC نسبت به FC و RFC کاهش یافته است، که به ترتیب نویز ارجاع شده به ورودی در یک هرتز $۱/۷۶$ ، $۴/۲۶$ و $۵/۵۳$ ($\mu\text{V}/\sqrt{\text{Hz}}$) به دست آمده است.



شکل ۷: توان نویز فلیکر ارجاع شده به ورودی برحسب (V^2/Hz)

در جدول ۲ مقادیر به دست آمده از شبیه سازی تقویت کننده های FC, RFC و IRFC با یکدیگر مقایسه شده اند که نشان دهنده بهبود تقویت کننده RFC نسبت به تقویت کننده FC است و با افزایش حاشیه فاز و بهره DC در مدار IRFC مدار پیشنهادی بهبود مضاعفی نسبت به دو ساختار قبل یافته است. در این جدول همچنین نتایج شبیه سازی پساجانمایی IRFC نیز ارائه شده است. همچنین این کار با مراجع مشابه در جدول ۳ مقایسه شده است.

جدول ۳: مقایسه IRFC با سایر کارها

IRFC (جانمایی)	IRFC	RFC	FC	[۱۸]	[۱۷]	[۱۱]	مراجع / پارامترها
۰/۶	۰/۶	۰/۶	۰/۶	۰/۶	۰/۶	۱/۸	Supply (V)
۰/۷۵	۰/۷۵	۰/۷	۰/۷	۰/۳۶	۰/۴۸	۷۲۰	P _{diss} (μW)
۲۰	۲۰	۲۰	۲۰	۱۲	۱۰	۲/۵	C-load (PF)
۰/۰۶۵	۰/۰۶۶	۰/۰۸۳	۰/۰۲۳	۰/۰۹۹	۰/۱۳۶	۱۳۶	GBW (MHz)
۸۳/۵۳	۸۴/۱۲	۸۲/۵۱	۹۰/۱۴	۷۵/۶۲	۶۶/۶	۵۷/۱	Phase-Margin(°)
۵۶	۵۸/۹۲	۴۸/۲۷	۴۲/۰۹	۶۲/۴۲	۶۲/۵۷	۶۳/۴	DC Gain (dB)
۶۰/۳۴	۶۳/۲	۳۷/۳	۱۴/۵۲	۵۹/۱	۱۹۶/۶	۸۹/۲	Slew rate(V/ms)
۱/۷۹	۱/۷۶	۴/۲۶	۵/۵۳	۲/۸۹	۲/۵	۴/۵۹	Input Voltage Noise @ 1Hz (μV/√Hz)
۴۳۷۰	۴۳۷۰	۴۳۲۰	۴۲۷۰	۴۰۶۰	۵۲۲۰	۱۲۰۰	Area (μm) ²
۱۵/۹	۱۷/۲	۶/۲	۴/۵۹	۱۳/۴	۶/۶	۲/۳	FoM: [dB.kHz.pF ^۰]/[μW.(μV/√Hz).(μm) ²]
۱۸۰	۱۸۰	۱۸۰	۱۸۰	۱۸۰	۱۸۰	۱۸۰	Technology (nm)

تاشده بهبود یافته (IRFC) ارائه شده است که مؤید عملکرد مناسب مدار پیشنهادی می باشد. در نهایت ضریب شایستگی معرفی شده نشان دهنده بهبود تقویت کننده ارائه شده نسبت به تقویت کننده های مشابه است.

مراجع

- [1] M. Alioto, "Understanding DC Behavior of Sub-threshold CMOS Logic through Closed-Form Analysis," *IEEE Transactions on Circuits and Systems I: Regular Papers*, vol. 57, no. 7, pp. 1597-1607, 2010.
- [2] L. H. C. Ferreira, T. C. Pimenta, and R. L. Moreno, "An Ultra-Low-Voltage Ultra-Low-Power CMOS Miller OTA with Rail-to-Rail Input/Output Swing," *IEEE Transactions on Circuits and Systems II: Express Briefs*, vol. 54, no. 10, pp. 843-847, 2007.
- [3] Z. Junlin, M. Cheng, and L. Forbes, "SPICE models for flicker noise in p-MOSFETs in the saturation region," *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems*, vol. 20, no. 6, pp. 763-767, 2001.
- [4] X. Dingming, C. Mengzhang, and L. Forbes, "SPICE models for flicker noise in n-MOSFETs from sub-threshold to strong inversion," *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems*, vol. 19, no. 11, pp. 1293-1303, 2000.
- [5] P. K. Chan, L. S. Ng, L. Siek, and K. T. Lau, "Designing CMOS folded-cascode operational amplifier with flicker noise minimization," *Microelectronics Journal*, vol. 32, no. 1, pp. 69-73, 2001.
- [6] R. S. Assaad and J. Silva-Martinez, "The Recycling Folded Cascode: A General Enhancement of the Folded Cascode Amplifier," *IEEE Journal of Solid-State Circuits*, vol. 44, no. 9, pp. 2535-2542, 2009.
- [7] X. Zhao, H. Fang, and J. Xu, "A trans-conductance enhanced recycling structure for folded cascode amplifier," *Analog Integrated Circuits and Signal Processing*, vol. 72, no. 1, pp. 259-263, 2012.
- [8] Z. Yan, P.-I. Mak, and R. P. Martins, "Double recycling technique for folded-cascode OTA," *Analog Integrated Circuits and Signal Processing*, vol. 71, no. 1, pp. 137-141, 2012.
- [9] Z. Xiao, F. Huajun, and X. Jun, "DC gain enhancement method for recycling folded cascode amplifier in deep submicron CMOS technology," *IEICE electronics express*, vol. 8, no. 17, pp. 1450-1454, 2011.
- [10] M. M. Amourah and R. L. Geiger, "Gain and bandwidth boosting techniques for high-speed operational amplifiers," *The 2001 IEEE International Symposium on Circuits and Systems, ISCAS 2001*, pp. 232-235, vol. 1, 2001.
- [11] M. Akbari, and O. Hashemipour, "Design and analysis of folded cascode OTAs using Gm/Id methodology based on flicker noise reduction," *Analog Integrated Circuits and Signal Processing*, vol. 83, no. 3, pp. 343-352, 2015.
- [12] Z. Xiao, F. Huajun, and X. Jun, "Phase-margin enhancement technique for recycling folded cascode amplifier," *Analog Integrated Circuits and Signal Processing*, vol. 74, no. 2, pp. 479-483, 2012.

جدول ۲: مقادیر حاصل از شبیه سازی FC, RFC و IRFC

IRFC (جانمایی)	IRFC	RFC	FC	پارامترها
۰/۶	۰/۶	۰/۶	۰/۶	Supply voltage (V)
۰/۷۵	۰/۷۵	۰/۷	۰/۷	P _{diss} (μW)
۲۰	۲۰	۲۰	۲۰	Capacitive load (PF)
۶۵/۴۲	۶۶/۵۸	۸۳/۱۶	۲۳/۲۴	GBW (kHz)
۸۳/۵۳	۸۴/۱۲	۸۲/۵۱	۹۰/۱۴	Phase-Margin (°)
۵۶	۵۸/۹۲	۴۸/۲۷	۴۲/۰۹	DC Gain (dB)
۶۰/۳۴	۶۳/۲۲	۳۷/۳۱	۱۴/۵۲	Slew rate(V/ms)
۱/۷۹	۱/۷۶	۴/۲۶	۵/۵۳	Input Voltage Noise @ 1Hz (μV/√Hz)
۳/۲	۳/۰۸	۱۸/۱۵	۳۰/۶۸	Input Voltage Noise @ 1Hz (pV ² /Hz)
۴۳۷۰	۴۳۲۰	۴۲۷۰		Layout Area (μm) ²
۱۸۰	۱۸۰	۱۸۰	۱۸۰	Technology (nm)

برای ضریب شایستگی^۱ از رابطه (۱۹) استفاده می کنیم. ضریب شایستگی بیش تر نشان دهنده تقویت کننده با عملکرد بهتر است.

$$FoM = \frac{DC\ Gain \times PM \times C_L}{P_{diss} \times Noise \times Area} \quad (19)$$

۵- نتیجه گیری

در این مقاله از روش وارونگی ضعیف برای طراحی تقویت کننده عملیاتی CMOS ولتاژ کم-توان کم، برای تقویت کننده کسکود تاشده (FC)، تقویت کننده کسکود بازایی تاشده (RFC) و تقویت کننده کسکود بازایی تاشده بهبود یافته (IRFC) استفاده شد و نتایج شبیه سازی IRFC و RFC نسبت به FC بدون افزایش توان مصرفی حکایت از بهبود بهره DC، حاصل ضرب بهره در پهنای باند و نویز آن ها دارد. گرچه در مدار RFC به دلیل اضافه شدن قطب، حاشیه فاز کمی افت کرد اما در مدار IRFC افت حاشیه فاز تقویت کننده به طور قابل توجهی بهبود یافت. برای بررسی مضاعف ساختار پیشنهادی و ارزیابی نسبی عملکرد آن در حالت عملی، جانمایی ساختار پیشنهادی پیاده سازی شده و شبیه سازی بر اساس آن انجام گرفت. نتایج شبیه سازی پساجانمایی برای ساختار کسکود بازایی

- [22] M. Yavari and T. Moosazadeh, "A single-stage operational amplifier with enhanced transconductance and slew rate for switched-capacitor circuits," *Analog Integrated Circuits and Signal Processing*, vol. 79, no. 3, pp. 589-598, 2014.
- [23] H. Mirzaie, H. Khomeh and H. Shamsi, "A new two-stage Op-Amp using gate-driven, and positive feedback techniques," *17th IEEE International Conference on Electronics, Circuits, and Systems (ICECS)*, pp. 1140-1143. IEEE, 2010.
- [24] H. Khomeh and H. Shamsi, "On the design of a low-voltage two-stage OTA using bulk-driven and positive feedback techniques," *International Journal of Electronics*, vol. 99, no. 9, pp. 1309-1315, 2012.
- [25] S. Farahmand and H. Shamsi, "Positive feedback technique for DC-gain enhancement of folded cascode Op-Amps," *IEEE 10th International Conference in New Circuits and Systems (NEWCAS)*, pp. 261-264, 2012.
- [26] S. M. Anisheh and H. Shamsi, "Two-stage class-AB OTA with enhanced DC gain and slew rate," *International Journal of Electronics Letters*, pp. 1-11, 2016.
- [27] M. Yavari and O. Shoaei, "Very low-voltage, low-power and fast-settling OTA for switched-capacitor applications," *The 14th International Conference on Microelectronics*, pp. 10-13. IEEE, 2002.
- [28] A. Dadashi, S. Sadrafshari, K. Hadidi and A. Khoei, "An enhanced folded cascode Op-Amp using positive feedback and bulk amplification in 0.35 μm CMOS process," *Analog Integrated Circuits and Signal Processing*, vol. 67, no. 2, pp. 213-222, 2011.
- [29] A. Dadashi, S. Sadrafshari, K. Hadidi and A. Khoei, "Fast-settling CMOS Op-Amp with improved DC-gain," *Analog Integrated Circuits and Signal Processing*, vol. 70, no. 3, pp. 283-292, 2012.
- [13] S. Vij, A. Gupta, and A. Mittal, "An operational amplifier with recycling folded cascode topology and adaptive biasing," *International Journal of VLSI design and Communication Systems*, vol. 5, no. 4, pp. 33-46, 2014.
- [14] Z. Yan, P. I. Mak, R. P. Martins, "Double recycling technique for folded-cascode OTA," *Analog Integrated Circuits and Signal Processing*, vol. 71, no. 1, pp. 137-141, 2012.
- [15] S. Sharma, P. Kaur and T. Singh, "Design and analysis of gain boosted recycling folded cascode OTA," *International Journal of Computer Applications*, vol. 76, no. 7, pp. 8-13, 2013.
- [16] L. Yilei, H. Kefeng, Y. Na, T. Xi and M. Hao, "Analysis and implementation of an improved recycling folded cascode amplifier," *Journal of Semiconductors*, vol. 33, no. 2, pp. 025002, 2012.
- [17] M. Akbari, S. Biabanifard and O. Hashemipour, "Design of ultra-low power CMOS amplifiers based on flicker noise reduction," *IEEE 22nd Iranian Conference in Electrical Engineering*, pp. 403-406, 2014.
- [18] M. Akbari, S. Biabanifard and Sh. Asadi, "Input referred noise reduction technique for trans-conductance amplifiers," *Electrical and Computer Engineering: An International Journal (ECLJ)*, vol. 4, no. 4, pp. 11-22, 2015.
- [19] T. Voo and C. Toumazou, "High-speed current mirror resistive compensation technique," *Electronics Letters*, vol. 31, no. 4, pp. 248-250, 1995.
- [20] S.J. Azhari, K. Monfaredi, H. F. Baghtash, "A novel ultralow power high performance atto-ampere CMOS current mirror with enhanced bandwidth," *Journal of Electronic Science and Technology*, vol. 8, no. 3, pp. 251-256, 2010.
- [21] M. Akbari, M. Nazari, L. Sharifi and O. Hashemipour, "Improving power efficiency of a two-stage operational amplifier for biomedical applications," *Analog Integrated Circuits and Signal Processing*, vol. 84, no. 2, pp. 173-183, 2015.

زیر نویس ها

^f Carrier Mobility

^v Slew Rate

[^] Self Cascode

[^] Figure of Merit

[\] Operational Trans-Conductance Amplifier

^v Folded Cascode

^v Recycling Folded Cascode

[^] Improved Recycling Folded Cascode

^o Sub-Threshold