ناقل جریان نسل دوم کلاس AB مبتنی بر حلقه تراخطی با مقاومت ورودی بسیار پایین

خلیل منفردی[۱]، استادیار

۱- گروه مهندسی برق - دانشکده فنی و مهندسی - دانشگاه شهید مدنی آذربایجان - تبریز - ایران - khmonfaredi@azaruniv.ac.ir

چکیده: در این مقاله یک ناقل جریان نسل دوم (CCII) کلاس AB جدید مبتنی بر حلقه تراخطی با مقاومت ورودی بسیار پایین بر اساس تکنیک فیدبک جریانی مثبت ارائه شده است و عملکرد آن مورد بحث و بررسی قرار گرفته است. برای اطمینان از عملکرد صحیح مدار و نتایج حاصله تأثیر تغییرات دما، ولتاژ آستانه، تغییرات W/L و همین‌طور تأثیر تغییرات V_{DD} بر این ساختار توسط تحلیل مونت‌کارلو برای سی بار اجرا با خطای ۳٪ بررسی شده است که عملکرد خوب مدار پیشنهادی را تثبیت می‌کند. مقاومت ورودی پایه X تا فرکانس‌های حدود ۱۰MHz در محدوده بسیار پایین و در حدود ۰/۸۳mΩ به‌دست آمده است. مدار دارای آفست جریانی بسیار کم ۱۲/۳nA و آفست ولتاژی حدود ۱۷/۲mV می‌باشد. بهره جریانی مدار یک و پهنای باند حالت جریان آن ۹۰۰MHz می‌باشد. همچنین بهره ولتاژی مدار ۰/۹۶۴ با پهنای باند حالت ولتاژ ۶۰۰MHz به‌دست آمده است. مدار CCII پیشنهادی توسط نرم‌افزار HSPICE و با تکنولوژی ۰/۱۸μm TSMC CMOS شبیه‌سازی شده است. ولتاژ تغذیه برای این مدار ±۱/۵V و جریان تغذیه ۱۰μA در نظر گرفته شده است و مصرف توان مدار ۳۰۴/۲۸μW برآورد شده است.

واژه‌های کلیدی: ناقل جریان نسل دوم، کلاس AB، حلقه تراخطی، مقاومت ورودی، فیدبک جریانی مثبت، مونت‌کارلو.

Class AB Ultra Low Input Impedance Trans-linear Based Second Generation Current Conveyor

K. Monfaredi[1], Assistant Professor

1- Faculty of Engineering, Department of Electrical and Electronic Engineering, Azarbaijan Shahid Madani University, Tabriz, Iran, Email: khmonfaredi@azaruniv.ac.ir.

Abstract: In this paper a novel class AB, ultra-low input impedance trans-linear based second generation current conveyor utilizing current positive feedback technique is proposed and the principle of its operation is discussed. In order to verify the performance of the proposed structure and also the achieved results the effect of temperature, threshold voltage, W/L and V_{DD} variations is investigated on the circuit applying Monte Carlo analysis with thirty runs including 3 percent error which proves the robustness of the proposed technique. The input impedance of port X remains at relatively low values of about 0.83mΩ to frequencies up to 10MHz. The circuit has ultra-low offset current of 12.3nA and offset voltage of 17.2mV. It has current gain of 1.000 and current signal bandwidth of 900MHz. The voltage gain of 0.964 with voltage signal bandwidth of 600MHz is also achieved. The proposed CCII is simulated with HSPICE in TSMC 0.18μm CMOS technology. ±1.5V supply voltage with 10μA bias current is considered and the power dissipation of 304.28μW is measured.

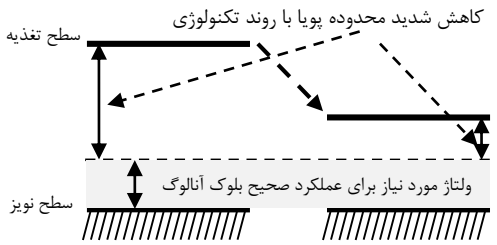
Keywords: Second generation current conveyor, class AB, trans-linear, input impedance, current positive feedback, Monte Carlo.

تاریخ ارسال مقاله: ۱۳۹۵/۰۶/۰۶
تاریخ اصلاح مقاله: ۱۳۹۵/۰۸/۱۰
تاریخ پذیرش مقاله: ۱۳۹۵/۰۹/۲۵
نام نویسنده مسئول: خلیل منفردی
نشانی نویسنده مسئول: ایران - تبریز - دانشگاه شهید مدنی آذربایجان - دانشکده فنی و مهندسی - گروه مهندسی برق.

۱- مقدمه

ناقل جریان نسل دوم در سال ۱۹۷۰ توسط Sedra و Smith معرفی شد که یکی از متداول‌ترین بلوک‌های مدارهای آنالوگ حالت جریان است [۱]. ناقل‌های جریان معادل تقویت‌کننده‌های عملیاتی حالت ولتاژی می‌باشند که در حالت جریانی کار می‌کنند. برخلاف پردازش حالت ولتاژی در تقویت‌کننده‌های عملیاتی که در آن‌ها گره‌های امپدانس بالا لازمه افزایش بهره ولتاژ و انتقال بهینه سیگنال ولتاژی و کاهش خطای پردازش می‌باشد، در پردازش حالت جریان گره‌های امپدانس پایین برای دستیابی به همان ویژگی استفاده می‌شود. این امر سبب بهبود قابل‌ملاحظه پاسخ فرکانسی تابع انتقال در بلوک‌های پردازش حالت جریان نظیر ناقل‌های جریان می‌شود. کاهش مقاومت در مسیر جریان باعث افزایش سرعت و نرخ چرخش مدارهای حالت جریان می‌شود حال آن‌که این مشخصه‌ها از تنگناهای جدی کار در حالت ولتاژی محسوب می‌شوند. در پردازش حالت ولتاژ الزامات بهره و پهنای باند با هم مغایرت دارد به‌نحوی که همواره حاصل‌ضرب بهره در پهنای باند مقداری ثابت است [۲].

استفاده از فیدبک سیگنال جریان نه‌تنها باعث افزایش پهنای باند مدارات حالت جریان می‌شود بلکه اصل «ثابت بودن حاصل‌ضرب بهره در پهنای باند» را نقض کرده و مزیت ثابت ماندن پهنای باند در بهره‌های مختلف (و در مواردی حتی افزایش پهنای باند به همراه افزایش بهره) را ارائه می‌دهد. از دیگر ویژگی‌های برجسته پردازش حالت جریان سازگاری با روند تکنولوژی است که در آن تمایل به سمت ابعاد کوچک‌تر ترانزیستورها برای کاهش سطح اشغالی و لذا هزینه تمام‌شده تراشه می‌باشد. از طرفی این کاهش ابعاد آستانه ولتاژ قابل تحمل ادوات نیمه‌هادی را پایین آورده و لذا سقف ولتاژ تغذیه مجاز را کاهش می‌دهد. همان‌گونه که در شکل ۱ نشان داده شده است، کاهش ولتاژ تغذیه که مستقیماً سبب کاهش توان مصرفی می‌شود هرچند محدوده پویای سیگنال را در پردازش‌های ولتاژی در تنگنای شدید قرار می‌دهد و نیاز به ارائه ساختارهای ولتاژ پایین را ضروری می‌نماید اما در پردازش‌های جریانی محدودیت قابل‌ملاحظه‌ای ایجاد نمی‌کند [۲].



شکل ۱: نمایش کاهش محدوده پویا در عملکرد حالت ولتاژ

با توجه به معادل بودن ناقل‌های جریان با تقویت‌کننده‌های ولتاژی و به‌دلیل قابلیت کار همزمان آن‌ها در حالت ولتاژی و جریانی، این بلوک‌ها دارای کاربردهای گسترده‌ای هستند که می‌توان به استفاده از آن‌ها برای پیاده‌سازی انواع تقویت‌کننده‌ها [۳]، فیلترها [۴]، اسیلاتورها [۶-۵]، انواع سنسورها [۷] و غیره اشاره نمود. در این حالت‌ها کافی است در مدارهای طراحی‌شده بجای تقویت‌کننده‌های ولتاژی مرسوم از ناقل‌های جریان با تمهیدات، تغییرات و تنظیمات لازم استفاده کرد.

ناقل جریان نسل دوم یک بلوک سه‌پایانه‌ای است. پایانه Y یک پایه امپدانس بالا است در حالی که پایه X یک پایه امپدانس پایین می‌باشد. ولتاژ پایه Y به پایه X منتقل می‌شود. ($V_X=\alpha V_Y$) جریانی که به پایه X اعمال می‌شود به پایه Z انتقال می‌یابد ($I_Z=\beta I_X$). پایانه Z یک پایه امپدانس بالا است که جهت جریان آن به جهت جریان ورودی پایانه X و نوع CCII که مثبت ($I_Z=+\beta I_X$) یا منفی ($I_Z=-\beta I_X$) باشد، بستگی دارد. مقدار α معمولاً برابر یک و مقدار β متناسب با نیاز مدار پردازنده انتخاب می‌شود. معادله انتقالی ناقل جریان نسل دوم در ماتریس معادله (۱) نشان داده شده است [۸].

$$\begin{bmatrix} I_Y \\ V_X \\ I_Z \end{bmatrix} = \begin{bmatrix} 0 & 0 & 0 \\ \alpha & 0 & 0 \\ 0 & \pm\beta & 0 \end{bmatrix} \begin{bmatrix} V_Y \\ I_X \\ V_Z \end{bmatrix} \quad (۱)$$

از ابتدای ظهور ناقل جریان تا به امروز تلاش‌های زیادی برای بهبود مشخصات ساختاری آن انجام شده است. ازجمله‌ی این مشخصات می‌توان به کاهش امپدانس ورودی، افزایش مقاومت خروجی، افزایش دقت انتقال ولتاژ و جریان، افزایش پهنای باند، افزایش محدوده پویای ولتاژ و جریان ورودی، کاهش ولتاژ و توان مصرفی، کاهش آفست اشاره نمود.

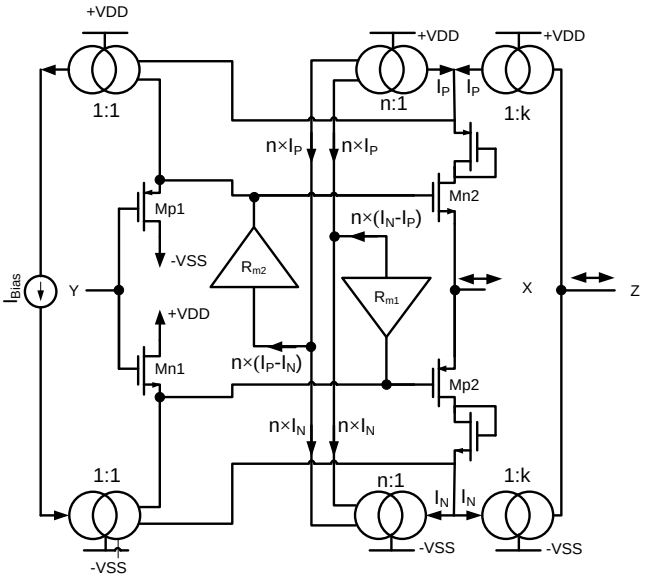
در این مقاله با ارائه ساختار جدید سعی بر کاهش مقاومت ورودی پایه X می‌باشد. روش‌های متنوعی برای کاهش مقاومت ورودی بیان شده است که ازجمله می‌توان به استفاده از فیدبک مثبت [۹] و یا منفی [۱۲-۱۰] و یا استفاده همزمان از فیدبک مثبت و منفی [۱۳] اشاره نمود و یا می‌توان از ساختارهایی در کلاس AB [۱۴] بهره برد و یا همانند روش پیشنهادی در مرجع [۱۷-۱۵] مسیر عبور سیگنال را از مسیر انتقال جریان با ایجاد یک مسیر عبور سیگنال جدید برای انتقال جریان از پایه X به پایه Z جدا نمود و مقاومت ورودی را کاهش داد.

در این مقاله یک CCII با مقاومت ورودی بسیار پایین معرفی می‌شود که از یک روش ابتکاری برای پیاده‌سازی فیدبک مثبت جریانی بهره برده است که باعث کاهش مقاومت ورودی و افزایش دقت انتقال جریانی و افزایش پهنای باند و گسترش محدوده پویای جریان می‌شود. در قسمت بعد به معرفی ساختار پیشنهادی و تحلیل آن پرداخته و نتایج حاصل از شبیه‌سازی را به همراه مقایسه‌ای با ساختارهای مشابه در بخش سوم ارائه می‌دهیم.

۲- ساختار ناقل جریان نسل دوم پیشنهادی

ساختار بلوکی CCII پیشنهادی که بر مبنای یک حلقه تراخطی عمل انتقال ولتاژ را انجام می‌دهد، در شکل ۲ نشان داده شده است. در این

مدار با استفاده از فیدبک مثبت که تحت‌تأثیر و کنترل جریان‌های I_P و I_N می‌باشد، مقاومت ورودی این ساختار کاهش داده شده است. جریان‌های I_P و I_N ناشی از جریان I_X می‌باشند به صورتی که در صورت ریخته شدن جریان به گره X جریان I_N زیاد شده و جریان I_P کاهش می‌یابد. برعکس در صورت کشیده شدن جریان از گره X جریان I_N کاهش یافته و جریان I_P افزایش می‌یابد. ولتاژ گیت M_{n2} و M_{p2} توسط این فیدبک به‌گونه‌ای تنظیم می‌گردد که با ثابت نگه داشتن نسبی ولتاژ گره ورودی سبب ایجاد مقاومت ورودی پایین می‌گردد. عمل انتقال جریان از پایه X به پایه Z توسط آینه جریان با بهره انتقال جریانی k انجام می‌گیرد که در این شبیه‌سازی مقدار k برابر یک در نظر گرفته شده است. با انتخاب آینه جریان‌های با دقت بالا و مقاومت خروجی بزرگ می‌توان عملکرد انتقال جریان را بهبود بخشید [۲۳-۱۸].



شکل ۲: ساختار بلوکی CCII با مقاومت ورودی کوچک

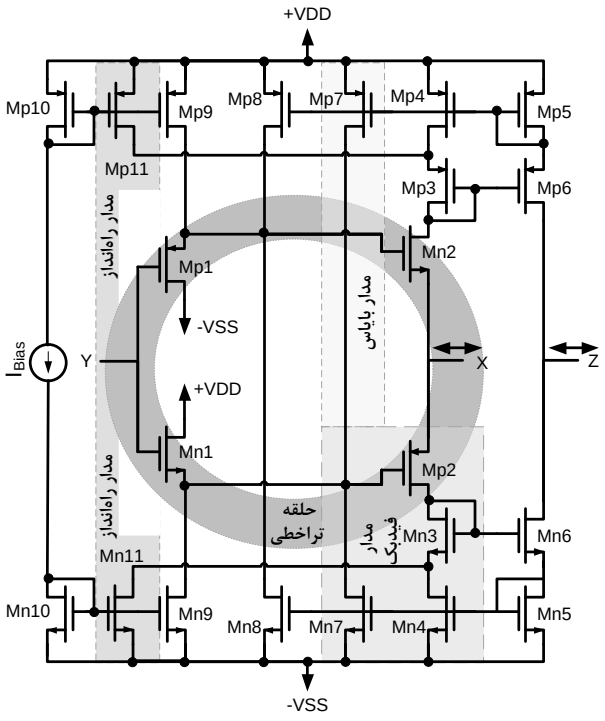
ساختار ترانزیستوری CCII پیشنهادی در شکل ۳ قابل مشاهده می‌باشد. حلقه تراخطی شامل ترانزیستورهای M_{p1}، M_{p2}، M_{n1} و M_{n2} می‌باشد که عمل انتقال ولتاژ از پایه Y به پایه X را فراهم می‌کند و برای افزایش محدوده پویای ولتاژ ورودی درین ترانزیستورهای M_{p1} و M_{n1} به منبع تغذیه متناظر متصل شده‌اند. انعکاس تغییرات ولتاژ گره y به گره x با رابطه تراخطی معادله (۲) نشان داده شده است.

$$
\begin{aligned}
&|V_{gs,p1}|+V_{gs,n1}=|V_{gs,p2}|+V_{gs,n2}\\
&V_y-V_{gs,n1}=V_x-V_{gs,p2}\\
&V_y-V_{gs,p1}=V_x-V_{gs,n2}\\
&2\times V_y-(V_{gs,p1}+V_{gs,n1})=2\times V_x-(V_{gs,p2}+V_{gs,n2})\\
&V_y=V_x
\end{aligned}
\qquad (۲)
$$

بررسی تأثیر تغییر ولتاژ گره y بر روی ولتاژ گره x:

در صورتی که V_y به اندازه ΔV زیاد شود در این‌صورت $V_{gs,p1}$ به همین مقدار کوچک‌تر می‌شود و لذا جریان عبوری از M_{p1} نیز به اندازه ΔI کاهش خواهد یافت. این امر سبب خواهد شد این جریان مسیر ترانزیستور M_{n8} را برای عبور انتخاب کند. از طرفی تساوی $I_{Mn8}=I_{Mp8}$ توسط آینه جریان ویلسون تثبیت شده است. در حالی که اعمال ولتاژ به گره y سبب برقراری رابطه $I_{Mn8}=I_{mp8}+\Delta I$ می‌شود. برای ایجاد تعادل مجدد در سیگنال‌ها ولتاژ گیت M_{n2} ناشی از آینه جریان‌های تعبیه‌شده به اجبار به اندازه ΔV افزایش خواهد یافت تا M_{p1} مجدداً تعادل جریانی برقرار شده و جریان حالت قبل را از خود عبور دهد. حال $V_{gs,n2}$ به اندازه ΔV بزرگ شده است و با تحلیلی مشابه مشخص می‌شود که $V_{gs,p2}$ نیز به اندازه ΔV کوچک می‌شود و این امر مجدداً سبب برهم خوردن تعادل سیگنال در گره X خواهد شد. با عملکردی مشابه ناشی از آینه‌های جریان و با افزایش ولتاژ گره x به اندازه ΔV تعادل جریانی مجدداً برقرار خواهد شد. نتیجه نهایی این‌که ولتاژ گره x همواره ولتاژ گره y را تعقیب خواهد نمود.

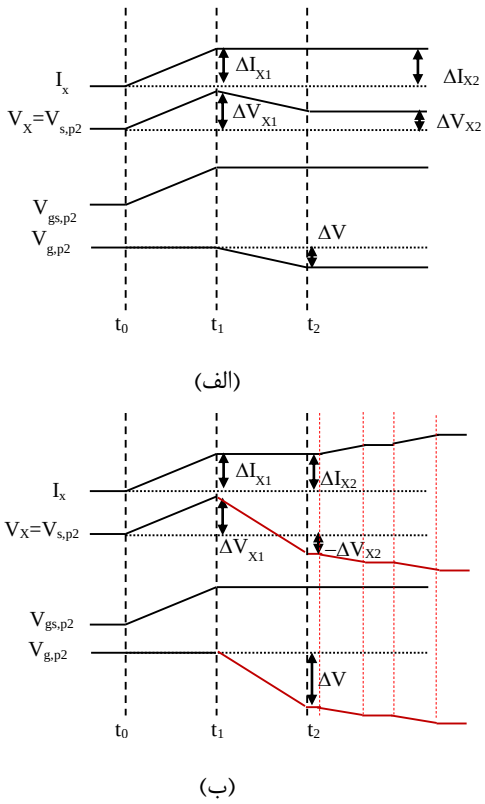
استفاده از ساختار کلاس AB در طبقه خروجی به کاهش مقاومت ورودی کمک نموده [۱۴] و آینه جریان ویلسون بهبودیافته برای انتقال جریان و افزایش دقت و همچنین افزایش مقاومت خروجی و درنتیجه افزایش پهنای باند جریانی به مدار افزوده شده است که شامل ترانزیستورهای M_{p1}-M_{p6} و M_{n6}-M_{n3} می‌باشد.



شکل ۳: ساختار ترانزیستوری CCII پیشنهادی

ترانزیستورهای M_{p7}، M_{p8}، M_{n7} و M_{n8} فیدبک جریانی مثبت را پیاده‌سازی می‌کنند که درنهایت در صورت انجام تمهیدات لازم برای جلوگیری از ناپایداری مدار منجر به کاهش مقاومت پارازیتی پایه X می‌گردند. ماهیت مفهومی سیگنال‌های دخیل در مسیر فیدبک دوره گذر به‌ازای شرایط پایدار در شکل ۴ (الف) نشان داده شده‌اند. عملکرد فیدبک مدار به این‌صورت است که در صورت تزریق جریان ΔI_{X1} به

گره X در بازه زمانی t_0 تا t_1 که زمان گذر اول قبل از آغاز بکار تقویت‌کننده است ولتاژ این گره تمایل به افزایش به اندازه ΔV_{X1} و تأمین $V_{gs,p2}$ لازم برای عبور جریان تزریق‌شده دارد. افزایش جریان عبوری از M_{n4} سبب افزایش ولتاژ گیت-سورس ترانزیستور M_{n4} شده و از طرف دیگر کاهش جریان عبوری از M_{p4} سبب کاهش ولتاژ گیت-سورس ترانزیستور M_{p4} و یا به‌عبارت‌دیگر افزایش ولتاژ گیت آن شده و درنتیجه تقویت‌کننده متشکل از ترانزیستورهای M_{n7} و M_{p7} و تقویت‌کننده متشکل از ترانزیستورهای M_{p8} و M_{n8} به‌صورت همزمان در بازه زمانی t_1 تا t_2 به ترتیب با افزایش جریان کشیده شده از گیت ترانزیستورهای سورس پیرو M_{n2} و M_{p2} سبب پایین آمدن ولتاژ آن به اندازه ΔV و جبران افزایش ولتاژ $V_{gs,p2}$ با انتقال اثر از سورس به گیت و تثبیت ولتاژ ورودی گره X شده و کاهش مقاومت ورودی را نتیجه می‌دهد. از طرف دیگر قابلیت کاهش مستمر ولتاژ گیت ترانزیستورهای M_{p2} و M_{n2} با افزایش ولتاژ گره X توأم با تزریق تصاعدی جریان ورودی سبب افزایش مضاعف $V_{gs,p2}$ و کاهش مضاعف $V_{gs,n2}$ و تسهیل مضاعف کشش جریان از ترانزیستور M_{p2} می‌شود به‌نحوی که کل جریان تزریقی در حال افزایش با روند سرعت‌یافته‌ای در مدار آینه جریان پایین جریان خواهد یافت که این همان فیدبک جریانی مثبت مذکور است. عکس این حالت نیز برای جریان کاهشی مستمر برقرار و صحیح است.



شکل ۴: ماهیت مفهومی سیگنال‌های دخیل در مسیر فیدبک دوره گذر به‌ازای شرایط (الف) پایدار (ب) ناپایدار

برای جلوگیری از ناپایداری مدار بایستی $\Delta V<\Delta V_{X1}$ باشد. به‌دلیل اعمال تأثیر مستقیم بر نقطه اثر سیگنال غالب چنانچه کاهش ولتاژ گیت M_{p2} بیش از حد افزایش ولتاژ سورس آن باشد ($\Delta V>\Delta V_{X1}$) در این‌صورت وارونگی تغییرات ولتاژ در ورودی سبب ایجاد مقاومت منفی و لذا ناپایداری خواهد شد. همان‌گونه که در ادامه در تحلیل‌ها و معادله‌های (۶)، (۷)، (۱۳) و (۱۴) بیان خواهد شد پیکربندی مدار با ایجاد امپدانس پایین در گیت‌های M_{p2} و M_{n2} در حدود g^{-1}_m و ایجاد بهره R_{m1} و R_{m2} کم‌تر از یک سبب ایجاد شرایط کار مناسب و رفع ناپایداری می‌شود.

برای تحلیل عملکرد مدار شکل ۵ (الف) را در نظر می‌گیریم که قسمتی از مدار پیشنهادی می‌باشد و مدل سیگنال کوچک آن در شکل ۵ (ب) رسم شده است. ترانزیستورهای M_{p9}، M_{p10}، M_{p11}، M_{n9}، M_{n10} و M_{n11} به همراه منبع جریان I_{Bias} وظیفه برقراری جریان بایاس در حلقه تراخطی را بر عهده دارند. جریان عبوری از ترانزیستورهای M_{n1} و M_{p1} برابر I_{Bias} و جریان عبوری از ترانزیستورهای M_{n2} و M_{p2} برابر $I_{Bias}+I_o$ است که I_o در معادله (۳) داده شده است.

$$I_o=\frac{V_{DD}+V_{SS}-|V_{gs,p4}|-|V_{gs,p3}|-V_{gs,n4}-V_{gs,n3}}{r_{ds,n2}+r_{ds,p2}} \qquad (۳)$$

آفست ولتاژی V_{offset} میان گره X و گره Y ناشی از این تفاوت جریان‌ها در ترانزیستورهای حلقه تراخطی می‌باشد که در معادله (۴-ج) نشان داده شده است.

$$\sqrt{\frac{2I_{D,p1}}{\mu_p C_{ox,p}\frac{W_{p1}}{L_{p1}}}}+|V_{th,p1}|+V_Y=V_X+\sqrt{\frac{2I_{D,n2}}{\mu_n C_{ox,n}\frac{W_{n2}}{L_{n2}}}}+V_{th,n2}$$

$$V_Y-V_X=\sqrt{\frac{2I_{D,n2}}{\mu_n C_{ox,n}\frac{W_{n2}}{L_{n2}}}}-\sqrt{\frac{2I_{D,p1}}{\mu_p C_{ox,p}\frac{W_{p1}}{L_{p1}}}} \qquad (۴\text{-الف})$$

$$I_{D,n2}=I_{Bias}+I_o,\quad I_{D,p1}=I_{Bias}$$

با فرض یکسان بودن ترانزیستورها و ابعاد آن‌ها داریم:

$$\sqrt{\mu C_{ox}\frac{W}{L}}(V_Y-V_X)=\sqrt{I_{D,n2}}-\sqrt{I_{D,p1}}$$

$$\frac{1}{2}\mu C_{ox}\frac{W}{L}(V_Y-V_X)^2=I_{D,n2}+I_{D,p1}-2\sqrt{I_{D,p1}\times I_{D,n2}}$$

$$=2I_{Bias}+I_o-2\sqrt{I_{Bias}\times(I_{Bias}+I_o)} \qquad (۴\text{-ب})$$

$$=2I_{Bias}+I_o-2I_{Bias}\sqrt{1+\frac{I_o}{I_{Bias}}}$$

ازآنجاکه $I_{Bias}>>I_o$ می‌باشد با استفاده از بسط تیلور داریم:

$$\frac{1}{2}\mu C_{ox}\frac{W}{L}(V_Y-V_X)^2=2I_{Bias}+I_o-2I_{Bias}\left(1+\frac{I_o}{2I_{Bias}}-\frac{I_o^2}{8I_{Bias}^2}+\ldots\right)$$

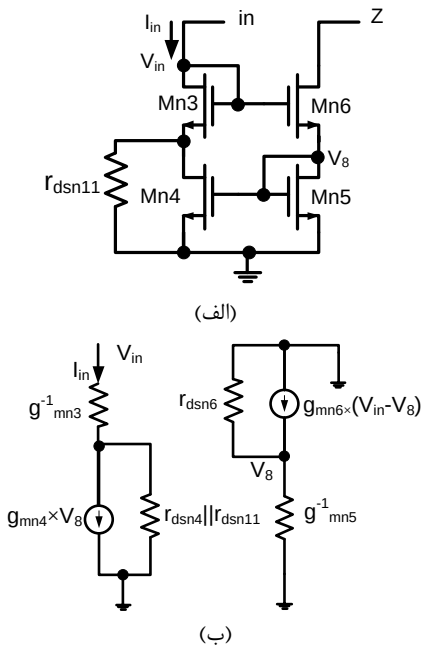
$$\approx\frac{I_o^2}{4I_{Bias}}$$

$$\frac{1}{2}\mu C_{ox}\frac{W}{L}(V_Y-V_X)^2=\frac{I_o^2}{4I_{Bias}}$$

$$(V_Y-V_X)^2=\frac{I_o^2}{2\mu C_{ox}\frac{W}{L}I_{Bias}}$$

$$V_Y - V_X = V_{offset} = \sqrt{\frac{I_o^2}{2\mu C_{ox}\frac{W}{L}I_{Bias}}} \quad (۴-ج)$$

جریان I_o با عبور از تقویت‌کننده‌های شبکه فیدبک و بارهای فعال آن این تقویت‌کننده‌ها را در حالت فعال قرار می‌دهند. این جریان همچنین با عبور ترانزیستورهای منتهی به گره Z این شاخه را در آستانه فعالیت قرار می‌دهد. لذا مصالحه‌ای میان میزان آفست ولتاژی تولیدشده در مدار با شرایط کاری تقویت‌کننده‌ها و طبقه خروجی جریانی منتهی به گره Z بایستی برقرار گردد.



شکل ۵: (الف) نمایی از ورودی جریان ساختار پیشنهادی (ب) مدل سیگنال کوچک آن

برای تحلیل اثر مسیر فیدبک ابتدا امپدانس دیده‌شده از دید درین ترانزیستور M_{n3} را با استفاده از شکل ۵ به‌صورت زیر محاسبه می‌کنیم:

$$g_{mn5}\times V_8 + \frac{V_8}{r_{dsn6}} - g_{mn6}\times(V_{in}-V_8) = 0$$

$$V_{in} = (I_{in} - g_{mn4}\times V_8)\times(r_{dsn4}\,\|\,r_{dsn11}) + \frac{I_{in}}{g_{mn3}}$$

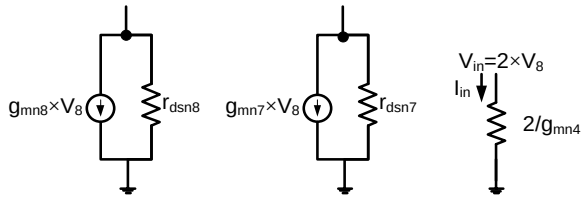
$$V_8\times\left[1+(g_{mn5}+g_{mn6})\times r_{dsn6}\right] = g_{mn6}\times r_{dsn6}\times V_{in}$$

$$\frac{V_{in}}{V_8} = \frac{1+(g_{mn5}+g_{mn6})\times r_{dsn6}}{g_{mn6}\times r_{dsn6}} \approx 2$$

$$V_{in}\times\left[1+\frac{g_{mn4}\times(r_{dsn4}\,\|\,r_{dsn11})}{2}\right] = I_{in}\times(r_{dsn4}\,\|\,r_{dsn11}) + \frac{I_{in}}{g_{mn3}}$$

$$\Rightarrow r_{in} = \frac{V_{in}}{I_{in}} \approx \frac{2}{g_{mn4}} \quad (۵)$$

بر اساس تئوری آینه جریان ازآنجاکه جریان ایجادشده در تقویت‌کننده مسیر فیدبک متأثر از V_8 یا همان $V_{gs,n5}$ است، بنابراین مدار معادل شکل ۶ را برای تحلیل مدار به کار می‌بریم.



شکل ۶: مدار معادل ورودی

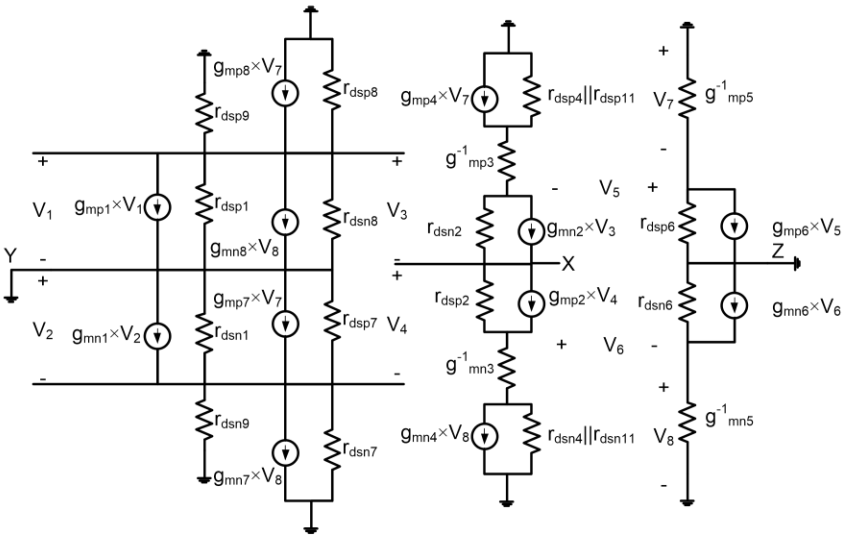
مدار معادل کلی به‌صورت شکل ۷ می‌باشد که ساده‌شده آن در شکل ۸ آورده شده است.

مقاومت ورودی برای ساختار ساده‌شده CCII پیشنهادی به‌صورت زیر است.

$$r_P = r_{dsp8}\,\|\,r_{dsn8}\,\|\,r_{dsp9}\,\|\,(r_{dsp1}/(1+g_{mp1}\,r_{dsp1})) \approx 1/g_{mp1} \quad (۶)$$

$$r_N = r_{dsp7}\,\|\,r_{dsn7}\,\|\,r_{dsn9}\,\|\,(r_{dsn1}/(1+g_{mn1}\,r_{dsn1})) \approx 1/g_{mn1} \quad (۷)$$

با انجام محاسبات و ساده‌سازی‌های لازم برای شکل ۸ و با فرض $g_{mn4} = g_{mn7} = g_{mn8}$ امپدانس ورودی به‌صورت معادله (۸) به‌دست

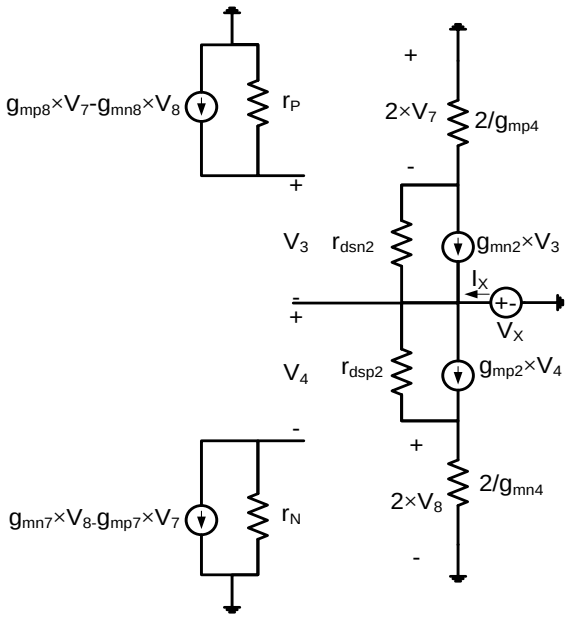


شکل ۷: مدار معادل CCII پیشنهادی

می‌آید.

$$V_X\left[g_{mp2}r_{dsp2}+g_{mn2}r_{dsp2}\right]=\frac{r_{dsp2}I_X}{g_{mn1}g_{mn4}}\left[g_{mn1}g_{mn4}-g_{mp2}g_{mn7}-g_{mn2}g_{mn8}\right]$$

$$r_X=\frac{V_X}{I_X}=\frac{1}{g_{mp2}+g_{mn2}}-\frac{1}{g_{mn1}} \quad (۸)$$



شکل ۸: مدار معادل ساده‌شده CCII پیشنهادی

امکان صفر کردن مقاومت ورودی با تنظیم مناسب ابعاد ترانزیستورها برای برقراری رابطه $g_{mn1}=g_{mp2}+g_{mn2}$ وجود دارد. از سوی دیگر برای بهره تقویت‌کننده‌ها داریم:

$$V_8=(I_o+I_X)/g_{mn4}=I_N/g_{mn4} \quad (۹)$$

$$V_7=(I_o-I_X)/g_{mp4}=I_P/g_{mp4} \quad (۱۰)$$

با فرض ابعاد یکسان و انطباق کامل ترانزیستورها داریم:

$$V_{o,n}=g_{mn7}r_NV_8-g_{mp7}r_NV_7=g_{mn7}r_NI_N/g_{mn4}-g_{mp7}r_NI_P/g_{mp4} \quad (۱۱)$$

$$V_{o,n}=\left(I_N-I_P\right)g_{m7}r_N/g_{m4} \quad (۱۲)$$

$$R_{m1}=V_{o,n}/\left(I_N-I_P\right)=g_{m7}r_N/g_{m4}=g_{m7}/g_{m4}g_{m1} \quad (۱۳)$$

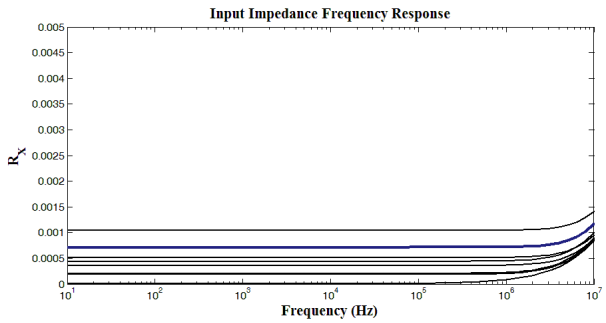
$$R_{m2}=V_{o,p}/\left(I_P-I_N\right)=g_{m8}r_P/g_{m4}=g_{m8}/g_{m4}g_{m1} \quad (۱۴)$$

یکی از الزامات فیدبک مثبت برای جلوگیری از ناپایداری بهره کم‌تر از یک برای آن می‌باشد که در معادله‌های (۱۳) و (۱۴) این شرط محقق شده است.

در ادامه نتایج حاصل از شبیه‌سازی قابل مشاهده می‌باشد و این نتایج با برخی از ساختارهای مشابه مقایسه می‌گردد.

۳- نتایج شبیه‌سازی

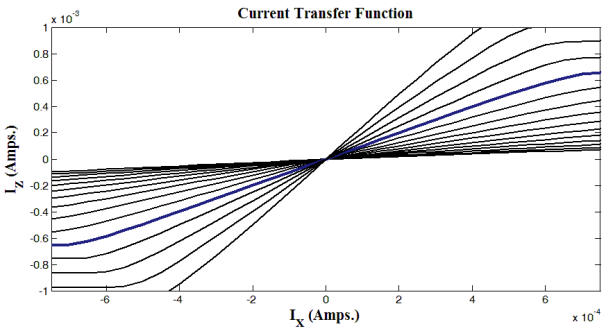
مدار پیشنهادی برای CCII توسط نرم‌افزار HSPICE و با تکنولوژی ۰/۱۸μm TSMC CMOS شبیه‌سازی شده است. ولتاژ تغذیه برای این مدار ±۱/۵V و جریان تغذیه ۱۰μA در نظر گرفته شده است که دارای مصرف توانی برابر ۳۰۴/۲۸μW می‌باشد. نتایج حاصل از شبیه‌سازی برای این مدار در ادامه ارائه شده است که بیانگر عملکرد خوب مدار پیشنهادی می‌باشد از طرفی برای اطمینان از عملکرد صحیح مدار و نتایج حاصله شبیه‌سازی‌ها برای تغییرات ابعاد جهت ایجاد بهره یا تضعیف سیگنال‌ها نشان داده شده است و مقادیر ذکرشده در متن مربوط به منحنی‌های مشخص‌شده با رنگ آبی می‌باشد و همچنین تأثیر تغییرات دما، ولتاژ آستانه، عدم انطباق W/L و همین‌طور تأثیر تغییرات V_{DD} بر این ساختار توسط تحلیل مونت‌کارلو برای سی بار اجرا با خطای ۳٪ بررسی شده است.



شکل ۹: رفتار فرکانسی مقاومت ورودی پایه X

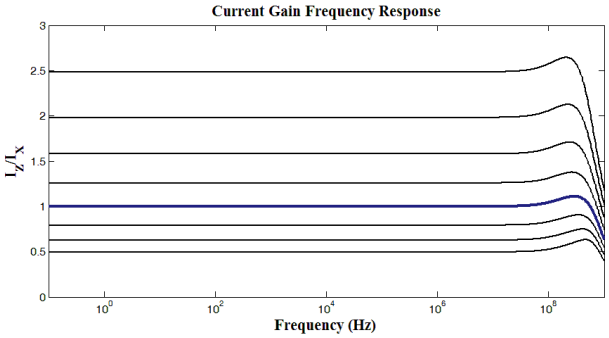
شکل ۹ رفتار فرکانسی مقاومت ورودی پایه X را نشان می‌دهد که در فرکانس‌های پایین معادل ۰/۸۳mΩ می‌باشد. با افزایش پاسخ فرکانسی و افت بهره تقویت‌کننده که ماهیت کاهش امپدانس ورودی ناشی از آن بود، امپدانس ورودی از مقدار اولیه ۰/۸۳mΩ افزایش می‌یابد.

رفتار خطی پیروی جریانی میان پایه X و پایه Z در شکل ۱۰ نشان داده شده است که بیانگر محدوده پویای وسیع جریانی و خطینگی بالا می‌باشد. بهره جریان از ورودی X به خروجی Z برابر با یک در نظر گرفته شده است اما می‌توان برای به‌دست آوردن تقویت مناسب ابعاد ترانزیستورهای M_{n5} و M_{p5} را به نحو مقتضی افزایش داد. جریان برای ورودی صفر دارای افست جریانی ۱۲/۳nA می‌باشد که در مقایسه با مقادیر جریان‌های ورودی و محدوده پویای مدار مقدار قابل چشم‌پوشی است. در شکل ۱۱ نیز رفتار فرکانسی انتقال جریان نمایش داده شده است که دارای بهره جریانی یک و پهنای باند ۹۰۰MHz می‌باشد.

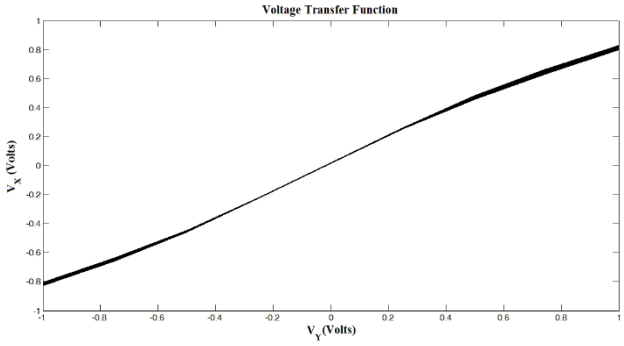


شکل ۱۰: رفتار خطی پیروی جریانی میان پایه X و پایه Z

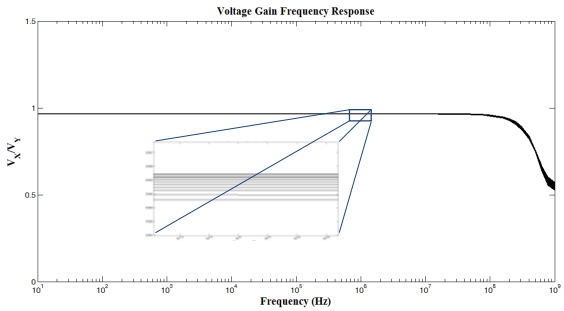
رفتار خطی پیروی ولتاژی میان پایه X و پایه Y در شکل ۱۲ نشان داده شده است که برای ولتاژ ورودی صفر دارای افست ولتاژی ۱۷/۲mV می‌باشد. در شکل ۱۳ نیز رفتار فرکانسی پیروی ولتاژ میان پایه X و پایه Y نمایش داده شده است که دارای بهره ولتاژی ۰/۹۶۴ و پهنای باند ۶۰۰MHz می‌باشد. پهنای باند حالت ولتاژی نسبت به پهنای باند حالت جریانی ٪۳۳ کاهش از خود نشان می‌دهد و محدوده پویا و آفست حالت جریان نسبت به حالت ولتاژی وضعیت مناسبت‌تری دارد.



شکل ۱۱: رفتار فرکانسی انتقال جریان میان پایه X و پایه Z



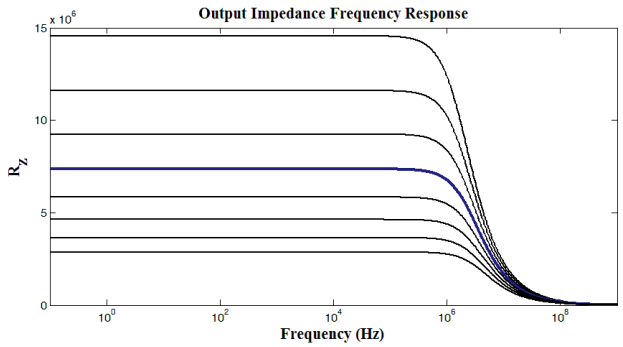
شکل ۱۲: رفتار خطی پیروی ولتاژی میان پایه X و پایه Y



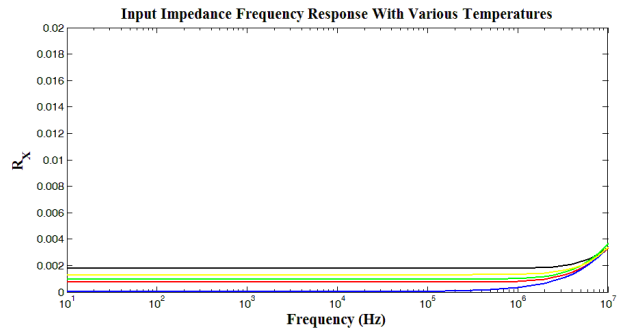
شکل ۱۳: رفتار فرکانسی پیروی ولتاژ میان پایه X و پایه Y

امپدانس خروجی برای این CCII برابر ۷/۳۴MΩ است که رفتار فرکانسی آن در شکل ۱۴ نشان داده شده است. ازآنجاکه گره Z یک گره امپدانس بالا است پهنای باند امپدانس خروجی نشان داده‌شده در شکل۱۲ نسبت به پهنای باند امپدانس ورودی که در شکل ۹ نشان داده شده است کم‌تر می‌باشد.

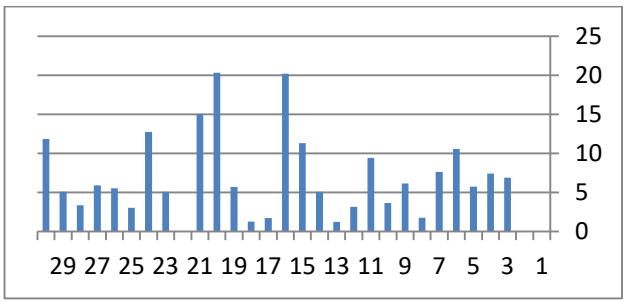
همان‌طور که اشاره شد تأثیر تغییرات دما، ولتاژ آستانه، تغییرات W/L و همین‌طور تأثیر تغییرات V_{DD} بر این ساختار و برای تمامی پارامترها بررسی کرده‌ایم که در این قسمت تنها پارامتر مقاومت ورودی را مورد بررسی قرار می‌دهیم. در ابتدا تغییرات دمایی در شکل ۰۱۵ تأثیر تغییرات V_{DD} در شکل ۱۶ و تغییرات ولتاژ آستانه و تغییرات W/L به‌طور همزمان در شکل ۱۷ نشان داده شده است. ازآنجاکه میزان انحراف پاسخ‌ها از حالت عادی به‌ازای تغییرات اعمالی کم بوده و این تغییرات سبب ناپایداری مدار نشده‌اند، می‌توان نتیجه گرفت که CCII ارائه‌شده در برابر تغییرات مذکور عملکرد کیفیت بالای از خود نشان می‌دهد.



شکل ۱۴: رفتار فرکانسی امپدانس خروجی پایه Z



شکل ۱۵: تأثیر تغییرات دمایی برای R_X



شکل ۱۶: تأثیر تغییرات V_{DD} برای R_X

ابعاد ترانزیستورها در جدول ۱ ارائه شده‌اند و در ادامه نتایج عددی حاصل از شبیه‌سازی به همراه مقایسه با چند مدار مشابه در جدول ۲ آورده شده است. برای مقایسه کیفی‌تر عملکرد مدارهای مختلف با هم ضریب شایستگی (FOM) معادله (۱۵) با افزودن پارامتر rx به معادله ارائه‌شده در مرجع [۲۴] استفاده شده است.

جدول ۱: اندازه ترانزیستورها

Transistor	W(μm)	L(μm)	Transistor	W(μm)	L(μm)
Mp1-2	۲۱	۰/۵	Mp7	۰/۲۳	۰/۵
Mn1-2	۵	۰/۵	Mn7	۱/۸۵	۰/۵
Mp3,Mp6	۱۰	۰/۲۵	Mp8	۹	۰/۲۵
Mn3,Mn6	۲	۰/۲۵	Mn8	۰/۹	۰/۲۵
Mp4-5	۷/۸	۰/۲۵	Mp9-11	۹	۰/۲۵
Mn4-5	۲/۶	۰/۲۵	Mn9-11	۲/۵	۰/۲۵

۴- نتیجه‌گیری

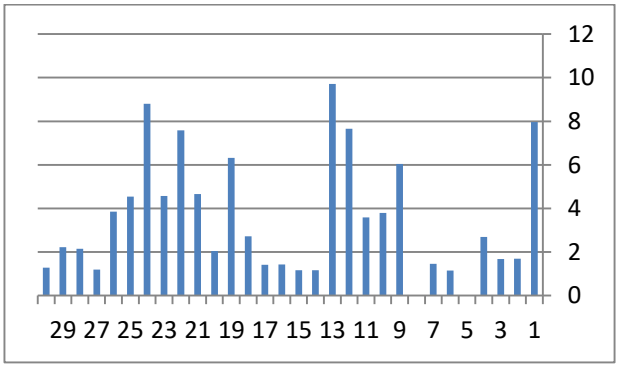
در این مقاله یک ناقل جریان نسل دوم کلاس AB جدید مبتنی بر حلقه تراخطی با مقاومت ورودی بسیار پایین بر اساس تکنیک فیدبک جریانی مثبت ارائه شد و عملکرد آن مورد ارزیابی قرار گرفت. تأثیر تغییرات دما، ولتاژ آستانه، تغییرات W/L و همین‌طور تأثیر تغییرات V_{DD} بر این ساختار توسط تحلیل مونت‌کارلو برای سی بار اجرا با خطای ۳٪ برای اطمینان از عملکرد صحیح مدار و نتایج حاصله بررسی شد.

جدول ۲: نتایج حاصل از شبیه‌سازی به همراه مقایسه با ساختارهای مشابه

پارامترها	[۹]	[۱۰]	[۱۴]	[۱۵]	[۱۶]	[۱۷]	CCII پیشنهادی
ولتاژ تغذیه	۳/۳V	±۱V	±۱/۵V	±۲/۵V	±۰/۷۵V	۱/۵V	±۱/۵V
جریان بایاس	-	-	۱۰μA	۱۰۰μA	–	۱۰۰μA	۱۰μA
توان مصرفی	2.24mW	۳۰۸μW	۲۱۰μW	-	۲۳۰μW	–	۳۰۴/۲۸μW
بهره جریانی	۰/۹۹۸	۰/۹۹۴	۱	۰/۹۷۶	۱	۱/۱	۱
بهره ولتاژی	۰/۹۵۳	۰/۹۹۶	۱	۰/۹۶	۱	۰/۹۴۳	۰/۹۶۴
GBW جریانی	۷۰MHz	-	۱۶MHz	۲/۶GHz	۲/۹۶GHz	۲/۷GHz	۶۰۰MHz
GBW ولتاژی	۸۷MHz	-	-	۳/۹GHz	۳GHz	۴/۳۳GHz	۹۰۰MHz
R_X	۴۲Ω	۱/۵۵Ω	۱۱/۴Ω	۱۸/۴۷Ω	۸/۲۶Ω	۳۸۰Ω	۰/۸۳mΩ
R_Z	۲/۲۴MΩ	۱۱/۲۵MΩ	۷/۲MΩ	۳۴/۴۷kΩ	۴۶/۵kΩ	۲۴kΩ	۷/۳۴MΩ
محدوده پویای جریان	-	-	-	-	۲۲۰μA تا -۲۲۰μA	–	۶۵۰μA تا -۶۵۰μA
محدوده پویای ولتاژ	-	۰/۹۸V تا -۰/۵V	۰/۹V تا -۱V	-	۰/۷۵V تا -۰/۷۵V	–	۱/۲V تا -۱/۲V
آفست جریانی	۵۰/۲nA	-	-	-	–	-۲/۲μA	۱۲/۳nA
آفست ولتاژی	۰/۲mV	-	-	-	–	۱۳mV	۱۷/۲mV
ضریب شایستگی	۰/۰۰۰۹۲۴	۰/۰۰۲۸۲	۰/۰۱۰۵	-	۱/۵۷۹	-	۴۴۵۴/۵
تکنولوژی	0.8μmCMOS	0.35μmCMOS	0.35μmCMOS	0.35μmCMOS	0.18μm TSMC-CMOS	0.18μm TSMC-CMOS	0.18μm TSMC CMOS

$$FOM = \frac{BW.\frac{DR}{PS}}{r_X.PD}\left[\frac{MHz}{m\Omega\, mW}\right] \qquad (۱۵)$$

که در آن BW پهنای باند بهره جریان، DR محدوده پویای جریان ورودی، PS منبع تغذیه کل، PD مصرف توان کل و rx امپدانس ورودی گره X می‌باشد.



شکل ۱۷: تأثیر تغییرات ولتاژ آستانه و تغییرات W/L برای R_X

مقاومت ورودی پایه X تا فرکانس‌های حدود ۱۰MHz در محدوده بسیار پایین و در حدود ۰/۸۳mΩ به‌دست آمد. آفست جریانی بسیار کم ۱۲/۳nA و آفست ولتاژی حدود ۱۷/۲mV برای مدار به‌دست آمد. بهره جریانی مدار یک و پهنای باند حالت جریان آن ۹۰۰MHz و نیز بهره ولتاژی مدار ۰/۹۶۴ با پهنای باند حالت ولتاژ ۶۰۰MHz به‌دست آمد. مدار CCII پیشنهادی با ولتاژ تغذیه ±۱/۵V و جریان تغذیه ۱۰μA توسط نرم‌افزار HSPICE و با تکنولوژی TSMC CMOS ۰/۱۸μm شبیه‌سازی شد و مصرف توان مدار ۳۰۴/۲۸μW اندازه‌گیری شد.

مراجع

[1] A.S. Sedra and K.C. Smith, "A second generation current conveyor and its application," *IEEE Transactions on circuit theory*, vol. 17, no. 10, pp.132–134, 1970.

[2] C. Toumazou, F. J. Lidgey & D. G. Haigh “Analog IC Design: the current mode approach,” Patter Peregrines Ltd. On Behalf of IEE. U. K. 1993.

[3] F. Khateb, A. Lahiri, C. Psychalinos, M. Kumngern, and T. Kulej, "Digitally programmable low-voltage highly linear transconductor based on promising CMOS structure

Analog Integrated Circuit Signal Processing, vol. 48, no. 3, pp. 247–250, 2006.

[15] S. B. Salem, M. Fakhfakh, D. S. Masmoudi, M. Loulou, P. Loumeau, and N. Masmoudi, "A high performances CMOS CCII and high frequency applications" *Analog Integrated Circuits and Signal Processing*, vol. 49, no. 1, pp. 71-78, 2006 (doi: 10.1007/s10470-006-8694-4).

[16] T. Ettaghzouti, N. Hassen, and K. Besbes. "A novel low-voltage low-power CCII based on super class AB CMOS OTA cells and filter application," In *Systems, Signals & Devices (SSD), 2015 12th International Multi-Conference on*, pp. 1-6. IEEE, Mahdia, Tunisia, 2015.

[17] S. B. Salem, A. B. Saied, and D. S. Masmoudi. "High-performance Current-Controlled Quadrature Oscillator Using an optimized CCII." *Electronic Components and Materials* vol. 46, no. 2, pp. 91-99, 2016.

[18] S. J. Azhari, H. F. Baghtash, and K. Monfaredi, "A Novel Ultra High Compliance, High Output Impedance Low Power Very Accurate High Performance Current Mirror," *Microelectronics Journal*, vol. 42, no. 2, pp. 432-439, 2011.

[19] H. F. Baghtash, K. Monfaredi, and A. Ayatollahi, "A Novel ±0.5V High Current Drive, True Current Mode and Rail to Rail Current Operational Amplifier," *Analog Integrated Circuits and Signal Processing*, vol. 70, no. 1, pp. 103-112, 2012, DOI 10.1007/s10470-011-9643-4.

[20] H. F. Baghtash, K. Monfaredi, and A. Ayatollahi, "Very Low Power, Low Voltage, High Accurate and High Performance Current Mirror," *Journal of Electronic Science and Technology*, vol. 9, no. 3, pp. 211-215, 2011.

[21] K. Monfaredi, H. F. Baghtash, and S. J. Azhari, "A Novel Ultra-Low-Power Low-Voltage Femto-Ampère Current Mirror," *Circuits, Systems and Signal Processing*, vol. 31, no. 3, pp. 833-847, 2012, DOI 10.1007/s00034-011-9352-3.

[22] H. F. Baghtash, S. J. Azhari, and K. Monfaredi, "A Novel Very High Performance CMOS Current Mirror with extremely low input and ultra high output resistance," *Iranian Journal of Electrical and Electronic Engineering (IJEEE)*, vol. 7, no. 4, pp. 235-240, 2011.

[23] H. F. Baghtash, A. Ayatollahi and K. Monfaredi, "A Novel ±0.5V Ultra High Current Drive and Output Voltage Headroom Current Output Stage with Very High Output Impedance", *Amirkabir Journal, International Journal of Electrical and Electronics Engineering*, vol. 43, no. 1, pp. 45-53, 2011.

[24] A. Reda, M. Farahat, and F. Farag, "Input–output Rail-to-Rail CMOS CCII for low voltage–low power applications," *Microelectronics Journal* vol. 48, pp. 60-75, 2016.

of differential difference current conveyor," *AEU-International Journal of Electronics and Communications*, vol. 69, no. 7, pp. 1010-1017, 2015.

[4] D. Singh, and N. Afzal, "Digitally programmable current-conveyor based mixed-mode universal filter," *International Journal of Electronics Letters*, vol. 3, no. 3, pp. 170-185, 2015.

[5] A. Bhattacharyya, A. Das, S. Paul, D. Samanta, and S. Sinha, "Current conveyor based non-sinusoidal oscillator implementation," *2015 IEEE Global Conference on Communication Technologies (GCCT)*, pp. 1-3, Tamil Nadu, India, 2015.

[6] W. Tangsrirat, O. Channumsin, and T. Pukkalanun, "Single-current-controlled sinusoidal oscillator with current and voltage outputs using single current-controlled conveyor transconductance amplifier and grounded passive elements," *Rev Roum Sci Tech Electrotechn et Energ*, vol. 60, pp. 175-184, 2015.

[7] A. De Marcellis, G. Ferri, and P. Mantenuto, "Non-Inverting CCII-based Astable Multivibrator and its Application as Uncalibrated Wide-Range Capacitive Sensor Interface," *In Sensors*, pp. 291-295. Springer International Publishing, 2015.

[8] A. H. Madian, S. A. Mahmoud, A. M. Soliman, "New 1.5-V CMOS second generation current conveyor based on wide range trans-conductor," *Analog Integrated Circuit Signal Processing*, vol. 49, no. 3, pp.267–279, 2006.

[9] B. Calvo, S. Celma, P. Martinez, M. T. Sanz, "An improved CMOS Class AB Current Conveyor," *Proceedings of the 44th IEEE 2001 Midwest Symposium on Circuits and Systems*, vol. 1, pp.309-313, Dayton, Ohio, USA, 2001.

[10] C. Di Carlo, A. De Marcellis, V. Stornelli, G. Ferri, D. Tiberio, *A Novel LV LP CMOS Internal Topology of CCII+ and its Application in Current-Mode Integrated Circuits*, PhD Research in Microelectronics and Electronics, pp. 132-135, 2009.

[11] O. Oliaei and J. Porte, "Compound current conveyor (CCII+ and CCII−)," *Electronics Letters*, vol. 33, no. 4, pp. 253–254, 1997.

[12] O. Oliaei, and P. Loumeau, "A low-input resistance class AB CMOS current-conveyor," *IEEE 39th Midwest symposium on Circuits and Systems*, vol. 1, pp. 11-14, Ames, Iowa, USA, 1996.

[13] R. K. Tiwari1, S. Kumar1 and G. R. Mishra, "A Class AB CCII Topology Based On Differential Pair with Modified Output Stage" *International Journal of Electrical Engineering & Technology (IJEET)*, vol. 4, no. 1, pp. 68-74, 2013.

[14] G. Ferri, V. Stornelli, and M. Fragnoli, "An integrated improved CCII topology for resistive sensor Application,"