

کاهش نرخ خطای نرم چندگانه مدارهای ترکیبی مبتنی بر اندازه‌گذاری دروازه‌ها بر مبنای پارامتر حساسیت

محمدامین ثابت سروستانی^۱، دانشجوی کارشناسی ارشد؛ بهنام قوامی^۲، استادیار؛ محسن راجی^۳، استادیار

۱- دانشکده فنی و مهندسی - دانشگاه شهید باهنر کرمان - کرمان - ایران - aminsabet@eng.uk.ac.ir

۲- دانشکده فنی و مهندسی - دانشگاه شهید باهنر کرمان - کرمان - ایران - ghavami@uk.ac.ir

۳- دانشکده مهندسی برق و کامپیوتر - دانشگاه شیراز - شیراز - ایران - raji@shirazu.ac.ir

چکیده: یکی از مهم‌ترین چالش‌ها برای سیستم‌های دیجیتال در مقیاس نانو، کاهش قابلیت اطمینان ناشی از افزایش نرخ خطای نرم این سیستم‌ها می‌باشد. با رسیدن ابعاد تکنولوژی CMOS به مقیاس نانو، نرخ خطای گذرای چندتایی ناشی از برخورد یک ذره پرنرزی به سطح تراشه‌ها بیش از نرخ خطای گذرای تک‌رخدادی خواهد بود. بنابراین، در فرآیند طراحی این سیستم‌ها، تکنیک‌های بهینه‌سازی باید به صورت آگاه از خطاهای گذرای چندتایی انتخاب شوند. در این مقاله، چارچوبی جدید برای بهبود تحمل‌پذیری مدارهای ترکیبی در برابر خطاهای چندتایی ارائه شده است. در این چارچوب، با اندازه‌گذاری مجدد دروازه‌های حساس، پوشش الکتریکی این دروازه‌ها افزایش داده شده است و از این طریق، نرخ خطای نرم چندتایی مدارهای ترکیبی بهبود یافته است. نتایج به دست آمده از آزمایش‌های تجربی بر روی مدارهای محک ISCAS'85 نشان می‌دهد که اندازه‌گذاری مجدد دروازه‌ها در حضور همزمان گذارهای چندرخدادی و تک‌رخدادی با استفاده از چارچوب پیشنهادی، موجب بهبود 4X نرخ خطای نرم مدار در مقایسه با پیش از اندازه‌گذاری دروازه‌های مدار و همچنین بهبود 2X نرخ خطای نرم مدار در مقایسه با زمانی خواهد بود که اندازه‌گذاری دروازه‌ها تنها در حضور گذارهای تک‌رخدادی انجام می‌گیرد؛ درحالی‌که سربار مساحت ناشی از دو روش یکسان می‌باشد.

واژه‌های کلیدی: سیستم‌های دیجیتال، تحمل‌پذیری در برابر اشکال، خطای نرم، اندازه‌گذاری دروازه، خطای چندتایی.

Multiple-Event Soft Error Reduction of Combinational Circuits Using Gate Sizing Based on Sensitivity Parameter

M. A. Sabet¹, MSc Student; B. Ghavami², Assistant Professor; M. Raji³, Assistant Professor

1- Faculty of Engineering, Shahid Bahonar University of Kerman, Kerman, Iran, Email: aminsabet@eng.uk.ac.ir

2- Faculty of Engineering, Shahid Bahonar University of Kerman, Kerman, Iran, Email: ghavami@uk.ac.ir

3- Faculty of Electrical and Computer Engineering, University of Shiraz, Shiraz, Iran, Email: raji@shirazu.ac.ir

Abstract: The aggressive device scaling and exponential increase in transistor counts of a chip have increasingly made the modern integrated circuits more susceptible to soft errors. Soft errors are caused by strikes from energetic particles such as neutrons and alpha particles. With the emerging nanoscale CMOS technology, Multiple Event Transients (METs) originated from radiation strikes are expected to become more frequent than Single Event Transients (SETs). So in design process of such circuits, optimization techniques are required to be aware of multiple-event transient faults. In this paper, a new framework to improve the tolerability of combinational circuits against METs is provided. In this context, by resizing the sensitive gates, electrical masking of the gates are increased and thus, the Soft Error Rate (SER) of the combinational circuit is improved. The experimental results on ISCAS'85 benchmark circuits show that using the proposed framework, which considers METs, leads to 4X improvement in SER of the circuits compared the original circuit. Also 2X improvement in circuit SER is achieved when only SETs are taken into consideration for gate sizing.

Keywords: Digital Systems, fault tolerance, soft error, gate sizing, multiple fault.

تاریخ ارسال مقاله: ۱۳۹۴/۱۱/۲۲

تاریخ اصلاح مقاله: ۱۳۹۵/۰۳/۲۱ و ۱۳۹۵/۰۶/۰۶

تاریخ پذیرش مقاله: ۱۳۹۵/۰۶/۱۶

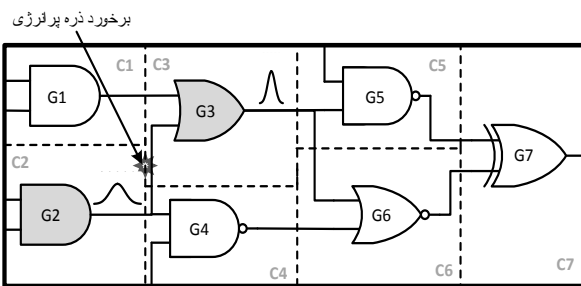
نام نویسنده مسئول: بهنام قوامی

نشانی نویسنده مسئول: ایران - کرمان - میدان پژوهش - دانشگاه شهید باهنر - دانشکده فنی و مهندسی - گروه مهندسی کامپیوتر.

۱- مقدمه

می‌باشد. در این روش با تغییر نسبت عرض به طول کانال (W/L) ترانزیستورهای مدار می‌توان موجب کاهش احتمال تولید اشکال توسط هر دروازه و همچنین افزایش احتمال پوشش الکتریکی هر دروازه در مدار شد.

در این مقاله چارچوب جدیدی مبتنی بر اندازه‌گذاری دروازه‌های منطقی برای کاهش نرخ خطای نرم حاصل از METها ارائه شده است. چارچوب پیشنهادی ابتدا از طریق محاسبه پارامترهای معرفی شده برای تمامی دروازه‌های مدار، به شناسایی بخشی از دروازه‌های مدار که بیش‌ترین نقش در تولید و انتشار خطای گذاری ناشی از METها و SETها را دارند، می‌پردازد. دروازه‌های شناسایی شده به‌عنوان مجموعه دروازه‌های نامزد برای اندازه‌گذاری مجدد انتخاب می‌شوند. سپس، به‌منظور کاهش نرخ خطای نرم مدار، با اجرای یک الگوریتم بهینه‌سازی حریمانه، دروازه‌های عضو مجموعه نامزد اندازه‌گذاری مجدد می‌شوند.



شکل ۱: ایجاد گذار چندرخدادی

۲- کارهای پیشین

پژوهش‌های زیادی برای بهبود خطای نرم حاصل از METs در حافظه‌ها انجام شده است [۴-۵]. این در حالی است که تحقیقات محدودی برای تحلیل و مقاوم‌سازی مدارهای ترکیبی در برابر METs صورت گرفته است. اخیراً Hsuan-Ming و همکاران [۶] با ارائه روشی، پالس ولتاژ ناشی از برخورد ذرات نوترون را تخمین زده و با استفاده از روش تحلیل زمانی ایستا، مشابه آنچه در [۷] ارائه شده است، به تخمین نرخ خطای نرم می‌پردازند. در [۸] یک تکنیک تخمین نرخ خطای نرم در حضور گذارهای چندرخدادی، در سطح مدار ارائه شده است که از اطلاعات سطح چینش مدار بهره می‌برد. در روش پیشنهادی، سطحی از مدار که توسط ذره برخوردکننده تحت تأثیر قرار می‌گیرند، با استفاده از الگوهای منظمی که در چینش حافظه‌ها وجود دارد، تخمین زده می‌شود. در [۹] راهکاری برای ارزیابی اثرگذارهای چندرخدادی و تکرخدادی بر روی مدارهای ترکیبی و ترتیبی با استفاده از مدل‌های درخت تصمیم دودویی و درخت تصمیم جبری ارائه شده است. در [۱۰] با بهره‌گیری از یک راهکار جایابی، سعی در کاهش نرخ خطای ناشی از گذارهای چندرخدادی می‌شود. سربار ناشی از پیچیدگی مسیرها هنگام تغییر محل دروازه‌ها بعد از اجرای این الگوریتم، نیز از جمله نقاط ضعف این روش محسوب می‌شود. در [۱۱] تکنیکی ارائه شده است که در آن تلاش می‌شود در زمان سنتز مدار، دروازه‌هایی که از نظر منطقی در مسیر

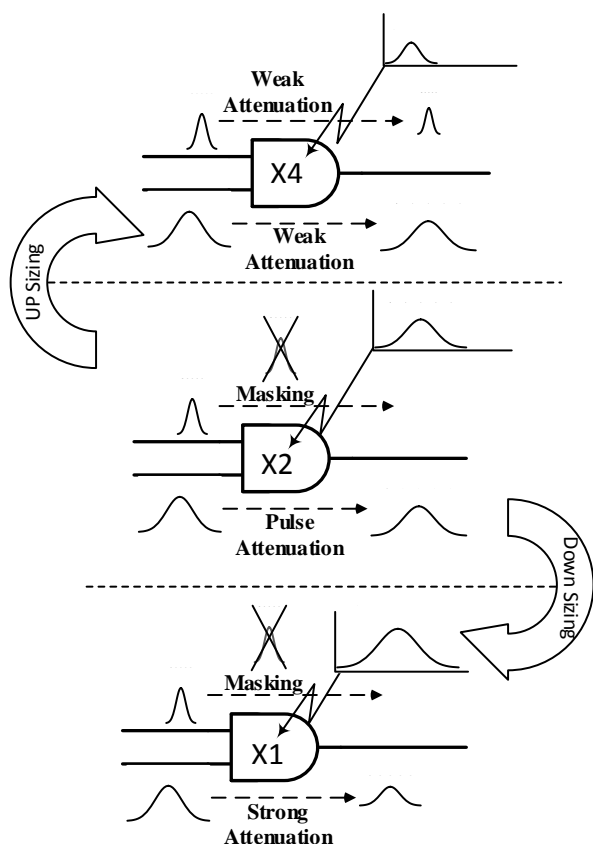
با افزایش کاربرد سیستم‌های دیجیتال [۱] و کاهش روزافزون ابعاد ساخت مدارهای مجتمع دیجیتال در تکنولوژی CMOS، حساسیت این مدارها در برابر اشکال‌های گذرا به شدت افزایش یافته است [۲]. اشکال‌های گذرا اغلب بر اثر برخورد تصادفی ذرات پرنرزی حاصل از اشعه‌های کیهانی و ذرات باردار ثانویه حاصل از واکنش هسته‌ای بین ذرات نوترن برخوردکننده و اتم‌های سیلیکون حاصل می‌شوند [۳]. اگر ذره پرنرزی به بخش ترکیبی مدار برخورد کند، جریان گذرای ایجاد شده در دروازه منطقی، باعث تولید یک پالس ولتاژ گذرا در خروجی آن دروازه منطقی خواهد شد و منطق آن سلول را تغییر خواهد داد. این ولتاژ گذرا را گذار تک‌رخدادی^۱ (SET) می‌نامند. SET ایجاد شده در طول مسیر انتشار خود در مدار ترکیبی، اگر بتواند سه شرط زیر را برآورده کند باعث ایجاد خطا در سیستم می‌شود (به این نوع خطا، خطای نرم می‌گویند و فراوانی آن را نرخ خطای نرم^۲ (SER) نامند):

- i. پالس اشکال در طول یک مسیر منطقی منتشر شود و به حداقل یک لچ یا سلول دیگر حافظه برسد.
 - ii. پالس اشکال رسیده به ورودی یک سلول حافظه دارای عرض و ارتفاع کافی برای تغییر وضعیت سلول حافظه باشد.
 - iii. پالس اشکال گذرا در مدت زمانی که عناصر حافظه نمونه‌برداری می‌کنند، به ورودی سلول‌های حافظه برسد.
- اگر هر یک از سه شرط فوق برآورده نشود، اصطلاحاً اشکال پوشش داده شده است؛ پوشش مربوط به هر یک از سه شرط فوق را به ترتیب پوشش منطقی^۳، پوشش الکتریکی^۴ و پوشش زمانی^۵ می‌نامند.

برای تکنولوژی‌های پیشین، اصلی‌ترین نگرانی طراحان غلبه بر اشکال‌های گذرای تک‌رخدادی^۶ (STFs)، ناشی از برخورد ذرات پرنرزی بود. اما با کاهش ابعاد ابزارها، احتمال اینکه بار ایجاد شده بر اثر واکنش هسته‌ای بین ذرات نوترن برخوردکننده و اتم‌های سیلیکون توسط دو یا چند ناحیه حساس به صورت همزمان جمع‌آوری شود، افزایش یافته است. این پدیده موجب ایجاد گذار چندرخدادی (MET)^۷ در سلول‌های منطقی که در مجاورت هم قرار دارند می‌شود. شکل ۱ مثالی از ایجاد گذار چندرخدادی در یک مدار نمونه را نشان می‌دهد. همان‌طور که در شکل نشان داده شده است، برخورد یک ذره پرنرزی به سطح تراشه باعث ایجاد همزمان پالس گذرا در دروازه‌های G2 و G3 شود. در تکنولوژی‌های امروزی با پیشی گرفتن نرخ رخداد METها از SETها، چشم‌پوشی از اثر آن‌ها غیرممکن شده است.

بسیاری از راهکارهایی که تاکنون برای کاهش نرخ خطای نرم ارائه شده‌اند، اشکال‌های چندرخدادی^۸ (METها) را در نظر نگرفته‌اند و از قابلیت لازم برای مقاوم‌سازی مدارها در حضور این نوع اشکالات برخوردار نمی‌باشند. لذا، نیاز به ارائه روش‌های جدید جهت کاهش نرخ خطای نرم در حضور METها بسیار ضروری می‌باشد. یکی از ساده‌ترین و درعین حال مؤثرترین روش‌های افزایش اتکاپذیری مدارهای دیجیتال در برابر اشکال‌های گذرا تک‌رخدادی، اندازه‌گذاری دروازه‌های منطقی

با توجه به اینکه در تکنولوژی‌های امروزی نرخ وقوع METها نسبت به SETها در حال افزایش است، می‌بایست اندازه‌گذاری دروازه‌ها در حضور METها انجام گیرد.



شکل ۲: اثر اندازه‌گذاری دروازه بر تولید و انتشار پالس گذرا

در اینجا اثر تفاوت اندازه‌گذاری مدارها در حضور SETها و METها را مورد مطالعه قرار دادیم. در این آزمایش نرخ خطای نرم مدار C17، از خانواده مدارهای محک استاندارد ISCAS'85 را در ۳۲ اندازه متفاوت، یکبار در حضور SETها و بار دیگر در حضور METها محاسبه کردیم. همان‌طور که در شکل ۳ نشان داده شده است، نرخ خطای نرم مدار C17 در حضور SETها در اندازه ۴ مدار حداقل شده است؛ در حالی که نرخ خطای نرم حاصل از METها در اندازه ۱۲ حداقل شده است. نتایج نشان می‌دهد که سایز بهینه مدار در حضور SETها و METها متفاوت خواهد بود؛ لذا، برای رسیدن به مداری که در حضور METها کم‌ترین نرخ خطای نرم را داشته باشد، می‌بایست اندازه‌گذاری مدار با در نظر گرفتن METها انجام گیرد.

۴- چارچوب پیشنهادی کاهش نرخ خطای نرم

شکل ۴ چارچوب پیشنهادی کاهش نرخ خطای نرم در حضور METها با بهره‌گیری از اندازه‌گذاری دروازه‌های منطقی را نشان می‌دهد.

یکدیگر قرار گرفته‌اند، از نظر فیزیکی نیز در مجاور هم باشند. این کار موجب می‌شود که در صورت وقوع همزمان خطا در آن‌ها در مسیرهای همگرا، خطاها یکدیگر را پوشش دهند و نرخ خطا کاهش پیدا کند. اما نتایج حاصل از آن نشان می‌دهد که مسیرهای همگرا، همواره باعث کاهش نرخ خطای نرم نخواهند شد و در مواردی حتی باعث افزایش آن خواهد شد. اخیراً در [۱۲] از این واقعیت که ابزارهای صنعتی سلول‌های مداری ترکیبی را به صورت غیریکنواخت در سطح چینش مدار قرار می‌دهند و فضای خالی زیادی بین سلول‌ها وجود دارد، به‌منظور کاهش نرخ خطای نرم بهره برده است. از سویی دیگر با توجه به اینکه سلول‌های حساس به خطای نرم به صورت غیریکنواخت در سطح چینش مدار واقع شده‌اند؛ به‌کمک توزیع مجدد فضاهای خالی موجود در هر ردیف چینش با توجه به میزان حساسیت بین جفت دروازه‌های مختلف، سعی در افزایش پوشش خطای مدار و کاهش نرخ خطای نرم مدار می‌کند. در این روش ابتدا تک‌تک ردیف‌های چینش تحلیل می‌شوند. برای هر ردیف، سلول‌های مجاور که پتانسیل پوشش بین آن‌ها وجود دارد، شناسایی می‌شوند و سپس با حذف فضاهای خالی بین سلول‌هایی که احتمال پوشش بین آن‌ها زیاد است و از طریق افزودن این فضا بین سلول‌هایی که احتمال پوشش بین آن‌ها کم است، احتمال ایجاد خطای همزمان در آن‌ها کاهش می‌یابد.

۳- اندازه‌گذاری دروازه‌ها

با بزرگ‌تر کردن اندازه دروازه‌های منطقی و افزایش اندازه خازن مؤثر آن‌ها، احتمال اینکه ذره برخوردکننده به یک گره موجب ایجاد پالس ولتاژ گذرا در خروجی آن دروازه شود، کاهش می‌یابد؛ از این نظر، بزرگ‌تر کردن اندازه دروازه همواره باعث کاهش احتمال وقوع خطای ناشی از برخورد مستقیم یک ذره باردار با آن دروازه خواهد شد. اما از سویی دیگر، بزرگ‌تر شدن اندازه یک دروازه باعث افزایش قابل توجه قدرت راه‌اندازی آن دروازه خواهد شد؛ این خود موجب می‌شود تا پالس‌های گذرای کوچکی که توسط دروازه پوشش داده می‌شوند، به راحتی از دروازه بزرگ‌شده عبور کنند. بنابراین، افزایش اندازه یک دروازه، از یک سو، احتمال تولید اشکال را کاهش داده و از سوی دیگر، موجب افزایش احتمال انتشار اشکال از آن دروازه می‌شوند. تمامی موارد ذکر شده برای حالت کوچک کردن دروازه‌ها نیز در حالت برعکس صادق می‌باشد. شکل ۲ اثر اندازه‌گذاری بر پالس اشکال تولیدشده و پالس اشکال عبوری از یک دروازه AND را نشان می‌دهد.

در هر مدار، یک ترکیب از اندازه‌های دروازه‌های مدار وجود دارد که به ازای آن ترکیب، نرخ خطای نرم مدار حداقل خواهد بود. بنابراین می‌توان با تغییر اندازه‌گذاری دروازه‌های مدار، نرخ خطای نرم آن را حداقل کرد. اما نکته قابل توجه این است که اندازه‌گذاری دروازه‌های مدار در حضور SETها تنها موجب حداقل شدن نرخ خطای نرم حاصل از SETها خواهد شد و مدار اندازه‌گذاری شده در حضور METها بهینه نخواهد بود.

۵- تخمین نرخ خطای نرم در حضور گذارهای چند رخدادی

به‌عنوان اولین گام در روش پیشنهادی، ابتدا SER مدار در حضور METها اندازه‌گیری می‌شود. در این بخش روش تخمین SER در چارچوب پیشنهادی را معرفی خواهیم کرد.

۵-۱- خطای نرم در حضور گذارهای چند رخدادی

اولین گام در تخمین نرخ خطای نرم در حضور گذارهای چند رخدادی، مشخص کردن دروازه‌هایی است که امکان وقوع همزمان خطا در آنها وجود دارد.

در [۱۳] با استفاده از اطلاعات سطح دروازه مدار، مدلی برای پیش‌بینی مجاورت دروازه‌های یک مدار قبل از تولید چینش آن ارائه شده است (لازم به ذکر است که این یک فرض محدودکننده برای چارچوب پیشنهادی نمی‌باشد و می‌توان با استفاده از اطلاعات چینش مدل دقیق‌تر خطاهای همزمان را شناسایی کرد). در این مدل فرض می‌شود دو یا چند دروازه مجاور یکدیگرند، اگر آنها شامل مجموعه زیر باشند: (۱) دروازه و دروازه‌های گنجایش ورودی آن (۲) دروازه و دروازه‌های گنجایش خروجی آن (۳) دروازه‌های مشترک در گنجایش ورودی (۴) دروازه‌های مشترک در گنجایش خروجی (۵) این مجموعه شامل تمام جفت دروازه‌هایی است که امکان وقوع همزمان خطای گذرا در آنها وجود دارد. برای هر دروازه g مجموعه‌ای به نام مجموعه مجاورت^{۱۳} (AS) معرفی می‌کنیم که شامل دروازه‌هایی است که امکان وقوع همزمان خطا در g و آنها وجود دارد.

نرخ خطای نرم برای یک مدار ($SER_{Circuit}$) در حضور METها به صورت حاصل جمع نرخ خطای نرم تمامی دروازه‌هایی که به صورت همزمان دچار خطا می‌شوند، محاسبه می‌شود.

$$SER_{Circuit} = \sum_{i=0}^{N_{node}} \sum_{j \in AS(i)} SER_{i,j} \quad (1)$$

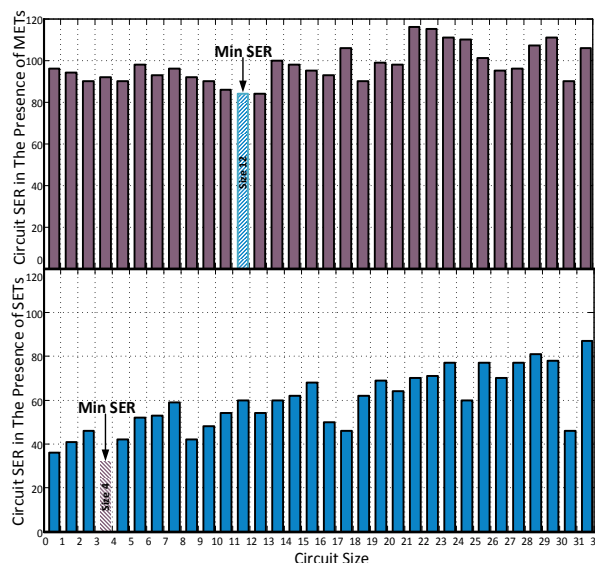
که در آن N_{node} تعداد کل گره‌های مدار است. $SER_{i,j}$ نرخ خطای نرم ناشی از وقوع خطای همزمان در دروازه i و j است و از رابطه زیر محاسبه می‌شود:

$$SER_{i,j} = P_{gen}(i) \times P_{gen}(j) \times P_{soft-error}(i,j) \quad (2)$$

که $P_{soft-error}(i,j)$ احتمال پیشامدی است که پالس‌های گذرای ایجادشده در دروازه‌های i و j بتوانند منجر به بروز خطای نرم در هر کدام از فلیپ‌های مدار شود. $P_{gen}(i)$ احتمال تولید یک اشکال گذرا در گره i می‌باشد و از رابطه زیر محاسبه می‌شود [۶]:

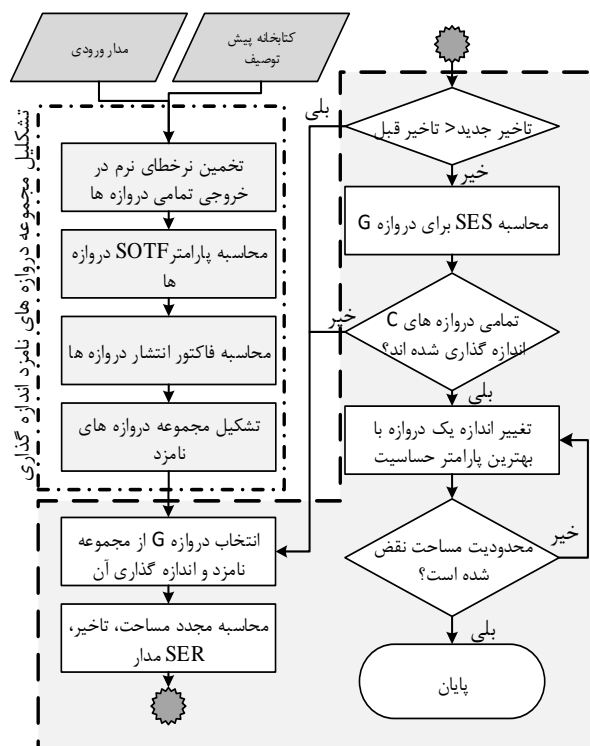
$$P_{gen}(i) = \varphi \times \sigma \times P_{activate}(i) \quad (3)$$

که φ اشاره به شار نوترون برخوردکننده به سطح تراشه دارد و از طریق طیف نوترون محاسبه می‌شود [۶]. σ سطح مقطع چینش و $P_{activate}$ اشاره به این دارد که اشکال گذرا تولیدشده در یک گره مدار تنها به ازای برخی از حالات بردارهای ورودی فعال خواهد شد [۶]. همچنین



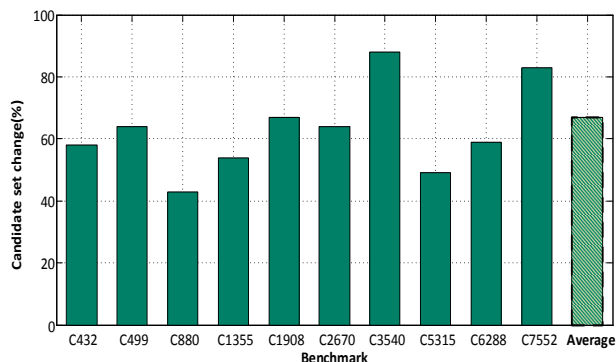
شکل ۳: نرخ خطای نرم تحت اندازه‌گذاری مدار C17 در حضور METها و SETها

در این چارچوب ابتدا نرخ خطای نرم، در خروجی تمامی دروازه‌های مدار در حضور METها با استفاده از روش ارائه‌شده در بخش ۵ محاسبه می‌گردد. سپس، بخشی از دروازه‌های مدار، با بیش‌ترین نرخ خطای نرم به‌عنوان دروازه‌های نامزد برای اندازه‌گذاری انتخاب می‌شوند. در مرحله بعد، دروازه‌های نامزد وارد فرآیند اصلی الگوریتم یعنی اندازه‌گذاری مجدد می‌شوند.



شکل ۴: چارچوب پیشنهادی کاهش نرخ خطای نرم

حضور METها در مقابل شرایط حضور SETها کاملاً متفاوت خواهد بود. از این رو، دروازه‌هایی از مدار که پیش از این تنها در حضور SETها به منظور کاهش نرخ خطای نرم اندازه‌گذاری مجدد می‌شدند، اکنون در حضور METها اندازه‌گذاری مجدد آن‌ها لزوماً موجب بهبود نرخ خطای نرم مدار نخواهد شد و یا با سربار زیادی همراه خواهد بود. در این شرایط می‌بایست شناسایی دروازه‌های نامزد در حضور METها صورت پذیرد و فرآیند اندازه‌گذاری مجدد دروازه‌ها بر این مبنا انجام شود. همان‌طور که در شکل ۵ نشان داده شده است، نتایج تحلیل نشان می‌دهد که در صورت عدم احتساب پارامترهای مربوط به METها در انتخاب دروازه‌های نامزد، اعضای این مجموعه بیش از ۶۷٪ در مقایسه با حالتی که تنها اثر SETها در نظر گرفته شود، متفاوت خواهد بود. این امر در نهایت تأثیر چشم‌گیری بر بهبود نرخ خطای نرم کلی مدار در مقایسه با زمانی که اندازه‌گذاری تنها در حضور SETها انجام شود، خواهد داشت. شکل ۵ میزان تفاوت دروازه‌های عضو مجموعه نامزد، هنگامی که این مجموعه در حضور SETها در مقایسه با زمانی که این مجموعه در حضور METها تشکیل می‌شود را در مدارهای محک ISCAS85 نشان می‌دهد.



شکل ۵: اختلاف مجموعه دروازه‌های نامزد در حضور SET و MET

برای تشکیل مجموعه دروازه‌های نامزد (C)، ابتدا مدار را با یک گراف مدل می‌کنیم؛ به طوری که رأس‌ها نشان‌دهنده دروازه‌ها و فیلیپ-فلاپ‌ها و یال‌ها نشان‌دهنده اتصالات بین دروازه‌ها باشند. یک مسیر از نقطه u به نقطه v با $D_{u,v}^i$ نشان داده می‌شود که یک n تایی مرتب از رأس‌های گراف است. همچنین $D_{u,v}^i$ مجموعه همه مسیرهای موجود از نقطه u به نقطه v می‌باشد:

$$D_{u,v}^i = (u, n_1, n_2, \dots, v) \quad (5)$$

اگر دروازه g را در نظر بگیریم، هر دروازه‌ای از مدار که مسیری از آن به دروازه g وجود داشته باشد، عضو مجموعه مخروط ورودی^{۱۶} (FIC) دروازه g می‌باشد. بنابراین برای FIC هر دروازه خواهیم داشت:

$$FIC(g) = \{n_i \mid \forall n_i \in v, D_{n_i-g} \neq \emptyset\} \quad (6)$$

همچنین هر دروازه از مدار که مسیری از آن به دروازه g وجود داشته باشد عضو مجموعه مخروط خروجی^{۱۷} (FOC) دروازه g می‌باشد:

$$FOC(g) = \{n_i \mid \forall n_i \in v, D_{g-n_i} \neq \emptyset\} \quad (7)$$

حال برای انتخاب دروازه‌های نامزد C ابتدا برای هر دروازه g پارامتر SOTF^{۱۸} را معرفی می‌کنیم که بیانگر تمامی MET و SETهایی است

به اثر پوشش‌های سه‌گانه وابسته است و می‌تواند به صورت زیر محاسبه شود:

$$P_{soft-error}(i, j) = \sum_{k=0}^N P_{logic}(i, j, k) \times P_{elec}(i, j, k) \quad (4)$$

که در آن N_{ff} نشان‌دهنده تعداد کل فیلیپ-فلاپ‌های مدار است. $P_{logic}(i, j)$ اثر پوشش‌های منطقی و $P_{elec}(i, j)$ اثر پوشش‌های الکتریکی و زمانی را نشان می‌دهند [۱۳].

۵-۲- تخمین نرخ خطای نرم

تاکنون روش‌های کمی برای تخمین نرخ خطای نرم در حضور METها معرفی شده است. در اینجا از روش ارائه شده در [۱۳] بهره می‌بریم که در آن، از یک منطق چهار مقدار و همچنین یک سیستم احتمالی برای انتشار خطای چندخدادی به سمت خروجی‌های نهایی مدار استفاده شده است. همان‌طور که بیان شد، در [۱۳] با استفاده از اطلاعات سطح گیت مدار سعی در تخمین دروازه‌های مجاور یکدیگر را دارند. پس از تعیین محل وقوع METها و تزریق خطا به صورت همزمان، کیف خروجی آن دروازه‌ها به صورت ساختاری مرتب می‌شوند و خطا در طول آن‌ها به سمت خروجی‌های نهایی مدار منتشر می‌شوند. برای در نظر گرفتن اثر تضعیف پالس‌ها هنگام عبور از دروازه‌ها از مدل ارائه شده در SEAT-LA [۱۴] استفاده می‌شود. در نهایت با محاسبه پوشش زمانی در خروجی‌های نهایی مدار نرخ خطای نرم مدار به دست می‌آید.

۶- تشکیل مجموعه دروازه‌های نامزد جهت اندازه‌گذاری مجدد

در حالت ایده‌آل تمامی دروازه‌های مدار باید به‌عنوان نامزدی برای اندازه‌گذاری انتخاب شوند. اما با بزرگ شدن ابعاد مدار این امر امکان‌پذیر نمی‌باشد. بنابراین، با معرفی پارامتر شرکت‌پذیری تنها بخشی‌هایی از مدار که نقش زیادی در SER کلی مدار دارند را به‌عنوان نامزدهای اندازه‌گذاری مجدد (مجموعه نامزد C) انتخاب می‌کنیم. پارامترهای زیادی همچون اندازه مدار، اندازه خازن خروجی، اندازه گنجایش قیف ورودی^{۱۴} دروازه، اندازه گنجایش قیف خروجی^{۱۵} دروازه و فاصله دروازه از خروجی‌های مدار تأثیر زیادی بر میزان مشارکت هر دروازه در نرخ خطای کلی مدار دارد. به‌علاوه، در حضور METها پارامترهای دیگری نظیر دروازه‌های مجاور هر دروازه، اندازه گنجایش قیف خروجی و اندازه گنجایش قیف ورودی مشترک بین دروازه‌هایی که دچار خطای همزمان شده‌اند، فاصله دروازه‌های خطادار از یکدیگر و مسیرهای همگرا و دوباره همگرا در گنجایش قیف خروجی و گنجایش قیف ورودی دروازه‌های خطادار نیز تأثیرگذار می‌باشد. نکته حائز اهمیت که می‌بایست در اینجا به آن اشاره کرد، آن است که تحلیل‌ها نشان می‌دهد که دروازه‌های مدار در حضور METها نرخ خطای نرم متفاوتی را در خروجی خود و در مقایسه با زمان حضور SETها تجربه می‌کنند. بنابراین، انتخاب بخشی از دروازه‌های مدار به‌عنوان دروازه‌های حساس و نامزد برای اندازه‌گذاری مجدد در شرایط

که در مخروط ورودی دروازه g رخ می‌دهند. همان‌طور که در شکل ۶-الف نشان داده شده است، فرض کنید تمامی دروازه‌های واقع در مخروط خروجی دروازه g در شکل ۶-الف را حذف کنیم و آن را به صورت یک خروجی نهایی در نظر بگیریم و آن را به صورت مستقیم به یک فلیپ فلاپ متصل کنیم (شکل ۶-ب). در این صورت $SOTF(g)$ به صورت مجموع خطاهای گذرای قابل مشاهده در خروجی g است که در نتیجه MET و SETهایی است که در مخروط ورودی دروازه g رخ می‌دهد. این پارامتر به صورت زیر تعریف می‌شود:

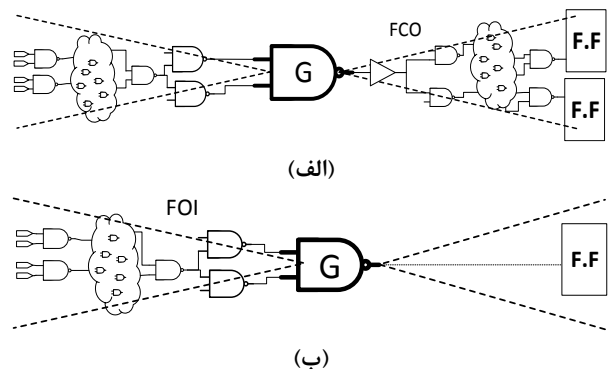
$$SOTF = MFR(g) + SFR(g) \quad (۸)$$

که در آن، MFR نرخ خطای قابل مشاهده در خروجی دروازه g ناشی از وقوع MET در دروازه‌های واقع در مخروط ورودی دروازه g می‌باشد و به صورت زیر محاسبه می‌شود:

$$MFR(g) = \sum_{\substack{i,j \in AS(G), \\ \forall k \in FC(g)}} P_{logic}(i, j, g) \cdot P_{elec}(i, j, g) \quad (۹)$$

که در آن $P_{elec}(i, j, g)$ و $P_{logic}(i, j, g)$ به ترتیب احتمال پوشش الکتریکی و منطقی پالس‌های ایجادشده در دروازه‌های i و j در طول مسیر انتشار به دروازه g می‌باشد. همچنین $SFR(g)$ نرخ خطای قابل مشاهده در خروجی دروازه g حاصل از وقوع SETها در دروازه‌های واقع در FIC دروازه g می‌باشد و به صورت زیر محاسبه می‌شود:

$$SFR(g) = \sum_{k \in FC(g)} P_{logic} \cdot P_{elec}(k, g) \quad (۱۰)$$



شکل ۶: FOC و FOI دروازه خطادار G

هنگامی که یک پالس گذرا از دروازه g عبور می‌کند و به سمت خروجی‌های اصلی مدار منتشر می‌شود، با توجه به پوشش‌های الکتریکی و منطقی که در FOC آن رخ می‌دهد، احتمال ذخیره شدن پالس گذرا کاهش می‌یابد. بنابراین، مقادیر $MFR(g)$ و $SFR(g)$ هنگام انتشار در FOC به‌طور قطع کاهش می‌یابند. فرض کنید در شکل ۶ دروازه g تا یک خروجی مدار n سطح فاصله دارد، برای $MFR(g)$ و $SFR(g)$ در خروجی k خواهیم داشت:

$$MFR(g, k) = \prod_{i \in FOC_{from, g, to, k}} MFR(g) \cdot P_{Logic} \cdot P_{elec} \quad (۱۱)$$

$$SFR(g, k) = \prod_{i \in FOC_{from, g, to, k}} SFR(g) \cdot P_{Logic} \cdot P_{elec} \quad (۱۲)$$

با توجه به اینکه $P_{elec} \leq 1$ و $P_{logic} \leq 1$ خواهیم داشت:

$$MFR(g, k) \leq MFR(g) \quad (۱۳)$$

$$SFR(g, k) \leq SFR(g) \quad (۱۴)$$

با توجه به رابطه ۸ خواهیم داشت:

$$SOTF(g, k) \leq SOTF(g) \quad (۱۵)$$

بنابراین $SOTF(g)$ تقریبی دست بالا، از شرکت‌پذیری دروازه g در نرخ خطای نرم در یک خروجی نهایی مدار می‌باشد.

برای بررسی تأثیر بخش مشترک در مخروط خروجی دروازه‌های خطادار و همچنین مسیرهای همگرا و دوباره همگرا در FOC دروازه‌ها، بر انتشار پالس‌های گذرا توسط هر دروازه، پارامتر فاکتور انتشار^{۱۹} (PF) برای هر دروازه معرفی می‌شود که برابر با میانگین نرخ خطای نرم قابل مشاهده در خروجی‌های نهایی مدار اصلی به شرط وقوع همزمان خطا در دروازه‌های عضو $AS(g)$ است.

$$PF(g) = \frac{\sum_{g, j \in AS(g)} \sum_{k \in FO} MFR(g, j, k)}{\#AS(g)} \quad (۱۶)$$

که $\#AS(g)$ تعداد اعضای عضو مجموعه مجاورت دروازه g می‌باشد.

با مشخص شدن فاکتور انتشار و میزان خطای مشاهده شده در خروجی هر دروازه، فاکتور شرکت‌پذیری (CF) هر دروازه مدار در نرخ خطای نرم کلی مدار به صورت زیر تعریف می‌شود:

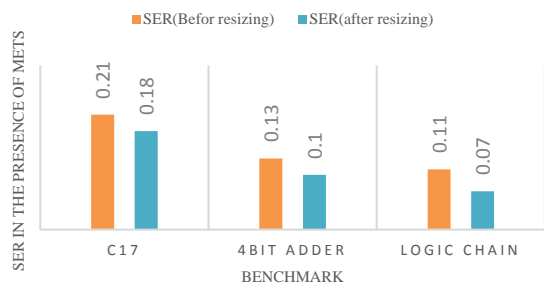
$$CF(g) = \frac{SOTF(g) * PF(g)}{totalSER} \quad (۱۷)$$

یک مقدار حداقل برای نرخ شرکت‌پذیری^{۲۰} (MCR) جهت هرس کردن مدار و تشکیل مجموعه C انتخاب می‌کنیم. دروازه g در مدار تنها در صورتی وارد مجموعه C خواهد شد که $CF(g) > MCR$. برای مثال، با انتخاب $MCR = 1\%$ ، تنها دروازه‌هایی به مجموعه C اضافه خواهند شد که در بهترین حالت می‌توانند با اندازه‌گذاری مجدد، حداکثر میزان 1% میزان SER کلی مدار را بهبود بخشند. برای هر مدار مقدار MCR را به‌گونه‌ای انتخاب می‌کنیم که حدود ده الی بیست درصد از دروازه‌ها وارد مجموعه C شوند.

باید توجه کرد که بعد از انتخاب یک دروازه و اندازه‌گذاری مجدد آن، نرخ خطای نرم در خروجی تمامی دروازه‌ها تحت تأثیر این اندازه‌گذاری قرار خواهد گرفت و تغییر خواهد کرد. بنابراین، دروازه‌هایی با بیش‌ترین نرخ خطای نرم در خروجی خود که در مرحله قبل به‌عنوان حساس‌ترین دروازه‌ها برای تغییر اندازه‌گذاری شده بودند، ممکن است تحت تأثیر این اندازه‌گذاری قرار گیرند و نرخ خطای نرم در خروجی آن‌ها به‌شدت کاهش یابد و در مقابل دروازه‌هایی که پیش از این، نرخ خطای نرم کمی را در خروجی خود تجربه کرده‌اند، ممکن است تحت تأثیر این اندازه‌گذاری نرخ خطای نرم در خروجی آن‌ها افزایش یابد. از این‌رو لازم است که بعد از اندازه‌گذاری مجدد هر دروازه، نرخ خطای

در تکنولوژی 45nm بوده و شامل دروازه‌هایی با اندازه‌های مختلف X1، X2 و X4 می‌باشد. دروازه‌ها با اندازه X2 به‌عنوان دروازه‌های پایه مورد استفاده قرار می‌گیرند و دروازه‌ها با اندازه X1 و X4 به ترتیب، دروازه‌های با اندازه کوچک‌تر و بزرگ‌تر می‌باشند.

در بخش اول از نتایج، ابتدا با استفاده از شبیه‌سازی‌های دقیق Monte-Carlo Hspice، چارچوب کاهش نرخ خطای نرم پیشنهادی صحت‌سنجی شده است.



شکل ۷: اثر اندازه‌گذاری دروازه‌ها بر نرخ خطای نرم مدارها

برای این منظور نرخ خطای نرم مدارهای محک C17 از خانواده مدارهای محک ISCAS'85، جمع‌کننده چهار بیتی و یک زنجیره از دروازه‌های منطقی در حضور METها پیش از اندازه‌گذاری دروازه‌ها و بعد از اندازه‌گذاری دروازه‌ها محاسبه شده است. همان‌طور که در شکل ۷ نشان داده شده است نرخ خطای نرم مدارها بعد از اندازه‌گذاری دروازه‌ها، کاهش یافته است. باید دقت کرد که به دلیل زمان‌بر بودن شبیه‌سازی‌های Monte-Carlo Hspice انجام این آزمایش‌ها برای مدارهایی با اندازه بزرگ امکان‌پذیر نمی‌باشد.

در بخش بعدی از شبیه‌سازی‌ها تأثیر بهبود نرخ خطای نرم روش پیشنهادی و همچنین مقایسه میزان بهبود خطای نرم روش پیشنهادی با روش‌های اندازه‌گذاری ارائه شده در مراجع [۳-۱۶-۱۷] مقایسه شده است.

اندازه‌گذاری دروازه‌ها با در نظر گرفتن محدودیت ۵٪ برای سربار مساحت انجام شده است. نتایج اندازه‌گذاری دروازه‌های مدارهای مختلف در حضور METها و مقایسه آن با روش‌های پیشین در جدول ۱ نشان داده شده است. در [۳] با انتخاب بخشی از دروازه‌های مدار به‌عنوان حساس‌ترین دروازه‌ها نسبت به SETها، اندازه‌گذاری مجدد تنها بر روی این دروازه‌ها صورت می‌گیرد. در [۱۶] اندازه‌گذاری دروازه‌ها با استفاده از مفهوم پنجره آسیب‌پذیری احتمالی بر روی بخشی از دروازه‌های مدار به‌عنوان آسیب‌پذیرترین دروازه‌ها به خطای نرم صورت می‌گیرد. در [۱۷] با استفاده از الگوریتم بهینه‌سازی اکتشافی، تمامی دروازه‌های مدار در حضور SETها مجدداً اندازه‌گذاری می‌شوند. در بخش اول جدول ۱، اطلاعات مربوط به مدارها ارائه شده است. ستون‌های اول، دوم، سوم و چهارم به ترتیب نام، تعداد دروازه‌ها، تعداد ورودی‌ها و تعداد خروجی‌های مدارها را نشان می‌دهد. در بخش دوم تا پنجم جدول به ترتیب میزان بهبود نرخ خطای نرم حاصل از METها و خطای نرم مدار حاصل از

نرم در خروجی تمام دروازه‌ها مجدداً محاسبه شود و دروازه‌های نامزد مجدداً شناسایی شوند.

۷- الگوریتم اندازه‌گذاری مجدد دروازه‌ها

در الگوریتم پیشنهادی سه پارامتر تأخیر، مساحت (Area) و نرخ خطای نرم (SER) به‌عنوان پارامترهایی که تحت تأثیر اندازه‌گذاری دروازه‌ها می‌باشند را مورد بررسی قرار می‌دهیم. مساحت مدار با محاسبه مجموع مساحت تمامی دروازه‌های مدار مشخص می‌شود. در اینجا، بر روی سربارهای تأخیر و مساحت که تغییر اندازه دروازه‌ها ایجاد می‌کنند تمرکز می‌کنیم؛ اما از آنجایی که مجموع مساحت سلول‌ها رابطه مستقیمی با توان کل مدار خواهد داشت، بنابراین مساحت تعریف‌شده، تقریب مناسبی از توان مصرفی مدار خواهد بود.

همان‌طور که در شکل ۳ نشان داده شده است، بعد از تشکیل مجموعه C، الگوریتم پیشنهادی هر دروازه g عضو مجموعه C را انتخاب می‌کند، سپس با اندازه‌گذاری آن دروازه (بزرگ کردن/کوچک کردن)، مجدداً مساحت، تأخیر و نرخ خطای نرم مدار به‌ازای آن تغییر اندازه‌گیری می‌شود. بعد از محاسبه مجدد این پارامترها، معیاری برای ارزیابی اندازه‌گذاری هر دروازه از جنبه‌های مختلف (تأخیر، مساحت و نرخ خطای نرم) محاسبه می‌شود. البته، ابتدا از تمامی اندازه‌گذاری‌هایی که موجب بیش‌تر شدن تأخیر مدار و کاهش کارایی مدار می‌شود، چشم‌پوشی می‌کنیم. سپس تلاش می‌کنیم از بین تمامی حالات ممکن، اندازه‌گذاری‌ای را به‌عنوان حالت نهایی انتخاب کنیم که حداقل میزان سربار مساحت و حداکثر میزان بهبود SER را فراهم آورد. بنابراین، پارامتر حساسیت^{۲۱} (SES) را برای مقایسه دروازه‌ها به صورت زیر معرفی می‌کنیم:

$$SES = \frac{SER_{pre-sizing} - SER_{post-sizing}}{Area_{post-sizing} - Area_{pre-sizing}} \quad (18)$$

از بین تمامی سناریوهای ممکن، تنها سناریویی را در نظر می‌گیریم که به‌طور قطع میزان SER را بهبود بخشد ($\Delta SER > 0$). سپس اولویت با اندازه‌گذاری دروازه‌هایی خواهد بود که میزان مساحت را کاهش می‌دهد ($Area < 0$). در نهایت آن‌هایی که حداقل میزان افزایش مساحت را داشته باشند، ($Area > 0$)، اندازه‌گیری می‌نماییم. به‌عنوان یک محدودیت زمانی سخت‌گیرانه، تأخیر کلی مدار را به تأخیر اولیه مدار محدود می‌کنیم؛ بنابراین دروازه‌هایی که در مسیر بحرانی قرار گرفته‌اند، تنها زمانی برای بهبود SER مدار اندازه‌گذاری می‌شوند که بتوانند تأخیر مدار را نیز بهبود بخشند (با بزرگ شدن اندازه دروازه).

۸- نتایج شبیه‌سازی

چارچوب پیشنهادی در C++ پیاده‌سازی شده است و بر روی یک ماشین با پردازنده COREi3 و حافظه ۴ گیگابایت اجرا شده است. آزمایش‌ها بر روی مجموعه مدارهای محک استاندارد ISCAS85 انجام شده است. مجموعه دروازه‌های مورد استفاده مبتنی بر کتابخانه NANGATE [۱۵]

جدول ۱: مقایسه بهبود نرخ خطای نرم چارچوب پیشنهادی با روش‌های مشابه

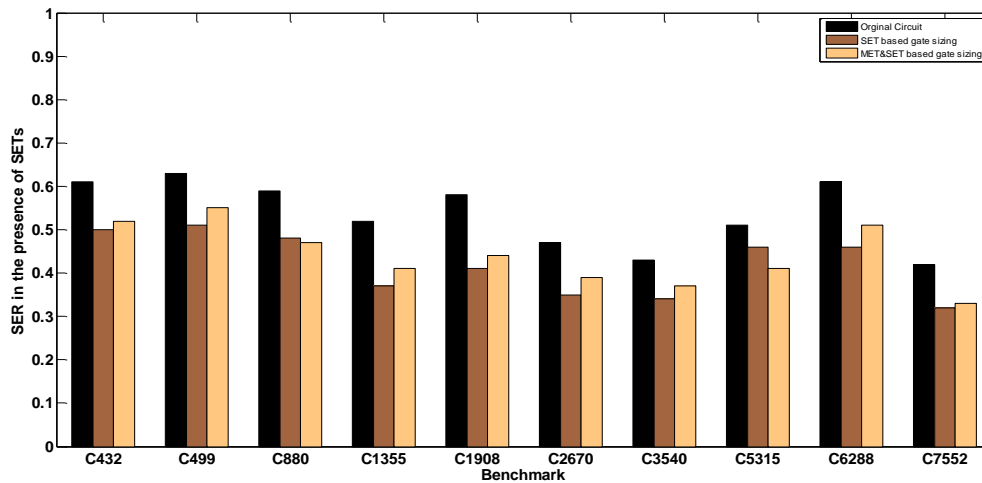
اطلاعات مدارهای محک				چارچوب پیشنهادی		[۲] مرجع		[۱۷] مرجع		[۱۶] مرجع	
نام مدار	تعداد دروازه	تعداد ورودی	تعداد خروجی	بهبود SER	سربرار مساحت	بهبود SER	سربرار مساحت	بهبود SER	سربرار مساحت	بهبود SER	سربرار مساحت
C۴۳۲	۱۶۰	۳۶	۷	۳X	%۰.۷	۲.۶X	%۱.۵	۲.۸X	-%۱.۴	۲.۱X	%۲.۱
C۴۹۹	۲۰۲	۴۱	۳۲	۳.۳X	%۰.۸	۱.۷X	%۰.۸	۲.۳X	-%۲.۸	۲X	%۱.۳
C۸۸۰	۳۸۳	۶۰	۲۶	۳.۸X	%۴.۶	۲.۱X	%۶	۳.۱X	-%۳.۳	۲.۸X	%۴.۶
C۱۳۵۵	۵۴۶	۴۱	۳۳	۴.۵X	%۲.۸	۱.۲X	%۵	۳.۲X	-%۵.۸	۲.۵X	%۳.۸
C۱۹۰۸	۸۸۰	۳۳	۲۵	۳.۷X	%۵.۵	۳.۳X	%۶.۳	۳.۵X	-%۱۱.۵	۲.۹X	%۴.۱
C۲۶۷۰	۱۱۹۳	۲۳۳	۱۴۰	۴X	%۳.۲	۴.۲X	%۳.۷	۴.۴X	-%۶.۷	۳.۶X	%۳.۶
C۳۵۴۰	۱۶۶۹	۵۰	۲۲	۵.۲X	%۰.۴	۱.۹X	%۱.۱	۳.۹X	-%۸.۲	۳.۲X	%۲.۷
C۵۳۱۵	۲۳۰۷	۱۷۸	۱۲۳	۴.۷X	%۹	۱.۸X	%۳.۴	۲.۸X	-%۴.۴	۲X	%۷.۳
C۶۲۸۸	۲۴۱۶	۳۲	۳۲	۳.۹X	%۳.۱	۲.۷X	%۴.۹	۳X	-%۳	۲.۳X	%۹.۱
C۷۵۵۲	۳۵۱۲	۲۰۷	۱۰۸	۴.۱X	%۴.۳	۱.۲X	%۳.۶	۳.۴X	-%۱۰	۲.۷X	%۲.۲
Ave				۴X	%۳.۳۴	۲X	%۳.۶۳	۳.۲X	-%۵.۷	۲.۶X	%۴

METها در مقایسه با پیش از اندازه‌گذاری، به‌طور میانگین 4X بهبود یابد و سربرار مساحتی کم‌تر از ۳% به مدار تحمیل شود. در بخش سوم آزمایش‌ها، تأثیر اندازه‌گذاری دروازه‌ها در حضور METها و SETها بر نرخ خطای نرم مدار را مورد بررسی قرار دادیم. همان‌طور که پیش‌ازاین بیان شد دروازه‌های مدار در حضور METها نرخ خطای نرم متفاوتی را در مقایسه با زمانی که تنها خطاهای ناشی از SETها در مدار وجود دارند، تجربه می‌کنند. این موجب خواهد شد که مجموعه دروازه‌هایی که به‌عنوان نامزدهای اندازه‌گذاری انتخاب می‌شوند، در این دو حالت متفاوت باشند. همان‌طور که در شکل ۸-ب نشان داده شده است، اندازه‌گذاری دروازه‌های مدار بر اساس مجموعه دروازه‌های نامزدی که تنها در حضور SETها تشکیل شده است؛ موجب خواهد شد نرخ خطای نرم مدار حاصل از METها بهبود بسیار کمی پیدا کند و حتی در مدار C3540 این نوع اندازه‌گذاری موجب افزایش نرخ خطای نرم شده است. این در حالی است که اگر اندازه‌گذاری دروازه‌ها طبق روش پیشنهادی و بر اساس مجموعه دروازه‌های نامزدی که در حضور METها و SETها تشکیل شده است، انجام شود، نرخ خطای نرم هم در حضور METها و هم در حضور SETها کاهش می‌یابد. با توجه به نتایج حاصل، نرخ خطای نرم چندگانه، بعد از اندازه‌گذاری دروازه‌ها در حضور METها در مقایسه با روش‌های ارائه شده در [۲] که اندازه‌گذاری دروازه‌ها تنها در حضور SETها انجام شده است، به‌طور میانگین، بهبودی معادل 2X داشته است، این تفاوت ناشی از اندازه‌گذاری دروازه‌ها در این روش‌ها که تنها در حضور SETها صورت می‌گیرد، می‌باشد.

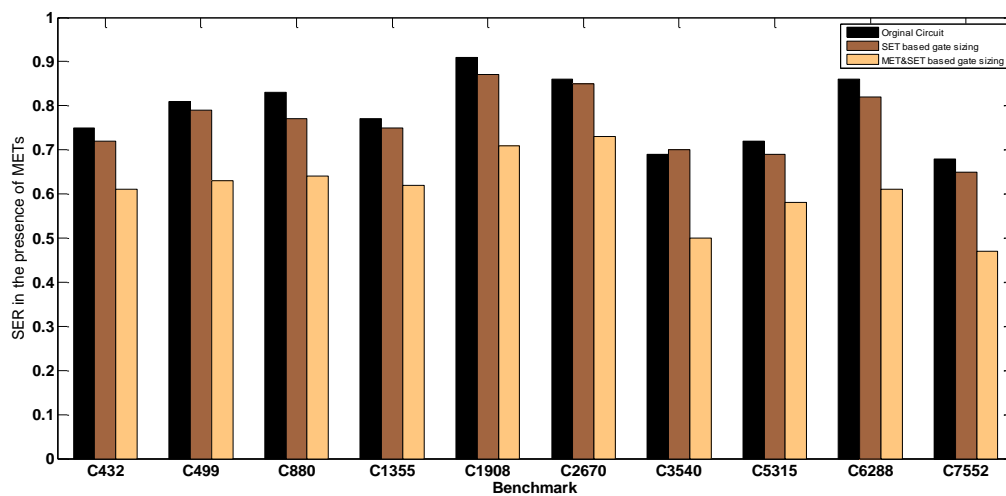
این مقاله روش جدیدی برای بهبود نرخ خطای نرم مدارهای ترکیبی مبتنی بر اندازه‌گذاری مجدد دروازه‌ها ارائه می‌دهد. با توجه به کاهش ابعاد تکنولوژی و افزایش نرخ METها، چشم‌پوشی از اثر METها هنگام اعمال تکنیک‌های کاهش نرخ خطای نرم غیرممکن شده است. چارچوب پیشنهادی، با استفاده از پارامتر حساسیت، به شناسایی دروازه‌های حساس و اندازه‌گذاری مجدد آن‌ها می‌پردازد. نتایج آزمایش‌ها نشان می‌دهد که در نظر گرفتن METها موجب بهبود دو برابری نرخ خطای نرم در مقایسه با زمانی است که بهبود از طریق اندازه‌گذاری مجدد دروازه‌ها تنها در حضور SETها صورت می‌گیرد. اندازه‌گذاری دروازه‌ها در حضور همزمان METها و SETها، بعد از مرحله جانمایی مدار، می‌تواند به‌عنوان یک پیشنهاد جهت کارهای آینده این مقاله باشد.

۹- نتیجه‌گیری

این مقاله روش جدیدی برای بهبود نرخ خطای نرم مدارهای ترکیبی مبتنی بر اندازه‌گذاری مجدد دروازه‌ها ارائه می‌دهد. با توجه به کاهش ابعاد تکنولوژی و افزایش نرخ METها، چشم‌پوشی از اثر METها هنگام اعمال تکنیک‌های کاهش نرخ خطای نرم غیرممکن شده است. چارچوب پیشنهادی، با استفاده از پارامتر حساسیت، به شناسایی دروازه‌های حساس و اندازه‌گذاری مجدد آن‌ها می‌پردازد. نتایج آزمایش‌ها نشان می‌دهد که در نظر گرفتن METها موجب بهبود دو برابری نرخ خطای نرم در مقایسه با زمانی است که بهبود از طریق اندازه‌گذاری مجدد دروازه‌ها تنها در حضور SETها صورت می‌گیرد. اندازه‌گذاری دروازه‌ها در حضور همزمان METها و SETها، بعد از مرحله جانمایی مدار، می‌تواند به‌عنوان یک پیشنهاد جهت کارهای آینده این مقاله باشد.



الف: نرخ خطای نرم در حضور SETها

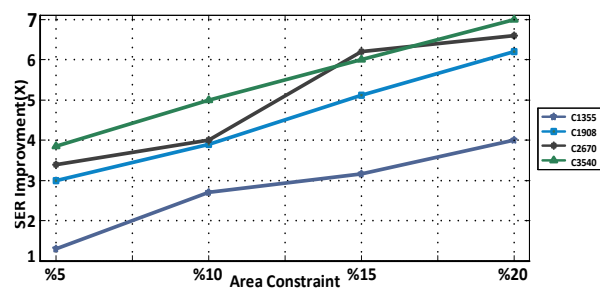


ب: نرخ خطای نرم در حضور METها

شکل ۸: تأثیر انتخاب مجموعه نامزد در حضور SET و MET بر بهبود SER مدار

flipflop selection,” In *Computer-Aided Design, IEEE/ACM International Conference on*, pp. 502–509, 2006.

- [4] R. K. Lawrence and A. T. Kelly, “Single Event Effect Induced Multiple-Cell Upsets in a Commercial 90 nm CMOS Digital Technology,” *IEEE Trans. Nucl. Sci.*, vol. 55, no. 6, pp. 3367–3374, 2008.
- [5] D. Falguère and S. Petit, “A statistical method to extract MBU without scrambling information,” *IEEE Trans. Nucl. Sci.*, vol. 54, no. 4, pp. 920–923, 2007.
- [6] H. M. Huang and C. Wen, “Layout-Based Soft Error Rate Estimation Framework considering Multiple Transient Faults - from Device to Circuit Level,” *IEEE Trans. Comput. Des. Integr. Circuits Syst.*, vol. 11, no. 4, pp. 1–1, 2015.
- [7] A. C. C. Chang, R. H. M. Huang and C. H. P. Wen, “CASSER: A closed-form analysis framework for statistical soft error rate,” *IEEE Trans. Very Large Scale Integr. Syst.*, vol. 21, no. 10, pp. 1837–1848, 2013.
- [8] M. Ebrahimi, H. Asadi, R. Bishnoi and M. B. Tahoori, “A layout-based approach for multiple event transient analysis,” In *Proceedings of the 50th Annual Design Automation Conference*, vol. 0070, no. c, 2013.
- [9] N. Miskov-Zivanov and D. Marculescu, “Multiple transient faults in combinational and sequential circuits: a



شکل ۹: تأثیر محدودیت سربار مساحت بر میزان بهبود نرخ خطای نرم ناشی از METs

مراجع

- [۱] پرهام درّی و علی قیاسیان «طراحی و پیاده‌سازی رمزنگار AES در بستر FPGA برای خطوط پرسرعت»، *مجله مهندسی برق دانشگاه تبریز*، دوره ۴۶، شماره ۱، صفحات ۱۵۳–۱۶۷، ۱۳۹۵.
- [2] S. Borkar, “Thousand core chips: a technology perspective,” In *Proceedings of the 44th Annual Design Automation Conference*, 2007, pp. 746–749.
- [3] R. R. Rao, D. Blaauw and D. Sylvester, “Soft error reduction in combinational logic using gate resizing and

- Design, Automation & Test in Europe Conference & Exhibition (DATE)*, pp. 1–6, 2011.
- [14] R. Rajaramant, J. S. Kim, N. Vijaykrishnan, Y. Xie and M. J. Irwin, "SEAT-LA: a soft error analysis tool for combinational logic," *In VLSI Design, 19th International Conference on*, pp. 4–9, 2006.
- [15] "index @ www.nangate.com".
- [16] M. Raji, B. Ghavami and H. Pedram, "Gate Resizing for Soft Error Rate Reduction in Nano-scale Digital Circuits Considering Process Variations," *In Digital System Design (DSD), Euromicro Conference on*, pp. 445–452, 2015.
- [17] W. Sheng, L. Xiao and Z. Mao "Soft Error Optimization of Standard Cell Circuits Based on Gate Sizing and Multi-objective Genetic Algorithm," *Design Automation Conference*, pp. 502–507, 2009.
- systematic approach," *Comput. Des. Integr. Circuits Syst. IEEE Trans.*, vol. 29, no. 10, pp. 1614-1627, 2010.
- [10] S. N. Pagliarini and D. Pradhan, "A placement strategy for reducing the effects of multiple faults in digital circuits," *In On-Line Testing Symposium (IOLTS)*, pp. 69–74, 2014.
- [11] B. T. Kiddie and W. H. Robinson, "Alternative Standard Cell Placement Strategies for Single-Event Multiple-Transient Mitigation," *In VLSI (ISVLSI), 2014 IEEE Computer Society Annual Symposium on*, pp. 589–594, 2014.
- [12] M. Ebrahimi, H. Asadi and M. B. Tahoori, "A layout-based approach for multiple event transient analysis," *Proc. 50th Annu. Des. Autom. Conf.*, 2013.
- [13] M. Fazeli, S. N. Ahmadian, S. G. Miremadi, H. Asadi and M. B. Tahoori, "Soft error rate estimation of digital circuits in the presence of multiple event transients (METs)," *In*

زیر نویس ها

¹² Common in Fan-out (CFO)

¹³ Adjacency Set (AS)

¹⁴ Fan-in Cone (FIC)

¹⁵ Fan-out Cone (FOC)

¹⁶ Fan-in Cone (FIC)

¹⁷ Fan-out Cone (FOC)

¹⁸ Sum of Observable Transient Faults (SOFT)

¹⁹ Propagation Factor (PF)

²⁰ Minimum Contribution Rate (MCR)

²¹ Soft Error Sensitivity (SES)

¹ Single Event Transient (SET)

² Soft Error Rate (SER)

³ Logical Masking

⁴ Electrical Masking

⁵ Timing Masking

⁶ Single Transient Faults (STFs)

⁷ Multiple Event Transient (MET)

⁸ Multiple Transient Fault (MTF)

⁹ Gate and its Fan-in (GFI)

¹⁰ Gate and its Fan-out (GFO)

¹¹ Common in Fan-in (CFI)