

طراحی و ساخت کنترل کننده بهبودیافته مد لغزشی مرتبه کاهش یافته با کنترل PI برای مبدل POESLL

علیرضا گودرزian^۱، کارشناس ارشد؛ نویدرضا ابجدی^۱، استادیار؛ غلامرضا عرب مارکده^۲، دانشیار؛ یحیی عبداللهی^۱، کارشناس ارشد

۱- دانشکده فنی و مهندسی - دانشگاه شهرکرد - شهرکرد - ایران

۲- قطب علمی آنالیز ریاضی، بهینه‌سازی و کنترل ایران - دانشگاه شهرکرد - شهرکرد - ایران

alireza.g@stu.sku.ac.ir, navidabjadi@yahoo.com, arab-gh@eng.sku.ac.ir, yahya-14@yahoo.com

چکیده: در این مقاله، یک کنترل کننده بهبودیافته مد لغزشی مرتبه کاهش یافته و با کنترل کننده PI، برای مبدل positive output elementary super lift Luo (POESLL) در حالت پیوسته معرفی شده است. به دلیل عمل کلیدزنی پی‌درپی، رفتار این مبدل به شدت غیر خطی است. کنترل کننده طراحی شده عملکرد دینامیکی و استاتیکی این مبدل را بهبود می‌دهد. اصلی‌ترین مزیت این کنترل کننده در مقایسه با دیگر کنترل کننده‌ها، کنترل و تنظیم ولتاژ خروجی به‌طور مستقیم است. عملکرد این کنترل کننده در برابر تغییرات نقطه کار در نرم‌افزار MATLAB بررسی شده است. علاوه بر این، یک نمونه آزمایشگاهی از آن ساخته شده است. نتایج عملی نیز نشان می‌دهند که این کنترل کننده، عملکرد بسیار خوبی در مقابل تغییر نقطه کار مبدل دارد.

واژه‌های کلیدی: مبدل Luo، کنترل کننده مد لغزشی، کنترل مستقیم ولتاژ، نمونه آزمایشگاهی.

Design and Implementation of an Improved Reduced-order Sliding Mode Controller with PI Control for POESLL Converter

A.R. Goudarzian¹, MSc; N.R. Abjadi¹, Assistant Professor; G.R. Arab Markadeh^{1,2}, Associate Professor; Y. Abdollahi¹, MSc

1- Faculty of Engineering, University of Shahrekord, Shahrekord, Iran

2- Center of Excellence for Mathematics, University of Shahrekord, Shahrekord, Iran

Emails: alireza.g@stu.sku.ac.ir, navidabjadi@yahoo.com, arab-gh@eng.sku.ac.ir, yahya-14@yahoo.com

Abstract: In this paper, an improved reduced-order sliding mode controller with PI controller is discussed for positive output elementary super-lift Luo (POESLL) converter operated in continuous conduction mode. Because of successive switching operation, the dynamic of this converter is nonlinear severely. The proposed controller improves the dynamic and static performance of the converter. The main advantage of the proposed controller compared with other controllers is the direct control and regulation of the output voltage. The performance of this controller is verified for various operating points in MATLAB software. In addition, a laboratory setup is made. Experimental results show the controller has an excellent performance against variations of the operating point.

Keywords: Luo converter, sliding mode controller, direct voltage control, laboratory prototype.

تاریخ ارسال مقاله: ۱۳۹۳/۰۳/۲۰

تاریخ اصلاح مقاله: ۱۳۹۳/۰۷/۲۰ و ۱۳۹۳/۱۰/۰۴

تاریخ پذیرش مقاله: ۱۳۹۴/۰۲/۰۷

نام و نام خانوادگی نویسنده مسئول: علیرضا گودرزian

نشانی نویسنده مسئول: ایران - شهرکرد - بلوار رهبر - دانشگاه شهرکرد - دانشکده فنی و مهندسی.

۱- مقدمه

امروزه ارائه توپولوژی‌های جدید مبدل‌های DC/DC به سرعت رو به افزایش است. این مبدل‌ها کاربردهای فراوانی در انرژی‌های نو، سلول‌های خورشیدی، کامپیوترها، تجهیزات پزشکی و صنعت دارند [۱-۳]. از مبدل‌هایی مانند بک، بوست، بک‌بوست، کاک، سپیک و زتا به منظور کاهش یا افزایش ولتاژ DC استفاده می‌شود. اما به دلیل اثرات پارازیتی، بهره ولتاژ این مبدل‌ها محدود است. برخی از این مبدل‌ها قادر هستند ولتاژ ورودی را تا ولتاژهای بالاتر افزایش دهند. اما با افزایش ولتاژ خروجی، چرخه کاری کلید آن‌ها نیز افزایش می‌یابد که این باعث کاهش بازدهی مبدل، ورود به ناحیه ناپایداری، استفاده از ادوات الکترونیک قدرت با توان نامی بالا و افزایش هزینه‌ها می‌شود [۴-۷].

استفاده از روش Super Lift، یک روش جدید است که باعث افزایش طبقه به طبقه ولتاژ خروجی می‌شود [۸، ۹]. مبدل POESLL، یک مبدل با ساختاری ساده است که در مهر و موم‌های اخیر مطرح شده است و از روش Super Lift به منظور افزایش ولتاژ ورودی استفاده می‌کند. این مبدل مزایای خوبی در مقابل سایر مبدل‌های DC/DC دارد. بهره ولتاژ و بهره کلید این مبدل از دیگر مبدل‌های DC/DC بیش‌تر است و این باعث کاهش تلفات و افزایش بازدهی آن می‌شود. همچنین در شرایط کاری برابر، متوسط جریان سلف آن از دیگر مبدل‌ها کم‌تر است و در عمل جریان سلف محدود است؛ پس می‌توان از آن در توان‌های بالاتر استفاده کرد و علاوه بر این وجود یک خازن اضافی در آن، باعث کاهش رپیل ولتاژ خروجی می‌شود [۱۰].

به دلیل عملکرد کلیدزنی پی‌درپی، رفتار دینامیکی و استاتیکی این مبدل به شدت غیرخطی است. حل مشکل کنترل مبدل‌های DC/DC در کاربردهای عملی اهمیت زیادی دارد [۱۱-۱۳]. راهکارهای کنترلی مختلفی شامل روش‌های خطی و غیرخطی ارائه شده است. استفاده از کنترل کننده PID برای کنترل مبدل‌های DC/DC در [۱۴-۱۷] مطرح شده است. اما این کنترل کننده تنها در یک نقطه کار عملکرد خوبی دارد؛ حال آنکه روش‌های غیرخطی مورد توجه خاصی قرار گرفته‌اند که ناشی از پاسخ گذرای خوب، مقاوم بودن و رفتار پایدار در مقابل تغییرات بار و ولتاژ ورودی است. کنترل کننده مد لغزشی یکی از انواع کنترل کننده‌های غیرخطی است که دارای سیگنال کنترل ناپیوسته است و این باعث می‌شود که سیستم در طول یک سطح عرضی دلخواه بلغزد و به نقطه کار مطلوب خود برسد. یک کنترل کننده مد لغزشی دارای یک ساختار کنترلی متغیر است [۱۸].

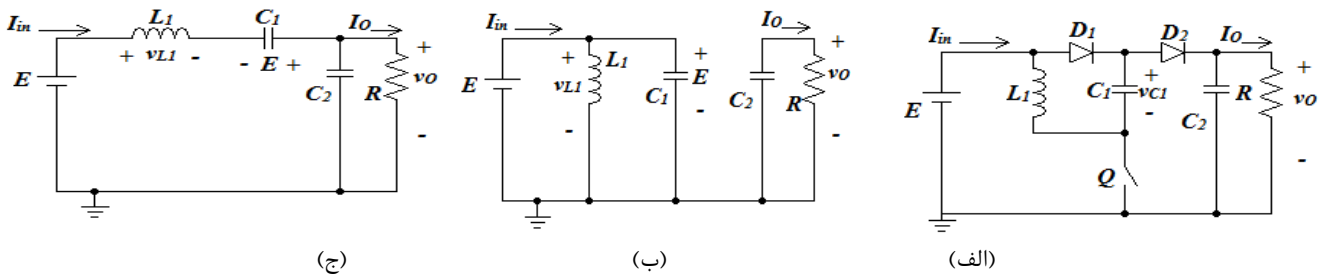
استفاده از کنترل کننده مد لغزشی برای چند نمونه مبدل DC/DC در [۱۹-۲۱] ذکر شده است. در این مراجع عملکرد مناسب کنترل کننده مد لغزشی نسبت به کنترل کننده کلاسیک PID، نشان داده شده است.

کنترل کننده مد لغزشی، رفتار مناسبی در مقابل تغییر نقطه کار مبدل دارد. اما مشکل اصلی کنترل کننده مد لغزشی، فرکانس بالای کلیدزنی است که موجب افزایش تلفات، کاهش بازدهی، افزایش تداخلات الکترومغناطیسی و افزایش نویزپذیری می‌شود. همچنین باید توجه داشت که فرکانس کلیدزنی کلید محدود است و فرکانس بالا موجب اختلال در عملکرد کلید می‌شود. برای رفع مشکلات ذکر شده، از تکنیک کلیدزنی هیستریزس استفاده می‌شود که در [۲۲، ۲۳] شرح داده شده است. این تکنیک باعث تثبیت حداکثر فرکانس کلیدزنی می‌شود ولی مشکلاتی نیز دارد. مهم‌ترین مشکل این روش، کنترل غیرمستقیم ولتاژ است. همچنین نیاز به تمام متغیرهای حالت دارد؛ نیاز به دانستن مقدار دقیق بار خروجی و ولتاژ ورودی دارد و در مجموع به پنج سنسور نیاز دارد. ولتاژ خروجی دارای خطای حالت ماندگار است. این مشکلات ساخت آن را با چالش مواجه کرده است. علاوه بر این موارد، ضرایب کنترل کننده مد لغزشی به صورت آزمون و خطا انتخاب می‌شوند.

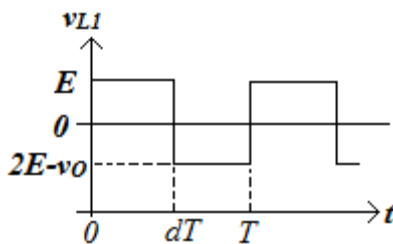
در [۲۴، ۲۵] کنترل کننده‌های مد لغزشی کاهش یافته برای مبدل‌های کاک و NOESLL معرفی شده‌اند. اما این کنترل کننده‌ها قادر به حذف خطای حالت ماندگار ولتاژ خروجی نیستند.

مشکلات ذکر شده برای کنترل مبدل POESLL، با استفاده از کنترل کننده پیشنهاد شده در این مقاله رفع شده است. استفاده از معادلات کاهش یافته باعث کاهش تعداد سنسورها می‌شود و در طراحی کنترل کننده مد لغزشی بهبود یافته نیازی به دانستن مقدار بار و ولتاژ ورودی نیست؛ پس در مجموع نیاز به دو سنسور دارد و خطای حالت ماندگار ولتاژ با بهبود عملکرد کنترل کننده مد لغزشی رفع شده است. همچنین استفاده از کنترل کننده PI باعث بهبود پاسخ گذرای مبدل می‌شود و علاوه بر این موارد، روشی مدون ارائه شده است تا ضرایب کنترل کننده بهبود یافته مد لغزشی تعیین شوند.

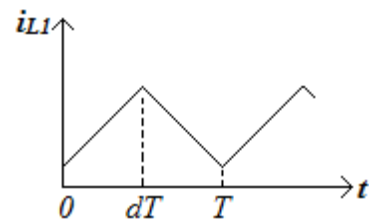
عملکرد کنترل کننده پیشنهاد شده در این مقاله در برابر کنترل کننده مد لغزشی [۲۲] مقایسه شده است. در ادامه نمونه آزمایشگاهی سیستم پیشنهاد شده، به صورت آنالوگ ساخته شده است و نتایج عملی نشان داده شده‌اند. ساخت سیستم فوق به صورت آنالوگ کمک ارزنده‌ای به محققان در این زمینه خواهد بود که می‌تواند موجب تجاری سازی آن شود. مهم‌ترین مزایای کنترل کننده پیشنهادی عبارتند از: کنترل مستقیم ولتاژ، ساختار ساده و قابلیت ساخت آنالوگ آن، محاسبات کم و تعداد سنسورهای کم. علاوه بر این موارد، در ساخت عملی آن، مشکل اشباع انتگرال گیرها نیز حل شده است.



شکل ۱: (الف) توپولوژی مبدل [۴]؛ (ب) مدار در لحظه وصل بودن کلید [۴]؛ (ج) مدار در لحظه قطع بودن کلید [۴]



شکل ۳: شکل موج ولتاژ سلف ورودی [۴]



شکل ۲: شکل موج جریان سلف ورودی [۴]

عملکرد مبدل POESLL در حالت پیوسته (CCM)، مدل کاهش یافته مبدل در حالت پیوسته و طراحی پارامترهای مدار در قسمت ۲، ارائه شده اند. طراحی کنترل کننده بهبود یافته مد لغزشی با مرتبه کاهش یافته با کنترل کننده PI در قسمت ۳ ارائه شده است و در نهایت نتایج شبیه سازی و مشاهدات عملی آورده شده اند.

۲- مدل سازی مبدل در حالت پیوسته

دیاگرام مداری مبدل POESLL در شکل (۱-الف) نشان داده شده است. افزایش ولتاژ خروجی به وسیله کنترل چرخه کاری کلید امکان پذیر است. در این شکل، E ولتاژ ورودی، D1 و D2 دیودهای مبدل، C1 و C2 خازن های ورودی و خروجی و L1 سلف ورودی است. R مقاومت خروجی، iL1 جریان سلف و vC1 و vo ولتاژ خازن های ورودی و خروجی هستند. در این قسمت فرض می شود که کلیه قطعات ایده آل بوده و مبدل در حالت پیوسته کار کند. برای آنالیز مبدل فرض می شود که مبدل در دو حالت کلید وصل و کلید قطع کار کند.

در وضعیت کلید وصل، D1 هدایت می کند و D2 قطع است. L1 و C1 شارژ می شوند. جریان سلف متناسب با ولتاژ ورودی افزایش می یابد. در این زمان خازن C2 انرژی لازم برای بار را تأمین می کند. دیاگرام این حالت در شکل (۱-ب) نشان داده شده است. مدل مبدل در این حالت به صورت (۱) بیان می شود [۱۶]:

$$\begin{aligned} L_1 \frac{di_L}{dt} &= E \\ C_2 \frac{dvo}{dt} &= -\frac{vo}{R} \end{aligned} \quad (1)$$

در حالت دوم کلید قطع می شود؛ D2 هدایت می کند و D1 قطع می شود. جریان سلف متناسب با $2v_o - E$ شروع به کاهش می کند و انرژی بار را تأمین می کند. دیاگرام این حالت در شکل (۱-ج) نشان داده شده است. مدل مبدل در این حالت به صورت (۲) بیان می شود [۱۶]:

$$\begin{aligned} L_1 \frac{di_L}{dt} &= 2E - vo \\ C_2 \frac{dvo}{dt} &= i_L - \frac{vo}{R} \end{aligned} \quad (2)$$

معادله مربوط به خازن C1، از رابطه (۳) تعیین می شود که u سیگنال کنترل ورودی است. (u=0) وقتی که کلید قطع است و u=1 وقتی که کلید وصل است [۱۶]:

$$C_1 \frac{dv_{C1}}{dt} = (1-u)i_L \quad (3)$$

در مبدل POESLL دو خازن وجود دارد که $v_{C1}=E$ و $v_{C2}=vo$ هستند. اما در مدل کاهش یافته به تمام متغیرهای حالت به جز vC1 نیاز است. این متغیرهای حالت شامل iL و vo هستند که با x1 و x2 نمایش داده می شوند.

مدل کاهش یافته مبدل POESLL با استفاده از روابط (۱) و (۲) به صورت (۴) و (۵) بیان می شود:

$$\begin{bmatrix} \frac{di_L}{dt} \\ \frac{dvo}{dt} \end{bmatrix} = A \begin{bmatrix} i_L \\ vo \end{bmatrix} + Bd + \gamma \quad (4)$$

$$A = \begin{bmatrix} 0 & \frac{1}{L_1} \\ \frac{1}{RC_2} & -\frac{1}{RC_2} \end{bmatrix} \quad B = \begin{bmatrix} \frac{v_o - E}{L_1} \\ -\frac{i_L}{RC_2} \end{bmatrix} \quad \gamma = \begin{bmatrix} \frac{2E}{L_1} \\ 0 \end{bmatrix} \quad (5)$$

شکل های ۲ و ۳ جریان و ولتاژ سلف را نشان می دهند.

۲-۱- طراحی اجزای مدار

مقادیر پارامترها و متغیرهای مدار در جدول (۱) آورده شده اند. محاسبات مربوط به طراحی اجزای مدار برای $R=30\Omega$ به صورت زیر انجام می شود. رابطه چرخه کاری کلید، برای عملکرد مبدل POESLL در حالت پیوسته به صورت (۶) است [۱۰]:

مقدار ریبیل ولتاژ خروجی در فرکانس نامی برابر با 0.5 ولت در نظر گرفته می‌شود. در این صورت ظرفیت خازن نیز به صورت زیر محاسبه می‌شود [۱۰]:

$$C_2 = \frac{(I - d) \times V_o}{f \times \Delta V_o \times R} = 30 \mu F \quad (13)$$

مقدار خازن خروجی برابر با استاندارد ۳۳ میکروفاراد در نظر گرفته می‌شود.
مقادیر ماتریس‌های γ ، B و A عبارت‌اند از:

$$A = \begin{bmatrix} 0 & -10000 \\ 1111 & -1111 \end{bmatrix} \quad B = \begin{bmatrix} 120000 \\ -2190 \end{bmatrix} \quad \gamma = \begin{bmatrix} 120000 \\ 0 \end{bmatrix} \quad (14)$$

۳- طراحی کنترل کننده

هدف از این قسمت طراحی یک کنترل کننده بهبودیافته مد لغزشی با کنترل PI برای مدل کاهش یافته مبدل POESLL است. باید توجه شود که ساختار این مبدل، غیر مینیم فاز است. بنابراین لازم است که جریان سلف ورودی اندازه گیری شود.

ساختار کنترلی که در این مقاله برای کنترل مبدل در نظر گرفته شده است در شکل ۴ نشان داده شده است. این کنترل کننده از دو قسمت تشکیل شده است. یک قسمت شامل کنترل کننده PI است و قسمت دیگر کنترل کننده مد لغزشی بهبود یافته است. ورودی قسمت اول خطای ولتاژ خروجی و مرجع آن است که به یک کنترل کننده PI داده می‌شود و خروجی آن i_{Lref} را تولید می‌کند.

قسمت دوم، کنترل کننده بهبودیافته مد لغزشی است که شامل مجموع خطای حالت ماندگار سلف و ولتاژ خروجی است. بردار متغیرهای حالت، مقادیر مرجع و خطای آن‌ها به صورت زیر در نظر گرفته می‌شوند:

$$X = [x_1 \ x_2]^T = [i_L \ v_o]^T \quad (15)$$

$$H = [i_{Lref} \ v_{oref}]^T \quad (16)$$

$$e = [e_1 \ e_2]^T = [x_1 - i_{Lref} \ x_2 - v_{oref}]^T = X - H \quad (17)$$

که i_{Lref} خروجی بلوک PIC است و عبارت است از:

$$i_{Lref} = (k_p + k_i \int) e_2 \quad (18)$$

مدل کاهش یافته مبدل POESLL به صورت رابطه (۴) است و سطح لغزش کنترل کننده بهبود یافته مد لغزشی به صورت رابطه (۱۹) انتخاب می‌شود. در این سطح لغزش، انتگرال گیر به رفع خطای حالت ماندگار ولتاژ خروجی کمک می‌کند.

$$S = (k_1 e_1 + k_2 e_2 + k_3 \int e_2) \quad (19)$$

شرط لازم و کافی برای اینکه سیستم بتواند حول سطح لغزش حرکت کند و خطای حالت ماندگار (ماتریس e)، به صورت نمایی به صفر میل کند به صورت (۲۰) بیان می‌شود [۱۸]:

$$S\dot{S} < 0 \quad (20)$$

$$\frac{V_o}{E} = I + \frac{I}{I - D} \quad (6)$$

با فرض $E=6$ و $V_o=18$ ، $D=0.5$ تعیین می‌شود.

جریان خروجی به صورت زیر محاسبه می‌شود:

$$I_o = \frac{V_o}{R} = 0.6 A \quad (7)$$

توان خروجی نیز عبارت است از:

$$P_o = V_o I_o = 10.8 W \quad (8)$$

فرض می‌شود که المان‌ها ایده آل باشند. در این صورت توان ورودی و خروجی با یکدیگر برابر هستند. توان و جریان ورودی به صورت (۹) و (۱۰) تعیین می‌شوند:

$$P_o = 10.8 W \rightarrow P_{in} = 10.8 W \quad (9)$$

$$I_{in} = \frac{P_{in}}{E} = 1.8 A \quad (10)$$

I_{inMAX} برابر با ۳ آمپر در نظر گرفته می‌شود (در عمل نیز از یک منبع ولتاژ ۳ آمپری استفاده شد). ریبیل جریان ورودی و ریبیل جریان سلف با یکدیگر برابر هستند [۴] و با توجه به رابطه (۱۰) و به منظور عملکرد پیوسته (CCM) مبدل، حداکثر ریبیل جریان سلف به صورت (۱۱) تعیین می‌شود:

$$\begin{cases} I_{in} = 1.8 A \\ i_{inmax} = 3 A \end{cases} \rightarrow \frac{\Delta i_{Lmax}}{2} = 1.2 \rightarrow \Delta i_{Lmax} = 2.4 A \quad (11)$$

$$\frac{\Delta i_{inmax}}{2} = \frac{\Delta i_{Lmax}}{2} = i_{inmax} - I_{in}$$

ریبیل جریان سلف برابر با $1/5$ آمپر انتخاب می‌شود که از Δi_{Lmax} کم تر است.

فرکانس مبدل در نقطه کار مشخص شده در جدول ۱، برابر با $20 kHz$ در نظر گرفته می‌شود. با توجه به اینکه مقدار ریبیل جریان سلف در این نقطه کار برابر با $1/5$ آمپر در نظر گرفته شد؛ مقدار سلف به صورت زیر محاسبه می‌شود [۱۰]:

$$L_l = \frac{E}{f \times \Delta i_L} d = 100 \mu H \quad (12)$$

جدول ۱: اجزای مدار

نام پارامترها	سمبل	مقدار
ولتاژ ورودی	E	۶V
ولتاژ خروجی	v_o	۱۸V
سلف	L_l	۱۰۰ μH
خازن	C_1, C_2	۳۳ μF
فرکانس	F_s	۲۰ kHz
مقاومت بار	R	۳۰ Ω
توان خروجی	P_{out}	۱۰.۸W
توان ورودی	P_{in}	۱۰.۸W
متوسط جریان ورودی	I_{in}	۱.۸A
متوسط جریان خروجی	I_{out}	۰.۶A
چرخه کاری	d	۰.۵
ریبیل جریان	Δi_L	۱/۵A
ریبیل ولتاژ	Δv_o	۰.۵V

$$u = \frac{1}{2} - \frac{1}{2} \text{sign}(MS) \quad (31)$$

که در آن M ضریبی برای داشتن درجه آزادی بیش تر است.

در عمل u به صورت (۳۲) و (۳۳) تعیین می شود.

$$u = 1 \quad \text{for} \quad S < -\delta \quad (32)$$

$$u = 0 \quad \text{for} \quad S > \delta \quad (33)$$

شرط رسیدن تضمین می کند که مسیرهای حالت به سمت $S=0$ همگرا شوند. با توجه به (۲۲) و (۲۳)، مشتق سطح لغزش به صورت (۳۴) تعیین می شود.

$$\dot{S} = \begin{cases} K(Ae) + k_2 e_2 : S > \delta \\ K(Ae + B) + k_3 e_2 : S < -\delta \end{cases} \quad (34)$$

با جایگذاری K و k_3 و A و B در رابطه (۳۴) مشتق سطح لغزش به صورت (۳۵) تعیین می شود.

$$\dot{S} = \begin{cases} 1111e_1 - 911.11e_2 \\ 1111e_1 - 911.11e_2 + 120000 \end{cases} \quad (35)$$

رابطه (۳۵)، معادله دو خط در صفحه حالت با شیب برابر حول مبدأ است. این دو معادله وضعیت سطح لغزش را در دو حالت کلید وصل و کلید قطع نشان می دهند که در شکل ۵ نشان داده شده است. وقتی که مسیر حالت در بالای سطح لغزش است، کلید خاموش می شود و وقتی که مسیر حالت در پایین سطح لغزش است، کلید روشن می شود.

در معادلات (۳۲) و (۳۳)، δ به صورت (۳۶) تعیین می شود [۲۲].

$$\delta = \frac{I}{\Gamma_1 + \Gamma_2} \quad (36)$$

که:

$$\Gamma_1 = \frac{2F_s}{k_1 \frac{E}{L} - k_2 \frac{V_0}{RC_2} + k_3 (V_0 - V_{\text{Oref}})} \quad (37)$$

$$\Gamma_2 = \frac{-2F_s}{K_1 \frac{2E - V_0}{L} + k_2 \frac{I_L - V_0/R}{C_2} + k_3 (V_0 - V_{\text{Oref}})} \quad (38)$$

با توجه به مقادیر مشخص شده در جدول ۱ و ضرایب کنترل کننده مد لغزشی، $\delta = 0.5$ انتخاب می شود.

دینامیک سیستم بر روی سطح لغزش تنها به وسیله ضرایب k_1-k_3 تعیین می شود. بنابراین سیستم حساس به نوسانات پارامترهای مدار نیست.

دینامیک خطای سیستم، به صورت زیر به دست می آید:

$$\dot{e} = \dot{X} - \dot{H} = Ax + Bu + \gamma - \dot{H} = Ae + AH + Bu + \gamma - \dot{H} \quad (21)$$

متوسط مقدار سیگنال ورودی کنترلی u_{eq} ، با قرار دادن $\dot{S}=0$ تعیین می شود:

$$\dot{S} = k_1 \dot{e}_1 + k_2 \dot{e}_2 + k_3 e_2 = K\dot{e} + k_3 e_2 \quad (22)$$

$$\dot{S} = K(Ae + AH + Bu_{eq} + \gamma - \dot{H}) + k_3 e_2 = 0 \quad (23)$$

$$K = [k_1 \ k_2] \quad (24)$$

با حل معادله (۲۳) متوسط سیگنال کنترل ورودی به دست می آید که به صورت (۲۵) تعیین می شود.

$$u_{eq} = -[KB]^{-1} (K[Ae + AH + \gamma - \dot{H}] + k_3 e_2) \quad (25)$$

با قرار دادن (۲۵) در (۲۱) دینامیک خطای سیستم به صورت (۲۶) بازنویسی می شود.

$$\dot{e} = Ae + AH - B[KB]^{-1} (K[Ae + AH + \gamma - \dot{H}] + k_3 e_2) + \gamma - \dot{H} \quad (26)$$

با به کار بردن شرط $AH - \dot{H} + \gamma = 0$ در معادله (۲۶)، معادلات (۲۷) و (۲۸) به دست می آیند.

$$\dot{e} = Ae - B[KB]^{-1} (K[Ae] + k_3 e_2) \quad (27)$$

$$\begin{aligned} \dot{e} &= (A - B[KB]^{-1} KA)e - B[KB]^{-1} k_3 e_2 \\ &= ((A - B[KB]^{-1} KA) - B[KB]^{-1} k_3 [0 \ I])e = A_{eq}e \end{aligned} \quad (28)$$

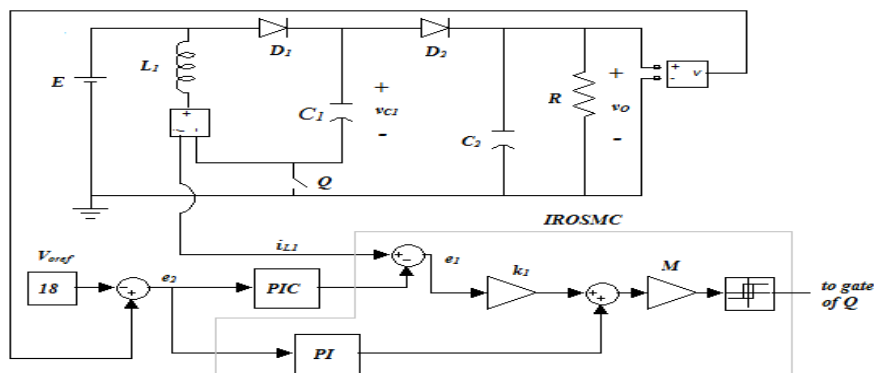
K و k_3 طوری تعیین می شوند که مقادیر ویژه A_{eq} دارای قسمت حقیقی منفی باشند تا پایداری معادله (۲۸) تضمین شود. با انتخاب A_{eq} به صورت (۲۹)، دینامیک مبدل دارای دو قطب پایدار است.

$$A_{eq} = \begin{bmatrix} -560 & 330 \\ 1121 & -1300 \end{bmatrix}, \quad \begin{cases} s_1 = -218.1 \\ s_2 = -1641.9 \end{cases} \quad (29)$$

با استفاده از (۲۸)، K و k_3 به صورت (۳۰) تعیین می شوند.

$$K = [k_1 \ k_2] = [1.5] , \quad k_3 = 320 \quad (30)$$

سطح لغزش (۱۹) بیان می کند که اگر مبدل POESLL، حول $S=0$ حرکت کند؛ خطاهای e_1 و e_2 به صفر میل پیدا می کنند. قانون کنترل مد لغزشی، به صورت (۳۱) است [۱۸].



شکل ۴: ساختار کنترل کننده مد لغزشی

جدول ۳: اجزای مدار

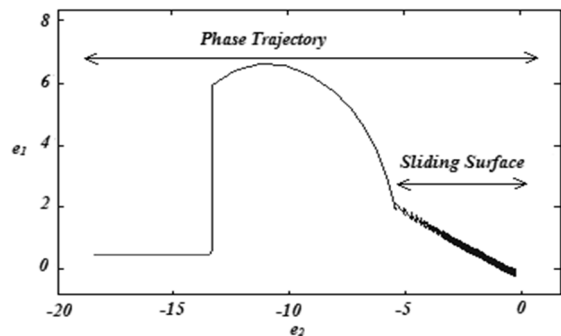
نام قطعه	نوع قطعه
سنسور جریان	LA۲۵-NP (۵A/۰/۰۲۵A)
کلید	IRFZ۰۵۴
دیود	۱N۵۸۲۲
خازن	۳۳μF/۵۰V
سلف	۱۰۰ μH (ferrit core)/۵A
آپامپ	LF۳۵۱
اپتو کوپلر	TLP۲۵۰

داده شده است. ادوات مدار نیز، به صورت جدول ۳ انتخاب می شوند. پارامترهای کنترل کننده در شبیه سازی عبارتند از: $k_I=1$ ، $k_F=0.5$ ، $k_P=0.1205$ ، $\delta=0.5$ ، $k_F=320$ که در قسمت های قبل، به دست آمدند. عملکرد نمونه آزمایشگاهی به این صورت است:

ولتاژ خروجی و جریان سلف به وسیله مقاومت های تقسیم کننده و سنسور اثر هال اندازه گیری شده اند. مقاومت خروجی سنسور اثر هال طوری تنظیم شده است که به ازای جریان ۵ آمپر در ورودی، ولتاژ ۳/۷۵ ولت (معادل جریان ۰/۰۲۵ آمپری) را در خروجی نشان دهد. به این دلیل از یک مدار مجزا برای تنظیم ولتاژ خروجی سنسور استفاده شده است. برای اینکه از ولتاژ خروجی مبدل جریانی کشیده نشود؛ از یک بافر استفاده شده است. ولتاژ خروجی بافر توسط آپامپ LF351 با سیگنال مرجع ولتاژ خروجی مقایسه می شود و این سیگنال به یک PIC، داده می شود تا مرجع جریان سلف را تولید کند. سپس این سیگنال با جریان سلف مقایسه می شود تا خطای جریان به دست آید. خطای ولتاژ به کنترل کننده PI داده شده است و سطح لغزش نیز حاصل جمع خطای جریان و خروجی کنترل کننده PI است. آفست آپامپ ها باعث اشباع کنترل کننده های PI می شود. برای حذف این آفست از یک فیلتر بالاگذر که متشکل از مقاومت و سلف است؛ استفاده می شود و ولتاژ فیلترشده برابر با ولتاژ دو سر سلف است. سپس سطح لغزش در ضریبی مناسب ضرب می شود و به مدار هیستریزس داده می شود تا سیگنال PWM کلید را تولید کند. به منظور تحریک کلید از یک ایزولاتور استفاده شده است. خروجی ایزولاتور به وسیله یک مقاومت به گیت کلید داده می شود.

۴-۱- حالت گذرا

شکل ۷ حالت گذرای ولتاژ خروجی را نشان می دهد. در این شبیه سازی $E=6/8V$ و $R=30\Omega$ هستند. مشاهده می شود که ولتاژ خروجی فراجهدشی ندارد و زمان نشست آن ها برابر با ۰/۰۰۲ ثانیه برای $E=6/8V$ است. همچنین شکل ۸ حالت گذرای ولتاژ خروجی را برای $E=6V$ و $R=300, 500, 600\Omega$ نشان می دهد. این شکل نشان می دهد که فراجهدش ولتاژ غیر محسوس است و زمان نشست به ترتیب برابر با ۰/۰۰۳، ۰/۰۰۵، ۰/۰۰۲۴، ۰/۰۰۲ ثانیه است.



شکل ۵: منحنی فاز کنترل کننده پیشنهادی

۳-۱- تنظیم PIC

کنترل کننده PI شرایط را برای به دست آوردن غیرمستقیم مرجع جریان سلف فراهم می کند. از ولتاژ خروجی فیدبک گرفته و با مقدار مرجع مقایسه می شود. این سیگنال خطا، ورودی PIC است که با تنظیم آن می توان فراجهدش حالت گذرا را رفع کرد. خروجی PIC نیز مرجع جریان سلف را تولید می کند. تنظیم این کنترل کننده نیاز به دو ضریب k_P و k_I دارد که با استفاده از روش زیگلر نیکولز تنظیم می شوند. طبق این روش، ضریب k_{cr} که در خروجی مبدل POESLL قرار می گیرد؛ طوری تعیین می شود که سسیتیم را در آستانه ناپایداری قرار دهد ($k_{cr}=0.241$) و متناظر با آن دوره نوسانات برابر با $p_{cr}=0.16$ است. ضرایب PIC به صورت $k_I=p_{cr}/1/2=0.133$ و $k_P=k_{cr}/2=0.1205$ تعیین می شوند.

نتایج حاصل از تنظیم ضرایب PIC برای عملکرد مناسب مبدل با پیدا کردن مقادیر حداقل انتگرال مربع خطا (ISE)، انتگرال زمان مربع خطا (ITAE) و انتگرال اندازه خطا (IAE) در جدول ۲ لیست شده اند.

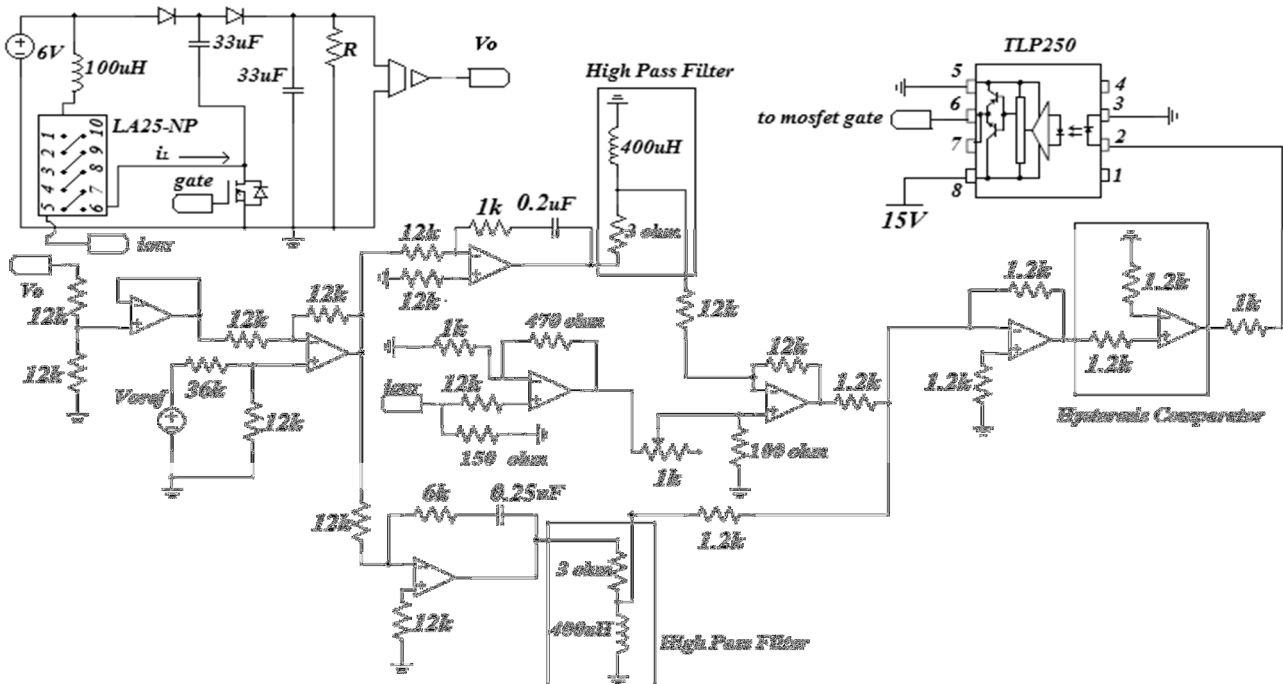
باید توجه کرد که ضرایب PIC در مقابل ضرایب کنترل کننده بهبودیافته مد لغزشی، بسیار کوچک هستند. بنابراین تأثیری در پایداری کنترل کننده بهبودیافته مد لغزشی ندارند. اما وجود PIC باعث بهبودی در پاسخ گذرای مبدل می شود و همچنین باعث تنظیم خودکار مرجع جریان سلف می شود (برخلاف روش [۲۲، ۲۳] که مرجع جریان سلف به بار وابسته است).

جدول ۲: نتایج به دست آمده برای تنظیم PIC

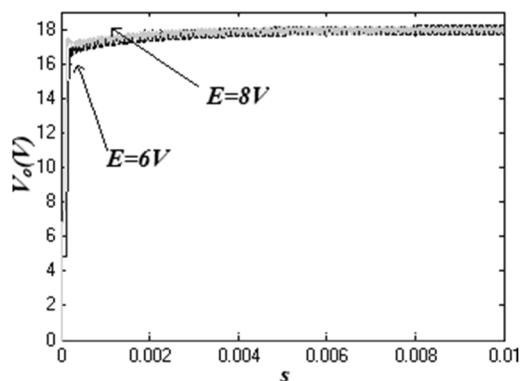
ISE	IAE	ITAE	K_P	K_I
۲/۳۷۷	۰/۱۹۳۵	۰/۰۰۱۵۵۷	۰/۰۱۲۰۵	۰/۰۱۳۳

۴- شبیه سازی و نتایج عملی

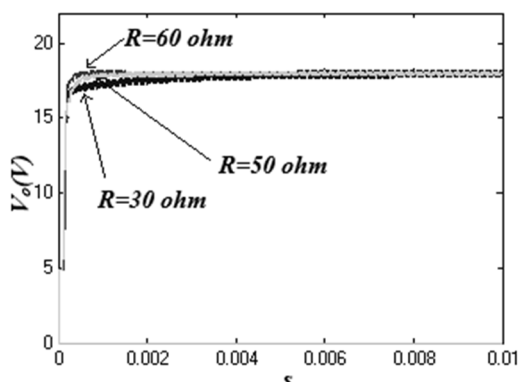
کارایی کنترل کننده پیشنهادی از طریق شبیه سازی در سیمولینک MATLAB و در شرایط مختلف بررسی شده است و با کنترل کننده مد لغزشی مرجع [۲۲] مقایسه شده است و علاوه بر موارد نیز نتایج عملی ارائه شده اند. کنترل کننده پیشنهادی در شرایط متفاوت و طی حالت گذرا، نوسان ولتاژ ورودی، نوسان بار و حالت دائم بررسی شده است. مدار شبیه سازی مطابق شکل ۴ است. اجزای مبدل بر اساس جدول ۱ انتخاب شده اند. مدار نمونه آزمایشگاهی در شکل ۶ نشان



شکل ۶: نمونه آزمایشگاهی ساخته شده



شکل ۷: حالت گذرای سیستم در نرم افزار متلب در ولتاژهای مختلف و $R = 30 \Omega$



شکل ۸: حالت گذرای سیستم در نرم افزار متلب در ولتاژ $E = 6V$ و تحت بارهای مختلف

در شکل ۹ مقایسه‌ای میان کنترل کننده پیشنهادی و کنترل کننده مد لغزشی مرجع [۲۲] شده است. همان طور که مشخص است؛ ولتاژ خروجی مرجع [۲۲]، 0.5 ولت خطای حالت ماندگار دارد. این خطای حالت ماندگار به دلیل عدم تخمین دقیق مرجع جریان سلف است. در حالت ایده آل مرجع جریان سلف برابر با $\frac{V_{Oref}^2}{R(2-d)E}$ است (به R وابسته است) ولی در حالت واقعی که نامعینی وجود دارد؛ جریان سلف بیش تر از مقدار ایده آل است و این اختلاف باعث ایجاد خطای حالت ماندگار در ولتاژ خروجی می شود. اما در کنترل کننده پیشنهادی، کنترل ولتاژ خروجی به صورت مستقیم انجام می شود. یعنی اینکه تنظیم ولتاژ خروجی مستقل از بار (R) است و مرجع جریان سلف با استفاده از PIC به طور خودکار به دست می آید.

شکل ۱۰ حالت گذرای کنترل کننده پیشنهادی این مقاله را با وجود انتگرال گیر و بدون انتگرال گیر در سطح لغزش نشان می دهد. همان طور که مشخص است وجود انتگرال گیر باعث به صفر رسیدن خطای حالت دائم ولتاژ خروجی می شود و عدم وجود آن باعث ایجاد خطای حالت دائم در ولتاژ خروجی می شود.

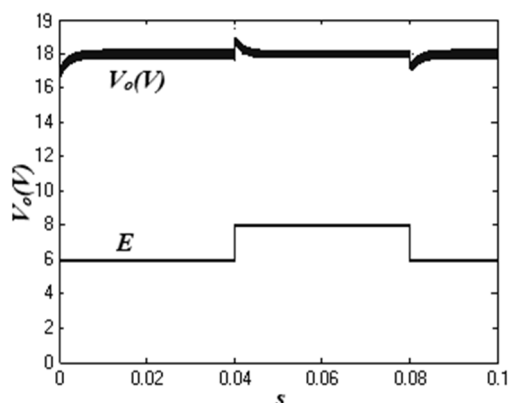
در شکل های ۱۱ و ۱۲ شبیه سازی و نتیجه عملی حالت گذرای ولتاژ خروجی را برای تغییر پل های ولتاژ مرجع از ۱۵ به ۱۸ ولت نشان داده شده است. دیده می شود که حالت گذرای نمونه آزمایشگاهی، فراجشی ندارد و رفتار آن مشابه شبیه سازی است.

۲-۴- تغییر ولتاژ خط

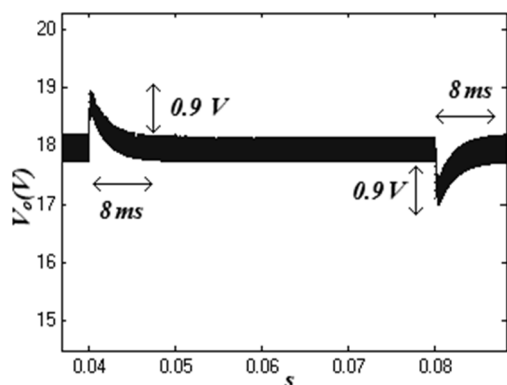
شکل‌های ۱۳ و ۱۴ پاسخ ولتاژ خروجی را به ازای تغییر ولتاژ ورودی از ۶۷ به ۸۷ و ۸۷ به ۶۷ نشان می‌دهند. همان‌طور که در شکل مشخص است، فراجش در دو حالت برابر با ۰/۹۷ و زمان نشست برابر با ۰/۰۸۵s است. شکل ۱۵ نتیجه عملی آن را نشان می‌دهد. این شکل نشان می‌دهد که فراجش ولتاژ خروجی در لحظه تغییر ولتاژ ورودی، غیر محسوس است.

۳-۴- نوسانات بار

شکل‌های ۱۶ و ۱۷ شبیه‌سازی سیستم پیشنهادی را به ازای تغییر بار از ۵۰Ω به ۶۰Ω (۲۰٪ تغییر) در زمان ۰/۰۵s نشان می‌دهند. شکل ۱۶ نشان می‌دهد که فراجش ولتاژ خروجی ۰/۱۸۷ و زمان نشست فراجش ولتاژ ۰/۰۰۵s است. شکل ۱۷ نشان می‌دهد که کاهش متوسط جریان سلف ۰/۲۳A و زمان نشست آن ۰/۰۱۷s است. شکل ۱۸ مشاهده عملی این تغییر بار است که نشان می‌دهد؛ فراجش ولتاژ خروجی نامحسوس است.



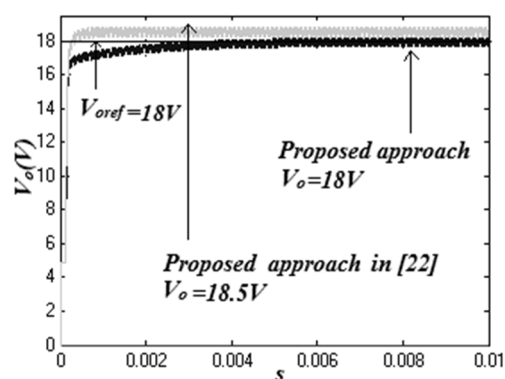
شکل ۱۳- حالت گذرا در تغییر ولتاژ ورودی از ۶۷ به ۸۷ به ازای $R=30\Omega$



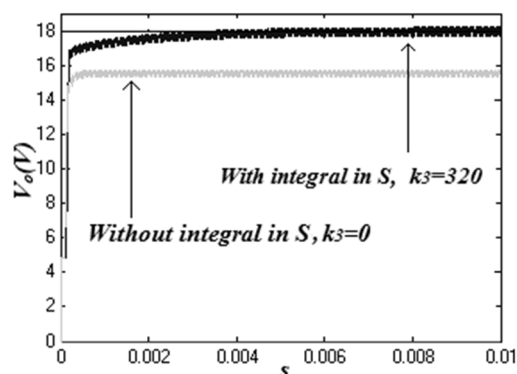
شکل ۱۴- تغییر ولتاژ ورودی از ۸۷ به ۶۷ به ازای $R=30\Omega$

۴-۴- حالت دائم

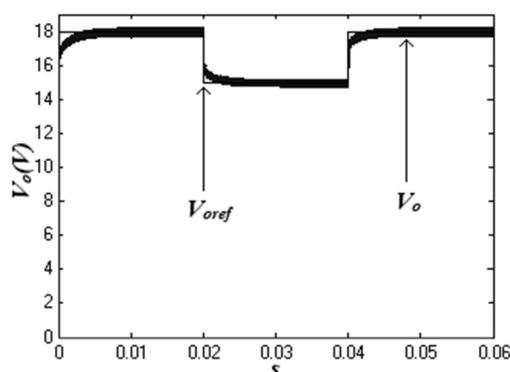
شکل‌های ۱۹ و ۲۰ نتایج شبیه‌سازی حالت ماندگار ولتاژ خروجی و جریان سلف را به ازای $R=50\Omega$ و $V_o=18V$ نشان می‌دهند. نتایج شبیه‌سازی نشان می‌دهند که ریپل ولتاژ ۰/۳۵V و فرکانس کلیدزنی ۱۶/۶kHz است.



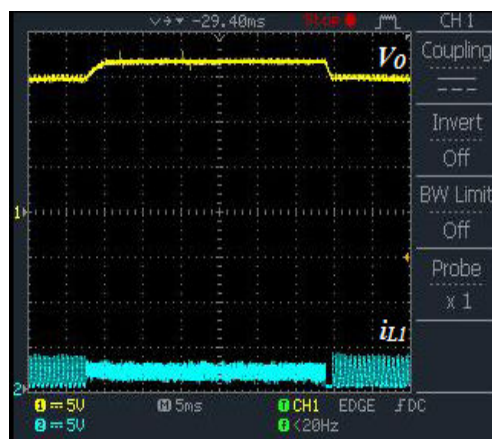
شکل ۹: مقایسه حالت گذرای کنترل کننده پیشنهادی در این مقاله با کنترل کننده [۲۲]



شکل ۱۰: مقایسه کنترل کننده پیشنهادی به ازای $K_3=0$ ، $K_3=320$

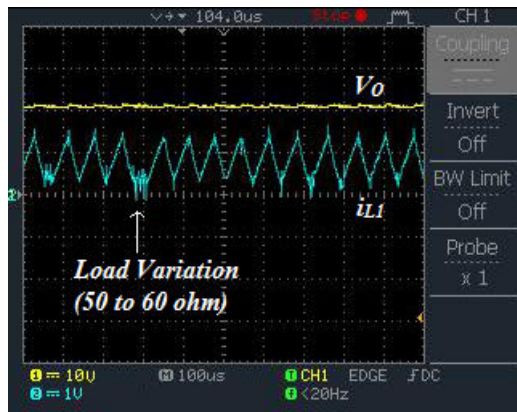


شکل ۱۱: حالت گذرای سیستم به ازای ۱۸۷، ۱۵ V_{ref} تحت بار $R=30\Omega$

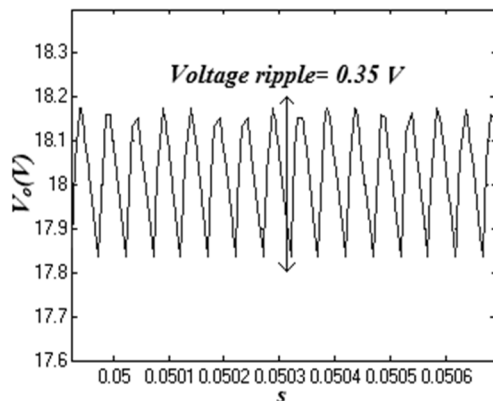


شکل ۱۲: نتیجه عملی در مشاهده حالت گذرای سیستم به ازای تغییر ولتاژ

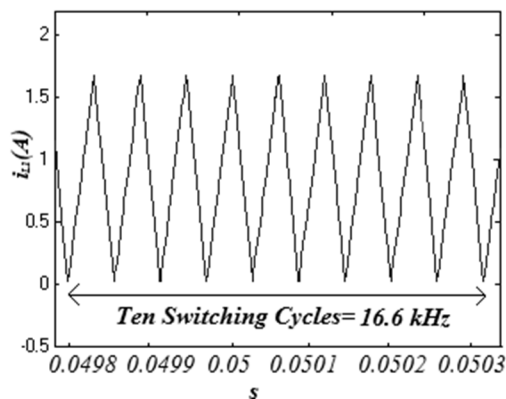
مرجع از ۱۵V به ۱۸۷ و $R=30\Omega$



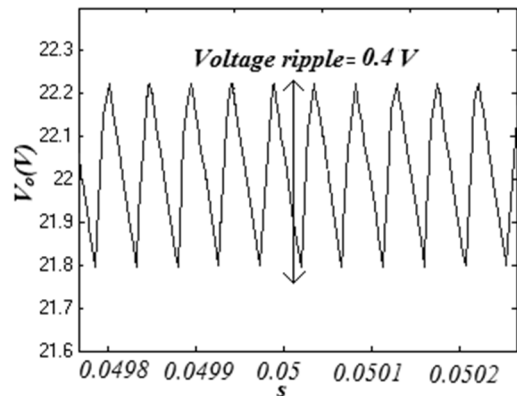
شکل ۱۸: مشاهده عملی به ازای تغییر بار از 50Ω به 60Ω به ازای $V_o=18V$



شکل ۱۹: ولتاژ خروجی در حالت ماندگار به ازای $V_o=18V$ و $R=50\Omega$



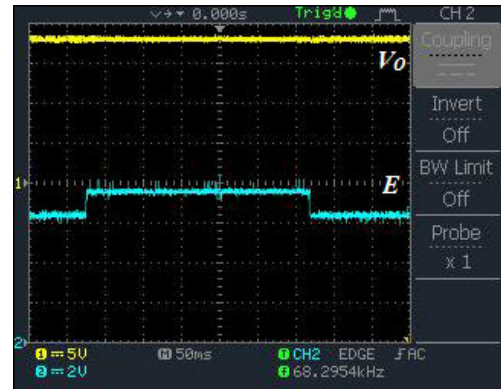
شکل ۲۰: جریان سلف در حالت ماندگار به ازای $V_o=18V$ و $R=50\Omega$



شکل ۲۱: ولتاژ خروجی در حالت ماندگار به ازای $V_o=22V$ و $R=50\Omega$

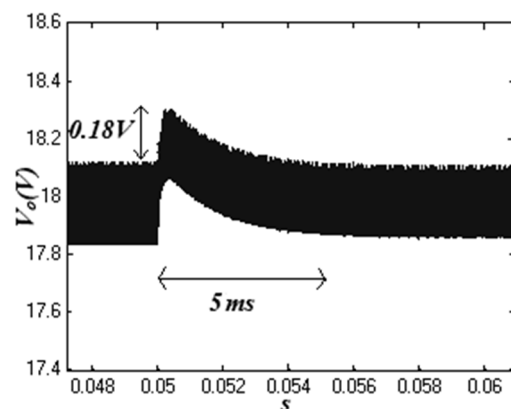
شکل‌های ۲۱ و ۲۲، نتایج شبیه‌سازی حالت ماندگار را به ازای $R=50\Omega$ و $V_o=22V$ نشان می‌دهند. این شکل‌ها نشان می‌دهند که ریبیل ولتاژ خروجی $0.4V$ و فرکانس کلیدزنی $20kHz$ است.

شکل ۲۳ نتیجه عملی مشاهده شده به ازای $R=50\Omega$ و $V_o=18V$ را نشان می‌دهد. شکل ۲۴ جریان سلف را در این حالت نشان می‌دهد. همان‌طور که مشخص است؛ متوسط جریان سلف حدود $0.9A$ است.

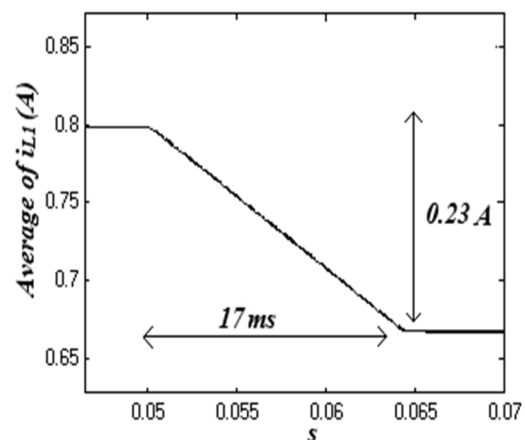


شکل ۱۵: نتیجه عملی در مشاهده ولتاژ خروجی به ازای تغییر ولتاژ ورودی از

$6V$ به $8V$ و بالعکس به ازای $R=30\Omega$

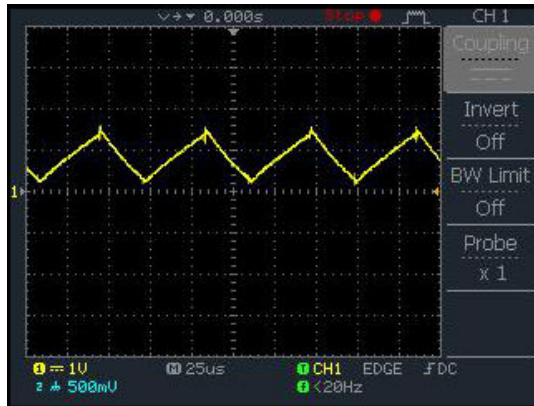


شکل ۱۶: تغییر ولتاژ به ازای تغییر بار از 50Ω به 60Ω به ازای $V_o=18V$

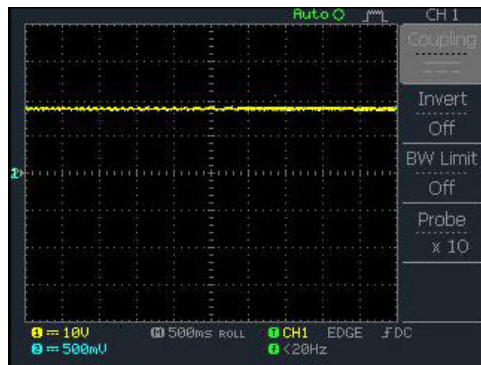


شکل ۱۷: تغییر متوسط جریان سلف به ازای تغییر بار از 50Ω به 60Ω به ازای $V_o=18V$

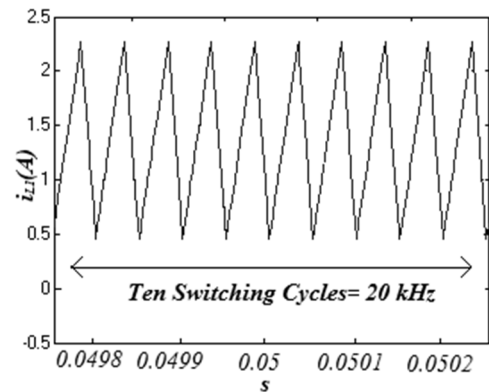
شکل ۲۶ نمونه آزمایشگاهی مبدل POESLL با کنترل کننده بهبودیافته مد لغزشی مرتبه کاهش یافته با کنترل کننده PI را نشان می دهد. همه قسمت های به کار رفته در ساخت سیستم فوق، بر روی شکل مشخص شده است.



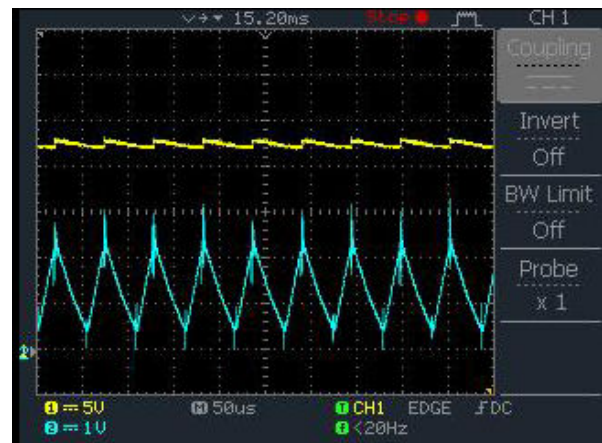
شکل ۲۴: مشاهده عملی جریان سلف به ازای $V_o=18V$ و $R=50\Omega$



شکل ۲۵: مشاهده عملی ولتاژ خروجی و جریان سلف به ازای $V_o=22V$ و $R=50\Omega$

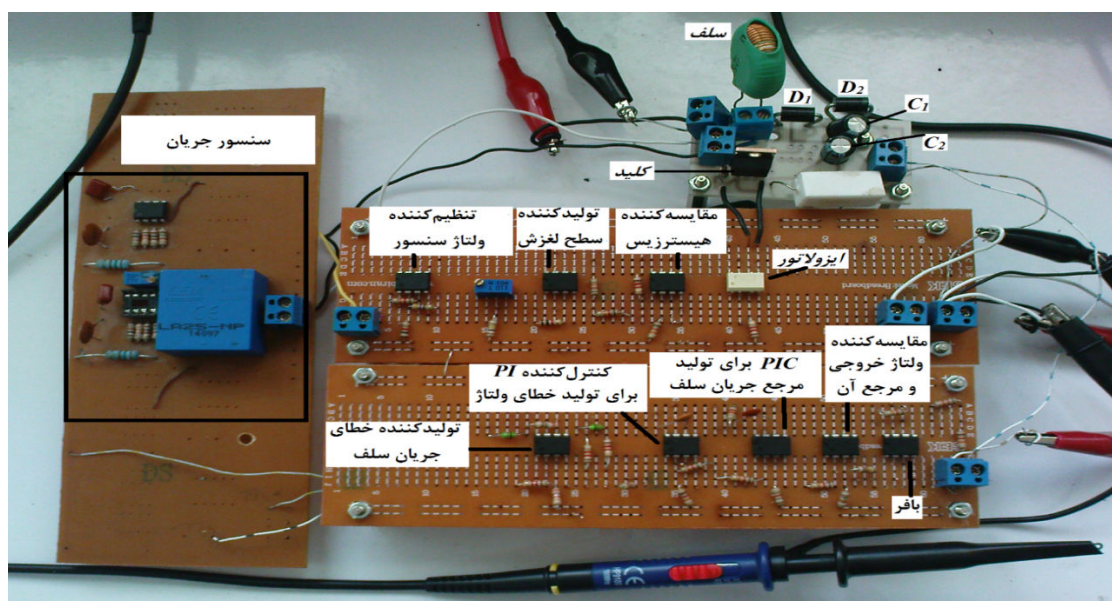


شکل ۲۲: جریان سلف در حالت ماندگار به ازای $V_o=22V$ و $R=50\Omega$



شکل ۲۳: مشاهده عملی ولتاژ خروجی به ازای $V_o=18V$ و $R=50\Omega$

شکل ۲۵ نتیجه عملی حالت دائم برای $R=50\Omega$ و $V_o=22V$ است. همان طور که مشخص است ریبیل ولتاژ حدود ۱ ولت است و متوسط جریان سلف حدود ۱/۳ آمپر است.



شکل ۲۶: نمونه آزمایشگاهی ساخته شده مبدل POESLL با کنترل کننده IROSM with PIC

۵- نتیجه گیری

در این مقاله به طراحی و شبیه سازی یک کنترل کننده بهبودیافته مد لغزشی مرتبه کاهش یافته با کنترل کننده PI برای تنظیم ولتاژ خروجی مبدل POESLL در حالت پیوسته پرداخته شد. مهم ترین مزایای این کنترل کننده در مقایسه با دیگر کنترل کننده های پیشنهاد شده برای مبدل POESLL عبارتند از: حذف سنسورهای اضافی، به دست آوردن مرجع جریان سلف به صورت غیرمستقیم و کنترل مستقیم ولتاژ خروجی بدون وابستگی به بار و حذف خطای دائم ولتاژ خروجی، مقاوم بودن نسبت به تغییرات بار، ولتاژ ورودی و مرجع ولتاژ خروجی.

نمونه آزمایشگاهی کنترل کننده فوق به صورت آنالوگ ساخته شد و نتیجه عملی مشاهده شده نیز گواه بر عملکرد مناسب این کنترل کننده طی حالت گذرا و دائم، نوسانات بار، تغییر ولتاژ ورودی و تغییر مرجع ولتاژ خروجی بود. سیستم پیشنهاد شده مناسب برای کاربردهای صنعتی است و ساخت آن کمکی است به محققانی که در این زمینه فعالیت دارند.

مراجع

- [10] F.L. Luo, and H. Ye, "Positive output super-lift Luo converters," *IEEE Transactions on Power Electronics*, vol. 18, no. 1, pp. 105-113, 2003.
- [11] R.S. Ortigoza, and H.S. Ramirez, *Control Design Techniques in Power Electronics Devices*, Springer Publishing, 2006.
- [12] R. Middlebrook, and S. Cuk, "A general unified approach to modeling switching-converter power stages," *IEEE Transactions on Power Electronics*, vol. 42, no. 6, pp. 521-550, 1977.
- [13] V. Biolkova, Z. Kolka, and D. Biolek, "State-space averaging (SSA) revisited: on the accuracy of SSA-based line-to-output frequency responses of switched DC-DC converter," *WSEAS Transaction of Circuits Systems*, vol. 9, no. 2, pp. 81-90, 2010.
- [14] N. Dhanasekar, and R. Kayalvizhi, "Design and simulation of pi control for positive output triple lift Luo converter," *International Journal of Modern Engineering Research*, vol. 2, no. 6, pp. 4186-4188, 2012.
- [15] N. Dhanasekar, and R. Kayalvizhi, "Performance evaluation of pi controller for negative output triple lift Luo converter," *International Journal of Engineering and Advanced Technology*, vol. 2, no. 2, pp. 55-57, 2012.
- [16] K.R. Kumar, and S. Jeevananthan, "Pi control for positive output elementary super lift Luo converter," *World Academy of Science, Engineering and Tech.*, vol. 4, no. 3, pp. 615-620, 2010.
- [17] P. Comines, and N. Munro, "PID controllers: recent tuning methods and design to specification," *IEEE Transactions of Control Theory*, vol. 149, no. 1, pp. 46-53, 2002.
- [18] J.J. Slotine, and W. Li, *Applied Nonlinear Control*, Englewood Cliffs, Nj, Prentice-Hall, 1991.
- [19] O.R. Gunasekaran, "Design of PI and sliding mode controllers for buck converters," *International Journal of Engineering Innovation & Research*, vol. 2, no. 2, pp. 18-21, 2013.
- [20] V. Chamundeeswari, A.A. Robin, and R. Seyezhai, "Stabilization and robustification of negative output super lift Luo converter using sliding mode control approach," *International Journal of Advances in Engineering & Technology*, vol. 3, no. 2, pp. 508-519, 2012.
- [21] S. Tan, Y.M. Lai, and C.K. Tse, "General design issues of sliding mode controllers in DC/DC converter," *IEEE Transaction on Industrial Electronics*, vol. 55, no. 3, pp. 1160-1174, 2008.
- [22] K.R. Kumar, and S. Jeevananthan, "Hysteresis modulation based sliding mode control for positive output elementary super lift Luo converter," *World Academy of Science, Engineering and Technology*, vol. 3, no. 4, pp. 910-917, 2009.
- [23] K.R. Kumar, and S. Jeevananthan, "Sliding mode control for current distribution control in paralleled positive output elementary super lift Luo converters," *Journal of Power Electronics*, vol. 11, no. 5, pp. 639-654, 2011.
- [24] M.G. Umamaheswari, G. Uma, and K.M. Vijayalakshmi, "Design and implementation of reduced-order sliding mode controller for higher-order power factor correction converters," *IET Power Electronics*, vol. 4, no. 9, pp. 984-992, 2011.
- [25] K.R. Kumar, and S. Jeevananthan, "Design and Implementation of reduced order sliding mode controller plus proportional double integral controller for negative output elementary super lift Luo converter," *IET Power Electronics*, vol. 6, no. 5, pp. 974-989, 2013.
- [1] R. Chandralekha, C. Sasikala, and G. Shasikala, "High power Luo converter with voltage lift for stand alone photovoltaic system," *International Journal of Advanced Engineering Sciences and Technologies*, vol. 10, no. 1, pp. 37-41, 2011.
- [2] O. Abutbuli, A. Gherlitz, Y. Berkovich, and A. Ioinovici, "Step-up switching-mode converter with high voltage gain using a switched-capacitor circuit," *IEEE Transactions on Circuits Systems*, vol. 50, no. 8, pp. 1098-1102, 2003.
- [3] C. Tseng, and T. Liang, "Novel high-efficiency step-up converter," *IEEE Transactions on Power Electronics*, vol. 151, no. 2, pp. 182-190, 2004.
- [4] F.L. Luo, and Y. Hong, *Advanced DC/DC Converters*, CRC Press, 2003.
- [5] D.D.C. Lu, D.K.W. Cheng, and Y.S. Lee, "A single-switch continuous conduction-mode boost converter with reduced reverse-recovery and switching losses," *IEEE Transactions on Industrial Electronics*, vol. 50, no. 4, pp. 767-776, 2003.
- [6] C. Bunlaksananusorn, and E. Vuthchhay, "Dynamic modeling of zeta converter with state-space averaging technique," *5th International Conference on Electrical Engineering/Electronics, Computer, Telecommunications and Information Technology*, vol. 2, pp. 969-972, 2008.
- [7] C. Bunlaksananusorn, U. Pinsopon, and V. Eng, "Modeling of a sepic converter operating in discontinuous conduction mod," *6th International Conference on Electrical Engineering/Electronics, Computer, Telecommunications and Information Technology*, vol. 1, pp. 136-139, 2009.
- [8] F.L. Luo, and M. Zhu, "Implementing of developed lift technique on sepic, cuk and double-output DC-DC converter," *2nd IEEE Conference on Industrial Electronics and Applications*, pp. 674-681, 2007.
- [9] F.L. Luo, "Positive output Luo converters: voltage lift technique," *IEE Proceedings Electric Power Applications*, vol. 146, no. 4, pp. 415-432, 1999.