

افزایش توان تفکیک ساختار MASH مرتبه دو مبتنی بر GRO و مدولاسیون عرض پالس در ورودی

روح‌الله نوروزی دهناشی^۱، دانش‌آموخته کارشناسی ارشد، ابراهیم فرشیدی^۲، دانشیار

۱- دانشکده مهندسی - دانشگاه شهید چمران اهواز - اهواز - ایران - morouzid@gmail.com

۲- دانشکده مهندسی - دانشگاه شهید چمران اهواز - اهواز - ایران - farshidi@scu.ac.ir

چکیده: با پیشرفت فناوری CMOS سطح ولتاژ منابع تغذیه کاهش و سرعت سوئیچینگ افزایش یافته است. کاهش سطح ولتاژ تغذیه دستیابی به دقت بالا در مبدل‌های داده‌ای که در حوزه ولتاژ کار می‌کنند را با مشکل روبرو می‌سازد. در مقابل افزایش سرعت کلیدزنی موجب کارکرد بهتر مبدل‌های داده مبتنی بر زمان می‌شود. در مبدل‌های داده مبتنی بر نوسان‌سازهای کنترل‌شونده با ولتاژ سیگنال در حوزه زمان کوانتیده می‌شود. به‌علاوه این مبدل‌ها خاصیت ذاتی شکل‌دهی نویز دارند. فواید مطرح‌شده باعث گردیده است که این مبدل‌ها مورد توجه قرار گیرند. ساختارهای مختلفی جهت بهبود عملکرد این مبدل‌ها ارائه شده است. در میان این ساختارها، ساختار MASH هم افزایش کارایی داشته و هم در پیاده‌سازی نیاز به اجزاء قیاسی زیادی ندارد. در این مقاله یک مبدل MASH دو طبقه مبتنی بر GROهای یکسان ارائه شده است که در آن از یک رهیافت جدید جهت بهبود میزان تفکیک‌پذیری استفاده شده است. مزیت اصلی طرح پیشنهادی این است که ضمن افزایش تفکیک‌پذیری با استفاده از خروجی چندفازه، یک تکنیک جدید در ثبت و تحلیل داده خروجی با پیچیدگی مداری کم پیشنهاد شده است که باعث کاهش حجم سخت‌افزاری موردنیاز و نیز توان مصرفی نسبت به طرح‌های پیشین خواهد شد. به‌علاوه در طرح پیشنهادی به دلیل استفاده از GROهای یکسان در همه طبقات با به‌کارگیری مدولاسیون عرض پالس در ورودی اصلی از نشت نویز از طبقه اول به طبقات بعدی (ناشی از عدم یکنواختی) و نیز افزوده شدن مؤلفه‌های غیرخطی نوسان‌ساز اولی در خروجی جلوگیری شده است.

واژه‌های کلیدی: نوسان‌ساز کنترل‌شونده با ولتاژ، نوسان‌ساز حلقوی، توان تفکیک، شکل‌دهی نویز، نویز کوانتایی سازی

Improvement in the resolution of GRO-based MASH structures and the pulse width modulation at the input

R. Norouzi Dehnashi¹, Master student, E. Farshidi², Associate Professor

1- Faculty of Engineering, Shahid Chamran University of Ahvaz, Ahvaz, Iran, Email: Rnorouzid@gmail.com

2- Faculty of Engineering, Shahid Chamran University of Ahvaz, Ahvaz, Iran, Email: Farshidi@scu.ac.ir

Abstract: With the advancement of CMOS technology power, supply voltage is reduced and switching speed is increased. Reducing the supply voltage makes it difficult to achieve high-precision for voltage-domain data converters. On contrary, increasing switching speed results in better performance in time-domain data converters. In VCO-based data converters, signals can be quantized in time domain. In addition, these converters have inherent noise shaping property. The benefit rose made these converters interesting for researchers. Several structures for improving performance of these converters have been presented. MASH structure increases the efficiency without need of analog components. In this paper, a two-stage MASH based on similar GRO is presented, in which a new approach is used for improvement of resolution. The main advantage of the proposed design is that not only resolution is improved by multiphase outputs, but also by offering a new technique for registration and extracting the data at the output circuit complexity is reduced. Therefore, the hardware and the power is decreased compared to the preceding works. Furthermore, in the proposed design employing equal employing GROs by PWM technique at the input prevents leakage of first stage to the next stages and also addition of distortion of first oscillator.

Keywords: VCO, GRO, resolution, MASH, quantization Noise

تاریخ ارسال مقاله: ۱۳۹۳/۰۳/۱۴

تاریخ اصلاح مقاله: ۱۳۹۳/۰۵/۲۴

تاریخ پذیرش مقاله: ۱۳۹۳/۰۶/۱۱

نام نویسنده مسئول: ابراهیم فرشیدی

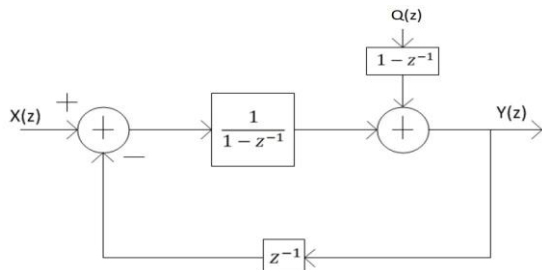
نشانی نویسنده مسئول: ایران - اهواز - بلوار گلستان - دانشگاه شهید چمران - دانشکده مهندسی

۱- مقدمه

مقایسه گر کوانتیزه می شود و همچنین خروجی کوانتیزه کننده به وسیله فیدبک برگردانده شده و از ورودی کم می شود. ساختار فیدبک حلقه بسته به همراه انتگرال گیر سعی در مینیمم کردن خطا را دارد [۱۰] به عبارت دیگر نویز کوانتیزاسیون به وسیله یک فیلتر بالاگذر شکل دهی شده و در خروجی مدولاتور ظاهر می شود.

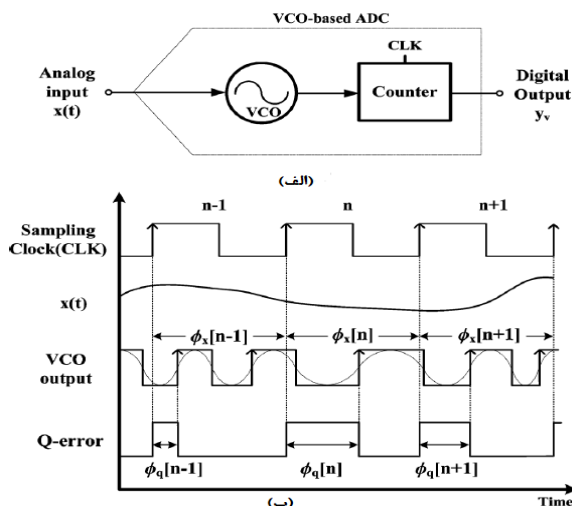
$$Y_q(z) = Q(z)(1 - z^{-1}) \quad (1)$$

که در آن $Q(z)$ و $Y_q(z)$ به ترتیب توابع تبدیل در حوزه z -سیگنال های خطا و خروجی هستند.



شکل ۱: ساختار مدولاتور سیگما-دلتا آنالوگ به دیجیتال [۱۰]

از طرف دیگر ساختار پایه یک مبدل آنالوگ به دیجیتال مبتنی بر VCO در شکل (۲) نشان داده شده است. VCO از ولتاژ ورودی $x(t)$ انتگرال گرفته و در خروجی سیگنال را به صورت فاز پیوسته تولید می کند. سپس توسط یک شمارنده تعداد لبه های بالارونده در خروجی VCO در طول هر دوره زمانی نمونه برداری کلاک شمارش می شود که عدد خروجی شمارنده در پایان هر دوره نمونه برداری متناسب با ولتاژ آنالوگ ورودی در آن دوره است. یعنی در هر دوره نمونه برداری تعداد واحدهای فاز مضرب 2π قابل شمارش در فاز خروجی VCO شمارش شده و به عبارت دیگر فاز خروجی با گام فاز 2π کوانتیزه می شود. بنابراین تولید خطای فاز ناشی از این کوانتیزاسیون اجتناب ناپذیر است.



شکل ۲: (الف) ساختار مبدل آنالوگ به دیجیتال مبتنی بر VCO.

(ب) عملکرد مبدل آنالوگ به دیجیتال مبتنی بر VCO [۹]

خاصیت کلیدی این مبدل مبتنی بر VCO آن است که این خطای فاز کوانتیزه سازی به صورت ذاتی با یک فیلتر مرتبه اول بالاگذر

در فرآیندهای عمیق زیرمیکرومتر با توجه به کاهش مقیاس تکنولوژی و پایین آمدن سطح ولتاژ تغذیه، طراحی یک مبدل آنالوگ به دیجیتال مبتنی بر پردازش سیگنال در حوزه ولتاژ با مشکل روبرو می شود. در مقابل برای ساختارهای مبتنی بر زمان، توان تفکیک با توجه به کاهش زمان انتقال در سیگنال های دیجیتال بهبود می یابد که برای فرآیندهای CMOS، ۱۳۰ نانومتر در محدوده ده ها پیکوثانیه می باشد [۱]. مبدل آنالوگ به دیجیتال مبتنی بر نوسان ساز کنترل شونده با ولتاژ (VCO) یک سیگنال حوزه زمان تولید می کند که فرکانس آن متناسب با ولتاژ آنالوگ ورودی است، این فرکانس توسط یک شمارنده که تعداد لبه ها را در یک دوره می شمارد، کوانتیزه می شود [۲]. از آنجا که نوسان ساز کنترل شونده با ولتاژ یک فاز خروجی پیوسته تولید می کند خطای کوانتیزاسیون دوره قبلی روی نمونه فعلی اثر می گذارد و بنابراین یک شکل دهی نویز مرتبه اول ذاتی به دست می آید [۳]. با توجه به فواید بیان شده، مبدل های آنالوگ به دیجیتال مبتنی بر نوسان ساز کنترل شونده با ولتاژ یا VCO مورد توجه قرار گرفته اند. در [۴] و [۵] یک شکل دهی نویز مرتبه سه با استفاده از حلقه فیدبک و دو مبدل دیجیتال به آنالوگ (DAC) جریانی و یک تقویت کننده، معرفی شده است. در [۶] و [۷] با استفاده از مدلاسیون عرض پالس (PWM) در ورودی یک راه حل جهت خطی سازی این مبدل ها بیان شده است. در [۸] و [۹] با استفاده از این ساختار به عنوان مدلاتور مرتبه اول، یک ساختار شکل دهی نویز چند طبقه (MASH) ارائه شده است.

در این مقاله یک مبدل آنالوگ به دیجیتال مبتنی بر نوسان سازهای حلقوی کنترل شونده با گیت (GRO) چند طبقه با شکل دهی نویز چند طبقه (MASH) ارائه شده است که در ساختار آن با به کارگیری نوسان سازهای حلقوی کنترل شونده با گیت یا GRO های یکسان از نشت نویز از طبقه اول به طبقات بعدی جلوگیری شده است و نیز با به کارگیری یک رهیافت جدید با حجم سخت افزاری کم نسبت پیچیدگی مداری و نسبت سیگنال به نویز کوانتیزاسیون (SQNR) و توان تفکیک^۲ بهبود پیدا کرده است.

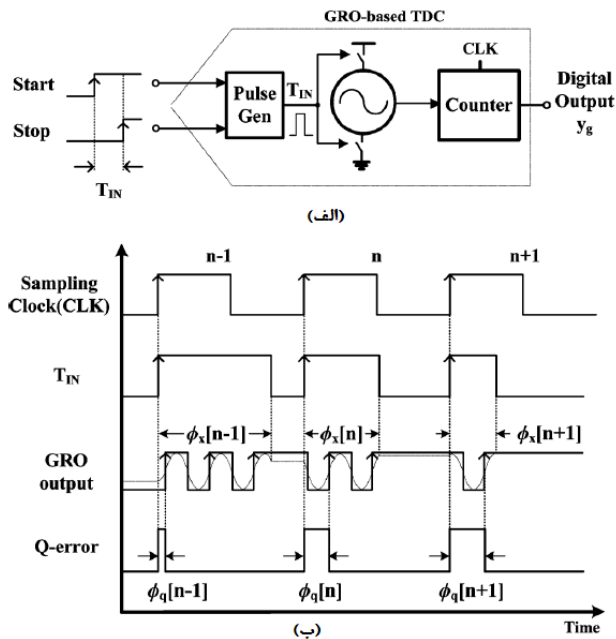
ساختار مقاله بدین شرح است که در قسمت ۲ مباحث تئوری و در قسمت ۳ نتایج شبیه سازی طرح مورد نظر بررسی می گردد. در قسمت ۴ نتیجه گیری بیان می شود و در پایان مراجع آورده شده است.

۲- مبدل دو طبقه شکل دهی نویز MASH مبتنی بر نوسان-

سازهای کنترل شونده با ولتاژ

۲-۱- مبدل آنالوگ به دیجیتال مبتنی بر VCO

شکل ۱ ساختار یک مبدل سیگما-دلتای مرتبه اول را در حالت حلقه بسته نشان می دهد که در آن $Q(n)$ ، $U(n)$ و $Y(n)$ به ترتیب سیگنال های خطا، ورودی و خروجی بوده و تابع حلقه $H(z)$ نیز یک انتگرال گیر است. در ساده ترین حالت ولتاژ آنالوگ ورودی به وسیله یک



شکل ۴: (الف) ساختار مبدل زمان به دیجیتال مبتنی بر GRO.
(ب) عملکرد مبدل زمان به دیجیتال مبتنی بر GRO [۹]

این مبدل سیگنال را از حوزه-زمان به حوزه-فاز می‌برد و سپس فاز خروجی توسط شمارنده‌ها کوانتیزه می‌شود [۱۱]. بدین صورت که هر موقع ورودی High باشد یک سیگنال با فرکانس ثابت تولید می‌شود و زمانی که ورودی Low باشد حالت فاز ثابت نگه داشته می‌شود. همانند مبدل آنالوگ به دیجیتال مبتنی بر VCO می‌توان گفت [۹]:

$$\begin{aligned}\phi_{T_{IN}}[n] &= 2\pi f_{gro} T_{IN}[n] \\ &= 2\pi y_g[n] + \phi_q[n] - \phi_q[n+1]\end{aligned}\quad (5)$$

که $\phi_{T_{IN}}[n]$ تغییرات فاز در زمان $T_{IN}[n]$ و f_{gro} فرکانس نوسان در حالت ورودی High است. ملاحظه می‌شود که این ساختار نیز خاصیت شکل‌دهی مرتبه اول نویز را دارا است.

۲-۳- به‌کارگیری مدلاسیون عرض پالس (PWM)

در نوسان‌سازهای آنالوگ VCO به دلیل آنکه در طول یک دوره زمانی دامنه ورودیشان تغییر می‌کند لذا در آن‌ها وجود مشخصه غیرخطی انکارناپذیر است که این خود موجب ایجاد هارمونیک در خروجی می‌شود. برای رفع این مشکل ابتدا سیگنال ورودی با استفاده از یک مدلاسیون عرض پالس با نمونه‌گیری طبیعی (NSPWM) به یک سیگنال با دو سطح High و Low تبدیل می‌شود و سپس به نوسان‌ساز داده می‌شود [۷]. اصول عملکرد و پیاده‌سازی این مدولاسیون بر اساس تلاقی یک سیگنال مثلی با فرکانس کاربر، که در این کار برابر با همان فرکانس نمونه‌برداری انتخاب شده است، با سیگنال ورودی است که نمایش مداری آن در [۷] آمده است. همچنین بلوک دیاگرام شکل (۵) به‌منظور نمایش سیگنال‌ها و همچنین طیف آن‌ها در نقاط مختلف آنالوگ به دیجیتال مبتنی بر VCO با مدلاسیون عرض پالس در

شکل‌دهی داده شده است. زیرا به‌طورمثال اگر در شکل (۲) و در دوره زمانی نمونه‌برداری n دو خطای فاز در ابتدا و انتهای آن یعنی $\phi_q[n]$ و $\phi_q[n+1]$ مورد توجه قرار گیرد، دیده می‌شود که: اولاً در این دوره زمانی نمونه‌برداری و قبل از رسیدن اولین لبه بالارونده کلاک خروجی VCO به میزان $\phi_q[n]$ از فاز قبلی در این دوره افتاده است که باید اضافه شود [۹]. ثانیاً در این دوره با وجود شمارش لبه بالارونده آخرین کلاک خروجی VCO به میزان $\phi_q[n+1]$ از فاز این کلاک خارج از این دوره افتاده است و به پیروی بعد رفته است که باید کسر شود. بنابراین خطای کوانتیزاسیون کل در دوره زمانی نمونه‌برداری n عبارت است از:

$$e(n) = \phi_q[n] - \phi_q[n+1] \quad (2)$$

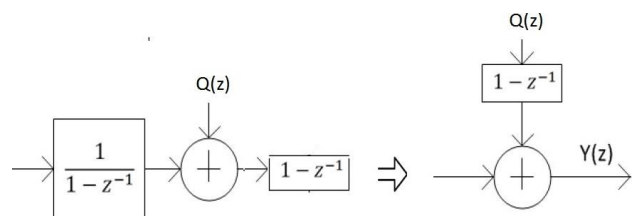
که در حوزه-Z برابر است با:

$$E(z) = -(1 - z^{-1})Q(z) \quad (3)$$

که در آن $Q(z)$ و $E(z)$ به ترتیب توابع تبدیل در حوزه-Z سیگنال‌های $\phi_q[n]$ و $E(n)$ هستند.

شکل (۳) بیان مطالب بالا در یک مدل دیاگرام بلوکی حلقه باز را نشان می‌دهد. بنابراین با توجه به رابطه (۳) همان‌طور که عنوان گردید خطای فاز ناشی از کوانتیزاسیون همچون مدولاتورهای سیگما-دلتای شکل‌دهی شده در مرتبه اول است.

همچنین رابطه خروجی مبدل y_v و فاز خروجی VCO، $\phi_n[n]$ به‌صورت بیان می‌شود:



شکل ۳: مدل حلقه باز مبدل آنالوگ به دیجیتال مبتنی بر VCO [۱۰]

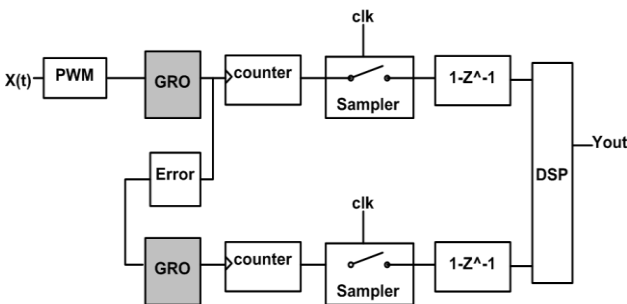
$$\begin{aligned}\phi_n[n] &= \int_{(n-1)T_s}^{nT_s} 2\pi(K_v x(\tau) + f_{vco})d\tau \\ &\approx 2\pi(K_v x[n] + f_{vco})T_s \\ &= 2\pi y_v[n] + \phi_q[n] - \phi_q[n+1]\end{aligned}\quad (4)$$

که در آن K_v و f_{vco} به ترتیب بهره و فرکانس رهای VCO است. T_s دوره نمونه‌برداری و $\phi_n[n]$ خطای کوانتیزاسیون است. این روابط با شرط بالا بودن OSR یعنی: $x[n] = x(nT_s) \approx x(n-1)T_s$ برقرار هستند.

۲-۲ مبدل زمان به دیجیتال مبتنی بر GRO^۲

ساختار پایه مبدل نوسان‌ساز حلقوی کنترل‌شونده با گیت (GRO) در شکل (۴) نشان داده شده است.

بعدی آمده است). با به کارگیری شمارنده و تفریق گر در هر خروجی و پردازشگر حذف نویز متداول در ساختارهای MASH سیگما-دلتا معمولی خروجی نهایی نویز کوانتیزاسیون طبقه اول حذف خواهد شد.



شکل ۶: ساختار MASH دو طبقه با استفاده از GRO

به علاوه برای حذف مؤلفه های ناخواسته احتمالی با مرتبه زوج می توان از ساختار تفاضلی متداول استفاده نمود. در این صورت برای خروجی های دو پورت مثبت و منفی طبقه اول می توان گفت:

$$y_{1,p}[n] = \frac{1}{2\pi} \left(\phi_{x_{1,p}}[n] - (\phi_{q_{1,p}}[n] - \phi_{q_{1,p}}[n+1]) \right) \quad (\text{الف-۶})$$

$$y_{1,n}[n] = \frac{1}{2\pi} \left(\phi_{x_{1,n}}[n] - (\phi_{q_{1,n}}[n] - \phi_{q_{1,n}}[n+1]) \right) \quad (\text{ب-۶})$$

و برای خروجی های دو پورت مثبت و منفی طبقه دوم داریم:

$$y_{2,p}[n] = \frac{1}{2\pi} \left(\phi_{x_{2,p}}[n] - (\phi_{q_{2,p}}[n] - \phi_{q_{2,p}}[n+1]) \right) \quad (\text{الف-۷})$$

$$y_{2,n}[n] = \frac{1}{2\pi} \left(\phi_{x_{2,n}}[n] - (\phi_{q_{2,n}}[n] - \phi_{q_{2,n}}[n+1]) \right) \quad (\text{ب-۷})$$

همچنین اگر از معادلات فوق تبدیل z- گرفته شود:

$$Y_{1,p}(z) = \frac{1}{2\pi} \left(\phi_{x_{1,p}}(z) - (1-z^{-1})\phi_{q_{1,p}}(z) \right) \quad (\text{الف-۸})$$

$$Y_{1,n}(z) = \frac{1}{2\pi} \left(\phi_{x_{1,n}}(z) - (1-z^{-1})\phi_{q_{1,n}}(z) \right) \quad (\text{ب-۸})$$

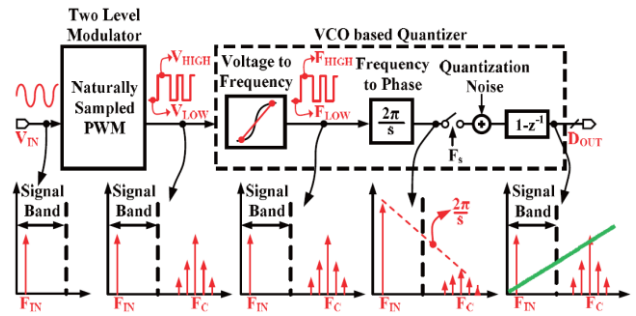
$$Y_{2,p}(z) = \frac{1}{2\pi} \left(\phi_{x_{2,p}}(z) - (1-z^{-1})\phi_{q_{2,p}}(z) \right) \quad (\text{ج-۸})$$

$$Y_{2,n}(z) = \frac{1}{2\pi} \left(\phi_{x_{2,n}}(z) - (1-z^{-1})\phi_{q_{2,n}}(z) \right) \quad (\text{د-۸})$$

حال با توجه به روابط فوق و انتخاب توابع حذف نویز: $NCF_1 = z^{-1}$ و $NCF_2 = (1-z^{-1})$ و اینکه $\phi_{x_2}(z) = \phi_{q_1}(z)$ می توان معادله خروجی را به دست آورد:

$$\begin{aligned} Y_{out}(z) &= (Y_{1,p}(z) - Y_{1,n}(z))NCF_1 \\ &\quad + (Y_{2,p}(z) - Y_{2,n}(z))NCF_2 \\ &= \frac{1}{2\pi} \left(\phi_{x_{2,p}}(z) - \phi_{x_{2,n}}(z) \right) z^{-1} \\ &\quad - \frac{1}{2\pi} z(1-z^{-1})^2 \left(\phi_{q_{2,p}}(z) - \phi_{q_{2,n}}(z) \right) \end{aligned} \quad (9)$$

ورودی ارائه شده است. همان طور که در شکل (۵) نشان داده شده است طیف حاصل از PWM دارای مشخصه فرکانسی مناسب تری است و در حالت ایده آل در محدوده باند سیگنال هیچ هارمونیک ناخواسته ای دیده نمی شود زیرا شکل زمانی حاصل از ورودی فقط دارای دو سطح ولتاژی است و بنابراین فقط از دو نقطه مشخصه نوسان ساز استفاده می کند و هیچ مؤلفه ی غیرخطی در نوسان ساز ظاهر نمی شود. همچنین شایان ذکر است که تون های ناخواسته ایجاد شده در خارج از باند توسط فیلتر دیجیتال خروجی مبدل حذف خواهد شد [۷].



شکل ۵: بلوک دیگرام مبدل آنالوگ به دیجیتال مبتنی بر VCO با مدلاسیون عرض پالس [۷]

۴-۲- ساختار مبدل دو طبقه MASH با استفاده از GRO

از آنجایی که مبدل آنالوگ به دیجیتال مبتنی بر VCO ذاتاً مرتبه اول است، برای به دست آوردن شکل دهی نویز با مرتبه های بالاتر می توان از ساختارهای چندطبقه استفاده کرد. اولین ساختاری که برای تشکیل ساختار چندطبقه MASH به ذهن می رسد، استفاده از مبدل مبتنی بر VCO در طبقه اول و مبدل مبتنی بر GRO در طبقات بعدی است. زیرا VCO ورودی آنالوگ را دریافت می کند و خطای کوانتیزاسیون آن سیگنال زمانی است که می تواند توسط مبدل مبتنی بر GRO کوانتیزه شود [۹]. اما این ساختار دارای چند مشکل عمده است. از جمله اینکه عدم یکسان بودن طبقات موجب نشست نویز از طبقه اول به طبقات بعدی و نیز تولید مؤلفه های غیرخطی ناخواسته نوسان ساز در خروجی می شود [۹].

برای رفع این مشکل می توان در ورودی از مدولاسیون عرض پالس [۷] استفاده کرد و بدین ترتیب در طبقه اول نیز می توان از مبدل مبتنی بر GRO استفاده نمود. در این کار بدون از دست دادن کلیت مبدل مرتبه دوم ۱-۱ MASH، که از دو طبقه مرتبه اول تشکیل شده است، مورد بررسی قرار گرفته است. شکل (۶) ساختار MASH دو طبقه مبدل با استفاده از GRO های یکسان را نشان می دهد. برای یکسان سازی طبقه اول و تبدیل آن به GRO، که در کارهای پیشین عموماً آنالوگ و مبتنی بر VCO بودند، همان طور که دیده می شود سیگنال آنالوگ ورودی با استفاده از مدولاسیون عرض پالس به یک سیگنال زمانی دو سطح تبدیل شده و به مبدل طبقه اول داده می شود. سپس خطای کوانتیزه سازی طبقه اول توسط بلوک Error محاسبه و به طبقه دوم داده می شود (توضیح عملکرد این بلوک در زیر بخش

$$P_{\phi} = \frac{1}{2}(2\pi K_v T_s)^2 \quad (10)$$

طبق [۱۲] توان نویز کوانتیزاسیون با شکل دهی مرتبه دو به صورت زیر به دست می آید:

$$P_{qe} = \frac{\pi^4}{60}(\Delta)^2 \left(\frac{1}{OSR}\right)^5 \quad (11)$$

از آنجا که شمارنده لبه های مثبت را می شمارد، می توان برای این مدل گفت: $\Delta = 2\pi$ ، پس نهایتاً خطای کوانتیزاسیون به صورت زیر به دست می آید:

$$P_{qe} = \frac{\pi^4}{60}(2\pi)^2 \left(\frac{1}{OSR}\right)^5 \quad (12)$$

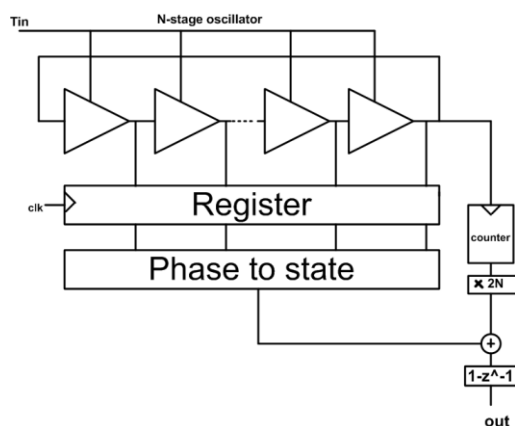
بدین ترتیب برای نسبت سیگنال به نویز کوانتیزاسیون می توان گفت:

$$SQNR = 6.02 \log_2(2AT_s f_{gro}) - 11.4 + 50 \log(OSR) \quad (13)$$

۲-۵- ساختار پیشنهادی جهت بهبود توان تفکیک

یک روش مؤثر برای افزایش تفکیک پذیری آن است که علاوه بر شمارش خروجی اصلی از خروجی چندفاز نوسان ساز و تغییرات فازهای همه گیت های درون نوسان ساز حلقوی طبقه آخر استفاده گردد. در [۹] و [۱۴] برای هر فاز یک شمارنده جداگانه استفاده شده است که در آن ها به دلیل افزایش تعداد المان ها توان مصرفی زیادی مصرف شده و سطح تراشه مورد نیاز نیز بالا می رود.

در طرح پیشنهادی پس از نوسان ساز طبقه آخر از مدار شکل (۸) استفاده خواهد شد که در آن با استفاده از یک شمارنده تغییرات فاز خروجی اصلی شمرده می شود. به علاوه در پایان هر دوره نمونه برداری یک رجیستر حالت فازهای داخلی را ثبت می کند [۱۲].



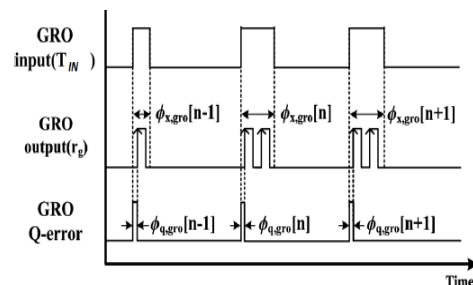
شکل ۸: ساختار پیشنهادی جهت بهبود توان تفکیک

برای مثال و بدون از دست رفتن کلیت برای یک GRO با پنج فاز شکل موج فازهای خروجی در شکل ۹ نشان داده شده است. شمارنده لبه های مثبت فاز اول را شمارش می کند که معادل با 2π فاز است، و هر دوره تناوب به ده قسمت یعنی سطح فاز کوانتیزاسیون جدید $\pi/5$ تقسیم شده است. نتیجه اینکه LSB^* برابر $\pi/5$ خواهد بود.

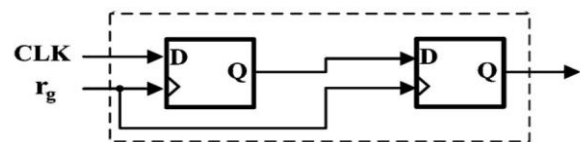
ساختار معرفی شده اگر چه مشکل غیرخطی بودن را با یک پیاده سازی سازگار کاهش مقیاس تکنولوژی حل کرده است، اما توان تفکیک خوبی ندارد. برای افزایش توان تفکیک این ساختار می توان به جای استفاده از GRO با یک فاز خروجی از یک نوسان ساز حلقوی چند فاز استفاده کرد. در روش های پیشین استفاده شده برای کوانتیزاسیون نوسان ساز چند فاز، همچون [۹] و [۱۴]، از یک شمارنده برای هر فاز نوسان ساز استفاده شده است که دارای پیچیدگی مداری و توان مصرفی زیادی است. در ادامه و در بخش بعدی یک روش مؤثرتر جهت بهبود توان تفکیک بیان خواهد شد.

۲-۴-۱- محاسبه خطای کوانتیزاسیون

مطابق شکل (۷-الف) خطای کوانتیزاسیون طبقه اول که وارد طبقه دوم می شود. در هر دوره نمونه برداری i مقدار فاز از ابتدای هر دوره نمونه برداری تا اولین لبه بالارونده سیگنال خروجی از GRO طبقه اول تعریف می شود. بنابراین این خطا را می توان به عنوان یک سیگنال زمانی محاسبه کرد. به همین منظور بلوک Error در شکل (۶) از سیگنال خروجی GRO طبقه اول و کلاک استفاده می کند. سیگنال خطای خروجی این بلوک (GRO-Q-error) از لبه بالارونده کلاک در هر دوره شروع و با اولین لبه بالارونده سیگنال خروجی از GRO خاتمه می یابد که در شکل (۷-الف) این موضوع نشان داده شده است. جهت محاسبه این زمان می توان از مدارهای ساده و متداول آشکارساز فاز-فرکانس (PFD) استفاده کرد که یک نمونه آن در شکل (۷-ب) آمده است [۹].



(الف)



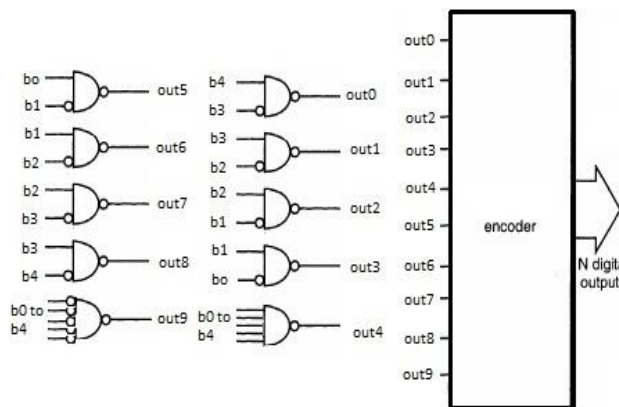
(ب)

شکل ۷: الف) نمایش و محاسبه خطای کوانتیزاسیون، ب) مدار آشکارساز فاز-فرکانس (PFD) محاسبه گر خطای کوانتیزاسیون [۹]

۲-۴-۲- نسبت سیگنال به نویز کوانتیزاسیون

برای به دست آوردن نسبت سیگنال به نویز کوانتیزاسیون برای ساختار شکل دهی چندطبقه فرض شود ورودی آنالوگ $x(t) = A \sin(\omega t)$ باشد در این صورت طبق [۲] توان سیگنال به صورت زیر به دست می آید:

$2N$ و سپس جمع آن با خروجی بلوک مبدل فاز-به-حالت با آن عدد نهایی معادل این طبقه به دست می آید. البته LSB طبقه اول نیز 2π است پس عدد حاصل از طبقه اول نیز باید در ده ضرب شود.



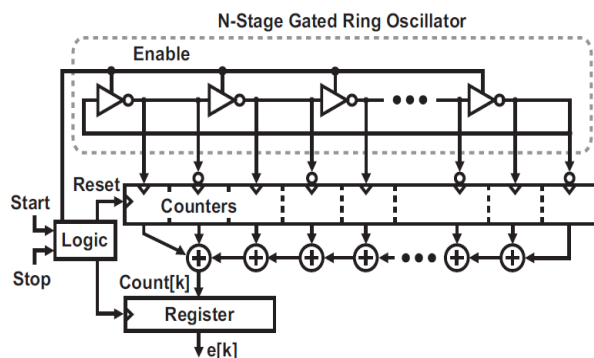
شکل ۱۰: مدار پیشنهادی مبدل فاز-به-حالت

در ادامه با استفاده از روابط حاکم بر این مبدل‌ها ادعای فوق اثبات می‌گردد. معادله (۱) رابطه حاکم بین خروجی یک مبدل آنالوگ به دیجیتال مبتنی بر VCO را نشان می‌دهد، به طریق مشابه برای یک مبدل با یک VCO، N فاز می‌توان گفت [۲]:

$$y_v[n] = \frac{N}{2\pi} (\phi_x[n] - (\phi_q[n] - \phi_q[n+1])) \quad (14)$$

به‌سادگی می‌توان پی‌برد برای یک GRO با N :

$$y_g[n] = \frac{N}{2\pi} (\phi_{T_{IN}}[n] - (\phi_q[n] - \phi_q[n+1])) \quad (15)$$



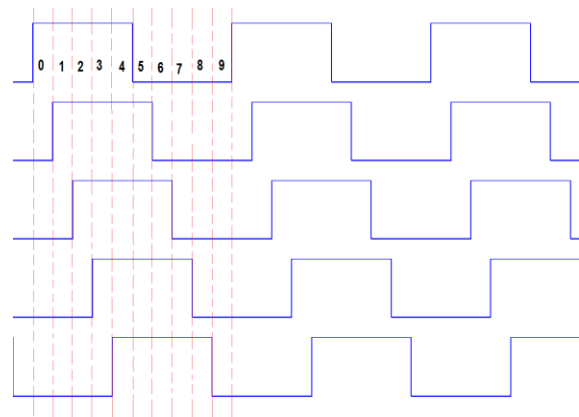
شکل ۱۱: مدار مبدل فاز-به-حالت استفاده شده در [۹] و [۱۳]

معادلات فوق برای مبدل‌هایی با $LSB = 2\pi/N$ است اما ساختاری که در این کار در طبقه دوم استفاده شده است شکل ۱۲ دارای $LSB = \pi/N$ است. پس معادلات حاکم بر ساختار موردنظر به صورت زیر خواهد بود:

$$y_{1,p}[n] = \frac{1}{2\pi} (\phi_{x_{1,p}}[n] - (\phi_{q_{1,p}}[n] - \phi_{q_{1,p}}[n+1])) \quad (16\text{-الف})$$

$$y_{1,n}[n] = \frac{1}{2\pi} (\phi_{x_{1,n}}[n] - (\phi_{q_{1,n}}[n] - \phi_{q_{1,n}}[n+1])) \quad (16\text{-ب})$$

$$y_{2,p}[n] = \frac{N}{\pi} (\phi_{x_{2,p}}[n] - (\phi_{q_{2,p}}[n] - \phi_{q_{2,p}}[n+1])) \quad (16\text{-ج})$$



شکل ۹: حالت‌های ممکن فاز ثبت‌شده برای یک GRO با پنج فاز

در جدول (۱) کلیه ده حالت ثبت‌شده در رجیستر و نیز معادل فاز درونیابی‌شده به‌صورت ضریب عددی از $\pi/5$ مشخص شده است. وظیفه بلوک مبدل فاز-به-حالت (Phase to State) در شکل ۸ نیز تشخیص و تولید همین عدد است و جدول مذکور نیز عملاً جدول حقیقت و کارکرد آن را نشان می‌دهد.

مدار پیشنهادی مبدل فاز-به-حالت، که به‌راحتی توسط تکنیک‌های ساده مدارهای منطقی و توسط چند گیت NAND و یک Encoder پیاده‌سازی است، در شکل ۱۰ آمده است.

جدول ۱: حالات ممکن ثبت‌شده در رجیستر و ارزش معدل آن‌ها

حالت	ارزش
۱۰۰۰۰	۰
۱۱۰۰۰	۱
۱۱۱۰۰	۲
۱۱۱۱۰	۳
۱۱۱۱۱	۴
۰۱۱۱۱	۵
۰۰۱۱۱	۶
۰۰۰۱۱	۷
۰۰۰۰۱	۸
۰۰۰۰۰	۹

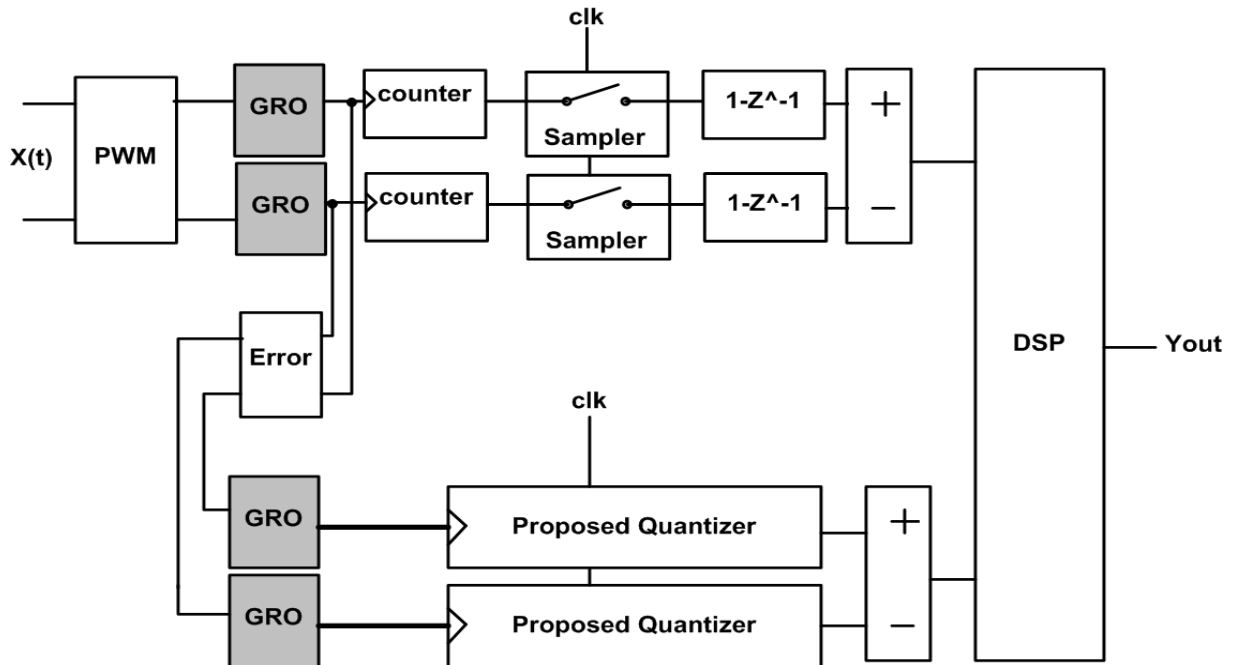
با افزایش فازهای خروجی کافی است که تعداد گیت‌های NAND به همان تعداد افزایش یابد. این در حالی است که در طرح‌های پیشنهادی پیشین همچون [۹] و [۱۴] همان‌طور که در شکل (۱۱) نشان داده شده است، در هر فاز از یک شمارنده استفاده شده است و پس از پردازش بر روی خروجی آن شمارنده‌ها مقدار خروجی نهایی به دست می‌آید و نیز با افزایش تعداد فازهای خروجی میزان شمارنده‌ها و حجم پردازش افزایش می‌یابد.

طبق شکل (۸) در محاسبه خروجی، از آنجایی که عدد خروجی شمارنده $2N$ برابر (در این مثال ۱۰ برابر) عدد خروجی بلوک مبدل فاز-به-حالت ارزش دارد، بنابراین با ضرب خروجی شمارنده در ضریب

$$\begin{aligned}
 Y_{out}(z) &= (Y_{1,p}(z) - Y_{1,n}(z))NCF_1 \\
 &+ (Y_{2,p}(z) - Y_{2,n}(z))NCF_2 \\
 &= \frac{1}{\pi} (\phi_{x_{2,p}}(z) - \phi_{x_{2,n}}(z))z^{-1} \\
 &- \frac{N}{\pi} z(1-z^{-1})^2 (\phi_{q_{2,p}}(z) - \phi_{q_{2,n}}(z))
 \end{aligned}
 \quad (17)$$

$$y_{2,n}[n] = \frac{N}{\pi} (\phi_{x_{2,n}}[n] - (\phi_{q_{2,n}}[n] - \phi_{q_{2,n}}[n+1])) \quad (16-d)$$

با توجه به روابط فوق و انتخاب $NCF_1 = 2Nz^{-1}$ و $NCF_2 = (1-z^{-1})$ رابطه خروجی زیر به دست می‌آید:



شکل ۱۲: ساختار نهایی با روش پیشنهادی

اما برای مقایسه بهتر از خروجی‌ها FFT گرفته شده است. شکل ۱۵ خروجی دو ساختار را با هم نشان می‌دهد. همان‌طور که از این شکل پیداست ساختار پیشنهادی نسبت سیگنال به نویز (SNR) بهتری دارد و افزایش تعداد فازها موجب بهبود نسبت سیگنال به نویز می‌شود. نتایج به دست آمده برای مقایسه بهتر در جدول ۲ آورده شده است. ملاحظه می‌شود که با افزایش تعداد فازها به پانزده می‌توان به ۴/۳۴ بیت بهبود در ENOB رسید. نکته‌ی دیگری که از این نتایج معلوم می‌گردد این است که مقادیر SNDR و SNR بسیار به هم نزدیک است که نشان می‌دهد اثر غیرخطی نوسان‌سازها به خوبی در خروجی حذف گردیده است.

۲-۵-۱- نسبت سیگنال به نویز ساختار MASH با روش پیشنهادی

همان‌طور که بیان شد در ساختار پیشنهادی LSB از 2π به π/N بهبود یافته است، پس برای توان نویز کوانتیده‌سازی می‌توان گفت:

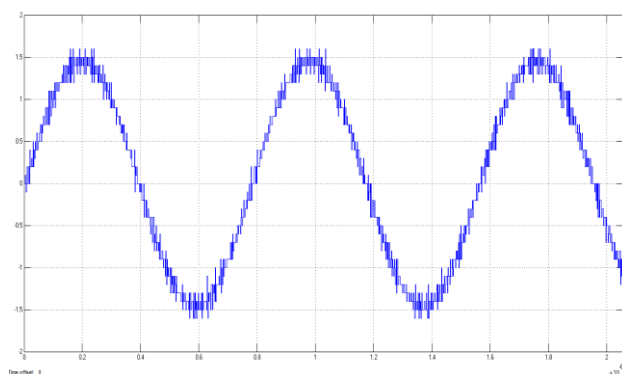
$$P_{q\epsilon} = \frac{\pi^4}{60} \left(\frac{\pi}{N} \right)^2 \left(\frac{1}{OSR} \right)^5 \quad (18)$$

بنابراین برای SQNR این ساختار می‌توان گفت:

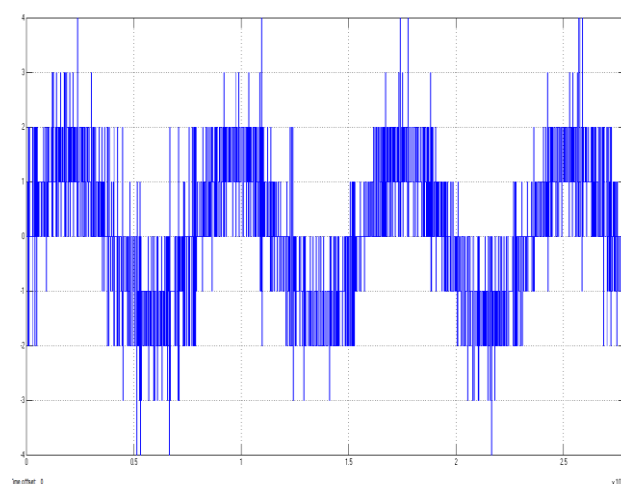
$$SQNR = 6.02 \log_2(4AT_s N f_{gro}) - 11.4 + 50 \log(OSR) \quad (19)$$

۳- نتایج شبیه‌سازی

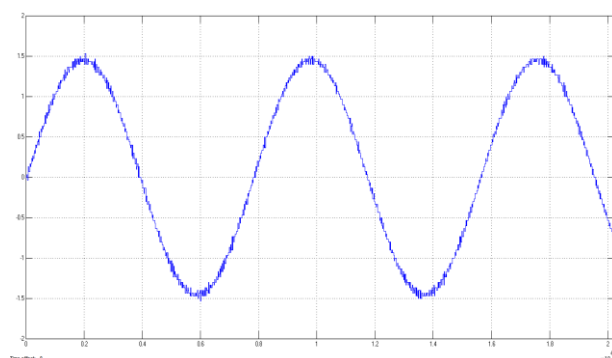
به کمک نرم‌افزار MATLAB و CPP-SIM شبیه‌سازی برای یک ساختار با فرکانس نمونه‌گیری ۵۰۰MHz، فرکانس ورودی ۱/۲۸MHz، GROهایی با فرکانس ۲GHz و پهنای باند ۲۰MHz برای ساختار مرجع و در سه حالت تک‌فاز، پنج‌فاز و پانزده‌فاز برای ساختار ارائه‌شده در این مقاله انجام شده است. شکل ۱۳ سیگنال زمانی حاصل از شبیه‌سازی ساختار مرجع و شکل‌های ۱۴-الف، ۱۴-ب و ۱۴-ج، به ترتیب سیگنال زمانی حاصل از ساختار ارائه‌شده با حالات تک‌فاز، پنج‌فاز و پانزده‌فاز را نشان می‌دهد که به وضوح می‌توان دید توان تفکیک بهبود یافته است.



(ب)

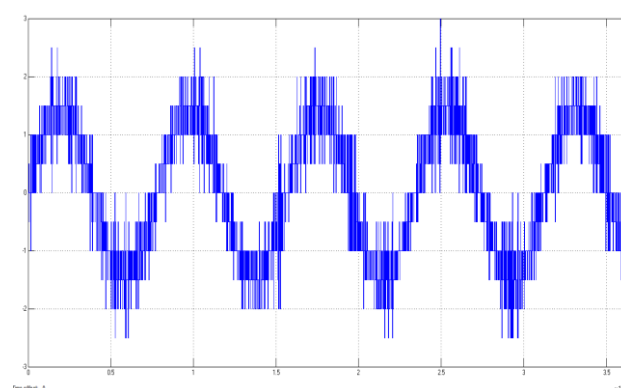


شکل ۱۳: شکل موج دیجیتال خروجی حاصل از ساختار MASH متداول

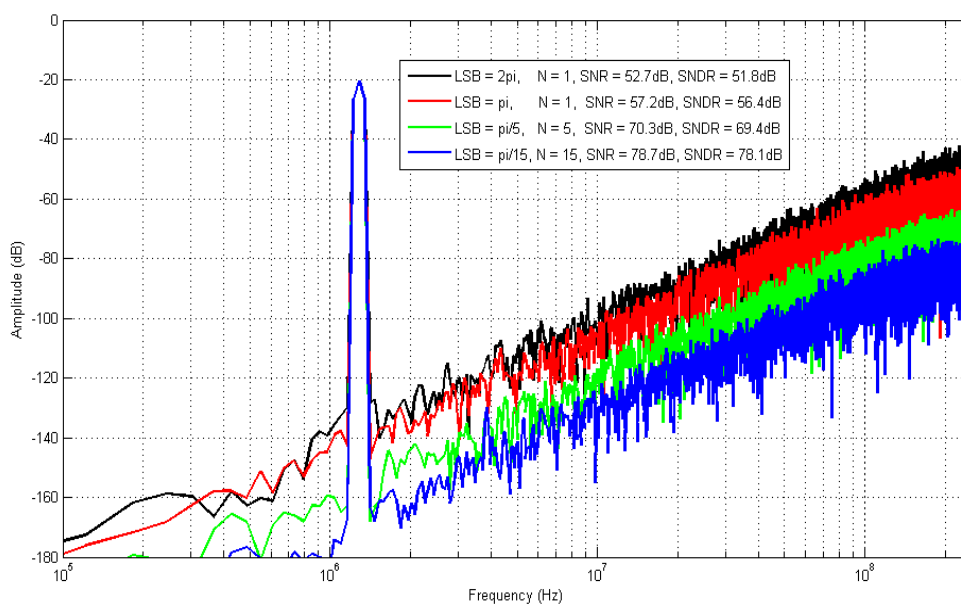


(ج)

شکل ۱۴: شکل موج دیجیتال خروجی حاصل از ساختار MASH ارائه شده در حالات: الف (تک فاز، ب) پنج فاز، ج) پانزده فاز



(الف)



شکل ۱۵: FFT خروجی از ساختار مرجع [۸] و ساختار پیشنهادی با فازهای مختلف

جدول ۲: مقایسه نتایج به دست آمده

پارامتر	ساختار	روش مرجع [۸]	روش پیشنهادی با N=1	روش پیشنهادی با N=5	روش پیشنهادی با N=15
SNR(dB)		۵۲/۷	۵۷/۲	۷۰/۳	۷۸/۷
SNDR(dB)		۵۱/۸	۵۶/۴	۶۹/۴	۷۸/۱
ENOB(bit)		۸/۴۶	۹/۲۱	۱۱/۳۸	۱۲/۷۸
SNR(dB) به دست آمده از رابطه تحلیلی (۱۹)		۵۹/۵	۵۹/۵	۷۳/۵	۸۳

برای نوسان‌سازهای حلقوی عملی است [۱۵]. شکل ۱۷ به کمک FFT طیف خروجی یک مبدل با پنج فاز و فرکانس ورودی ۱۰ MHz را در دو حالت با نویز فاز و بدون نویز فاز نشان می‌دهد. همان‌گونه که دیده می‌شود نویز فاز در فرکانس‌های پایین موجب افزایش سطح نویز شده است و در نتیجه مقداری SNR را کاهش می‌دهد که برای این شبیه‌سازی SNR به میزان ۶/۶ دسی‌بل کاهش یافته است.

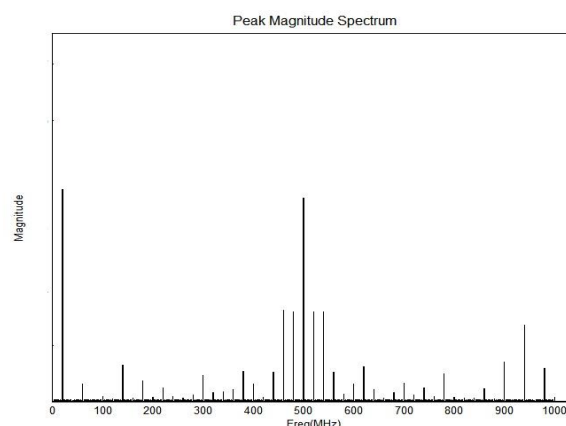
۲-۴- اثر ناهمسانی

در عمل زمان انتقال سلول‌های یک نوسان‌ساز یکسان نبوده که این موجب ایجاد اختلاف در بین سلول‌ها و همچنین GROها می‌شود. برای بررسی این موضوع شبیه‌سازی برای یک مبدل MASH با پنج فاز و شرایط قبل انجام شده است. شکل (۱۸) نتیجه شبیه‌سازی را برای درصد انحراف معیارهای ناهمسانی‌های مختلف نشان می‌دهد.

۳-۴- اثر غیرخطی

همان‌طور که در قسمت ۲-۳ گفته شد، نوسان‌سازهای کنترل‌شونده با ولتاژ دارای مشخصه غیرخطی هستند. اما ورودی GRO یک سیگنال دو سطح است و همان‌طور که در شکل ۱۹ نشان داده شده است، فقط از دو نقطه مشخصه VCO استفاده می‌شود. پس مؤلفه‌های غیرخطی در این مبدل تأثیری ندارد.

همچنین آنالیز فوری سیگنال PWM تولیدشده برای این کار که دارای فرکانس حامل ۵۰۰ MHz با حداکثر فرکانس ورودی یعنی ۲۰ MHz، با نرم‌افزار MATLAB انجام شده است و نتیجه در شکل ۱۶ نشان داده شده است که مشخص می‌سازد هیچ مؤلفه‌ی ناخواسته‌ای در باند سیگنال تشکیل نمی‌شود.

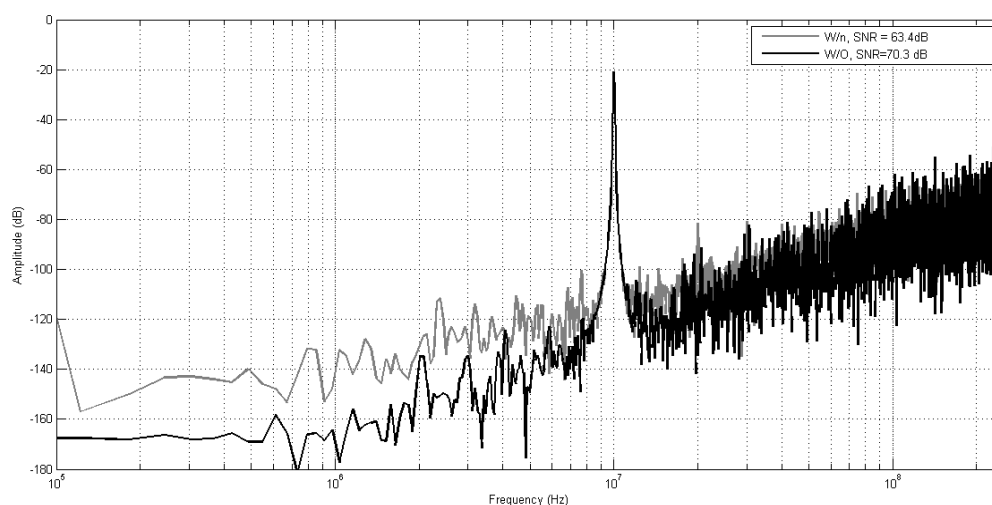


شکل ۱۶: اندازه هارمونیک‌های مختلف سیگنال PWM

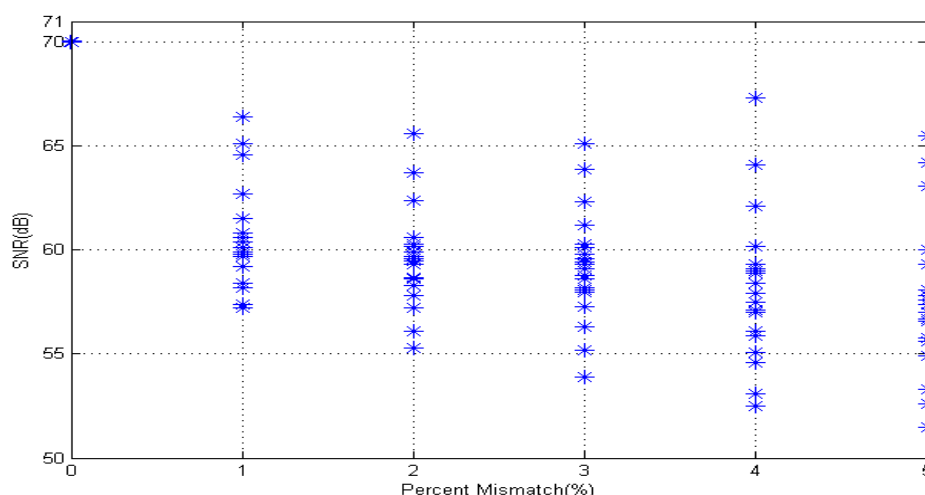
۴- بررسی اثرات غیرایده‌آل

۱-۴- اثر نویز فاز

برای بررسی نویز فاز فرض می‌شود GRO دارای نویز فاز ۹۰ dB/Hz در فرکانس انحراف ۱ MHz است، که این یک مقدار عملی



شکل ۱۷: FFT خروجی از یک مبدل با پنج فاز و در دو حالت با نویز فاز و بدون نویز فاز

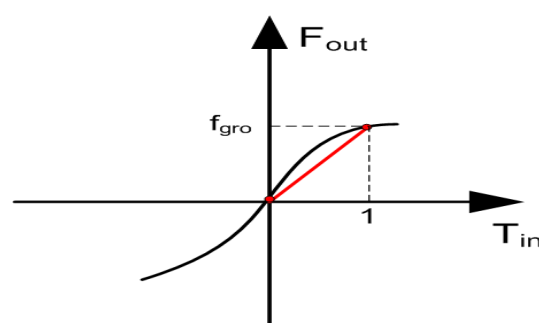


شکل ۱۸: SNR خروجی یک مبدل پنج فاز بر حسب درصد ناهمسانی

SNR آورده شده است که ملاحظه می شود در حالت تفاضلی مقادیر بسیار به هم نزدیک هستند.

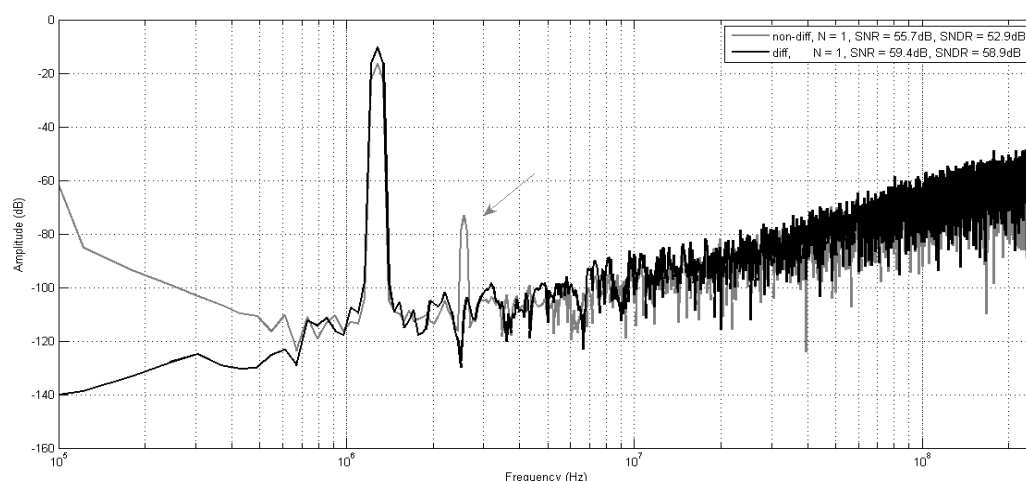
۵- نتیجه گیری

در این مقاله یک روش کارآمد جهت افزایش توان تفکیک مبدل آنالوگ به دیجیتال شکل دهی چندطبقه MASH ارائه و با روابط ریاضی و شبیه سازی اثبات گردید. نتایج حاصل از شبیه سازی برای یک MASH دوطبقه با استفاده از GRO بهبود توان تفکیک را به خوبی نشان می دهد و دیده شد می توان با افزایش تعداد فاز به توان تفکیک های بهتر دست یافت. ساختار مطرح شده برخلاف ساختارهای قبلی فقط نیاز به یک شمارنده دارد بنابراین افزایش فاز تأثیر زیادی در توان مصرفی ندارد.



شکل ۱۹: مشخصه فرکانس-ولتاژ یک GRO

همچنین در این مبدل اثر مؤلفه های غیرخطی در خروجی با یک ساختار تفاضلی کاهش گردیده است. برای اثبات این موضوع شبیه سازی یک ساختار تفاضلی و یک ساختار غیرتفاضلی با شرایط (با همان مشخصات قبل) انجام شده است. شکل (۲۰) FFT خروجی این دو حالت را نشان می دهد. ملاحظه می شود ساختار تفاضلی موجب حذف مؤلفه ناخواسته شده است. در نمودارها مقادیر SNDR در کنار



شکل ۲۰: FFT خروجی از یک مبدل با یک فاز و در دو حالت تفاضلی و غیرتفاضلی

مراجع

- [1] R. B. Staszewski and K. Muhammad, "All-digital TX frequency synthesizer and discrete-time receiver for Bluetooth radio in 130-nm CMOS," *IEEE J. Solid-State Circuits*, vol. 39, no. 12, pp. 2278–2291, Dec. 2004.
- [2] J. Kim, T. Jang, Y. Yoon and S. H. Cho, "Analysis and design of voltage-controlled oscillator based analog-to-digital converter," *IEEE Trans. Circuits Syst. I, Reg. Papers*, vol. 57, pp. 18–30, Jan. 2010.
- [3] J. Kim and S. H. Cho, "A time-based analog-to-digital converter using a multi-phase voltage-controlled oscillator," in *Proc. IEEE Int. Symp. Circuits Syst.*, pp. 3934–3937 May 2006.
- [4] M. Z. Straayer and M. H. Perrott, "A 10-bit 20 MHz 950 MHz CT $\Sigma\Delta$ ADC with a 5-bit noise-shaping VCO-based quantizer and DEM circuit in 0.13 μ CMOS," in *Proc. IEEE Int. Conf. VLSI Des.*, pp. 246–247 Jan. 2007.
- [5] M. Z. Straayer and M. H. Perrott, "A 12-bit, 10 MHz bandwidth, continuous-time $\Sigma\Delta$ ADC with a 5-bit, 950 MS/s VCO-based quantizer," *IEEE J. Solid-State Circuits*, vol. 43, no. 4, pp. 805–814, Apr. 2008.
- [6] L. Hernandez, S. Paton and E. Prefasi, "VCO-based sigma delta modulator with PWM precoding," *Electron. Lett.*, vol. 47, no. 10, pp. 588–589, 2011.
- [7] S. Rao, "A 71 dB SFDR open loop VCO-based ADC using 2-level PWM modulation," in *Proc. IEEE Symp. VLSI Circuits Dig. Tech. Papers*, pp. 270–271, Jun. 2011.
- [8] L. Hernandez, "VCO based multi-stage noise shaping ADC," *Electron. Lett.*, vol. 48, no. 4, pp. 206–208, Feb. 2012.
- [9] Y. Wonsik and K. Jaewook, "A Time-Domain High-Order MASH $\Delta\Sigma$ ADC Using Voltage-Controlled Gated-Ring Oscillator," *IEEE Trans. Circuits Syst. I Reg. Papers*, vol. 60, pp. 856–866, Apr. 2013.
- [10] I. Kazi, Low Power Current Mode sigma-delta ADC using a Ring Oscillator based Quantizer, Master thesis, Royal Institute of Tech., Sweden, 2012.
- [11] M. Z. Straayer and M. H. Parrott, "A multi-path gated ring oscillator TDC with first-order noise shaping," *IEEE J. Solid-State Circuits*, vol. 44, no. 4, pp. 1089–1098, Apr. 2009.
- [12] D. Johns and K. Martin, *Analog Integrated Circuit Design*. New York: Wiley, 1997.
- [13] Z. Song and D. Sarwate, "The frequency spectrum of pulse width modulated signals," *Signal Processing*, no. 10, pp. 2227–2258, Oct. 2003.
- [14] M. Z. Straayer, Noise Shaping Techniques for Analog and Time to Digital Converters Using Voltage Controlled Oscillators, Ph.D thesis, MIT, Cambridge, MA, 2008.
- [15] R. Navid, T. H. Lee and R. W. Dutton, "Minimum achievable phase noise of RC oscillators," *IEEE J. Solid-State Circuits*, vol. 40, no. 3, pp. 630–637, Mar. 2005.

زیرنویس‌ها

- ¹ Voltage Controlled Oscillator
- ² Resolution
- ³ Gated-Controlled Ring Oscillator
- ⁴ Least Significant Bit