

The integration of random dropout technique with deep recurrent neural networks for modeling the transient behavior of the digital phase-locked loop circuit in the 1 GHz range

Hamideh Parsaeian¹, Ali Moftakharzadeh¹, Seyed Alireza Sadrossadat^{*2}, Ali Mirvakili¹

¹Department of Electrical Engineering, Yazd University, Yazd, Iran

²Department of Computer Engineering, Yazd University, Yazd, Iran

E-mails: h.parsaeian@stu.yazd.ac.ir; mofthakharzadeh@yazd.ac.ir; alireza.sadr@yazd.ac.ir; ali.mirvakili@yazd.ac.ir

*Corresponding Author

Abstract

In this paper, we investigate and model the transient behavior of a digital phase-locked loop (DPLL) clock recovery circuit using artificial neural networks. The circuit modeling in this study is performed using a deep recurrent neural network (RNN), which faced challenges such as overfitting. This issue led to a reduction in the accuracy of the proposed model and a mismatch with real-world data. To address this problem, the dropout technique was employed, which improved the model's performance by reducing its complexity, resulting in a more accurate model compared to the standard deep recurrent neural network models. Additionally, by utilizing a deep gated recurrent unit (GRU), the model error is significantly reduced by 80.32% compared to the Recurrent Neural Network (RNN) model, and the model's accuracy is remarkably improved. The Deep Gated Recurrent Unit not only enhances the model's accuracy but also improves its stability and generalization capability. This method, especially when compared to transistor-level models, provides a model 43.28 times faster, which is important for practical and industrial applications.

Keywords

Recurrent neural network (RNN), digital phase-locked loop (DPLL) clock-recovery circuit, gated recurrent unit (GRU), dropout technique.

1- Short Paper

In the word of telecommunications and digital electronics, clock-recovery circuits are essential for synchronizing incoming signals in digital systems. Digital Phase-Locked Loops (DPLLs) are particularly valuable in this context, as they offer enhanced noise reduction and improved synchronization accuracy. Unlike their analog counterparts, DPLs are favored in a wide range of applications, including digital communications and optical networks, due to their high flexibility and programmability. Designing these circuits optimally requires precise modeling and iterative simulations. While traditional simulation tools like LTspice provide high accuracy, they are often slow. To address this, modern modeling techniques, such as the application of neural networks, have been proposed to achieve faster simulation speeds without compromising accuracy. This paper focuses on modeling the DPLL clock-recovery circuit using Recurrent Neural Networks (RNNs) and Gated Recurrent Units (GRUs).

2- Proposed Work and Methodology

Behavioral models and transistor-level models represent two distinct approaches to circuit modeling. This paper focuses on modeling a DPLL clock-recovery circuit using deep learning techniques and compares the resulting behavioral model with the traditional transistor-level model. In this research, Recurrent Neural Networks (RNNs) and Gated Recurrent Units (GRUs) with a structure of (1, 20, 20, 20, 1), along with Dropout techniques, have been employed. The aim of this approach is to enhance modeling accuracy while reducing computational complexity. Given their architecture, these neural networks are classified as deep neural networks, which significantly improve the precision and efficiency of circuit modeling.

3- Conclusion

The results of this paper demonstrate that employing deep neural networks to model the DPLL clock recovery circuit significantly enhances efficiency. When using an RNN with 10,000 epochs, overfitting was evident, as the test error was considerably higher than the training error. This issue was effectively resolved by applying the Dropout technique. Ultimately, the GRU model, trained with 3,000 epochs, achieved an 80.32% reduction in error compared to the RNN model. Additionally, the GRU-based circuit modeling, while maintaining acceptable accuracy, offers a much higher speed compared to the traditional transistor-level model.

ادغام تکنیک حذف تصادفی با شبکه‌های عصبی عمیق بازگشتی برای مدل‌سازی رفتار گذرا در مدار حلقه قفل فاز دیجیتال برای در محدوده فرکانسی ۱ گیگا هرتز

حمیده پارسائیان

دانشجوی کارشناسی ارشد، دانشکده مهندسی برق، دانشگاه یزد، یزد، ایران

علی مفتخرزاده

استادیار، دانشکده مهندسی برق، دانشگاه یزد، یزد، ایران

سید علیرضا صدرالسادات

استادیار، دانشکده مهندسی کامپیوتر، دانشگاه یزد، یزد، ایران

علی میروکیلی

استادیار، دانشکده مهندسی برق، دانشگاه یزد، یزد، ایران

چکیده

در این مقاله به بررسی و مدل‌سازی رفتار گذرای مدار بازیابی کلاک قفل‌کننده فاز دیجیتال با استفاده از شبکه‌های عصبی مصنوعی پرداخته می‌شود. در این تحقیق، مدل‌سازی مدار با بهره‌گیری از شبکه عصبی بازگشتی عمیق صورت گرفته که با چالش‌هایی نظیر بیش‌برازش مواجه بوده است. این مشکل، به کاهش دقت پیش‌بینی‌های مدل و عدم تطابق با داده‌های واقعی منجر شده است. برای رفع این مشکل، از تکنیک حذف تصادفی استفاده شده که با کاهش پیچیدگی مدل، عملکرد آن را بهبود بخشیده، در نتیجه، مدلی دقیق‌تر نسبت به شبکه عصبی بازگشتی عمیق استاندارد ارائه می‌شود. علاوه بر این، با بهره‌گیری از واحد بازگشتی گیت‌دار عمیق، خطای مدل به میزان قابل توجه ۸۰/۳۲ درصد در مقایسه با مدل شبکه عصبی بازگشتی کاهش یافته و دقت مدل به طرز چشمگیری بهبود می‌یابد. واحد بازگشتی گیت‌دار عمیق نه تنها دقت مدل را افزایش می‌دهد، بلکه پایداری و قابلیت تعمیم‌پذیری آن را نیز ارتقا می‌بخشد. این روش، به‌ویژه در مقایسه با مدل‌های سطح ترانزیستوری، مدلی ۴۳/۲۸ برابر سریع‌تر ارائه می‌دهد که برای کاربردهای عملی و صنعتی از اهمیت ویژه‌ای برخوردار است.

کلمات کلیدی

شبکه عصبی بازگشتی (RNN)، مدار بازیابی کلاک قفل‌کننده فاز دیجیتال (DPLL)، واحد بازگشتی گیت‌دار (GRU)، تکنیک حذف تصادفی (Dropout).

نام نویسنده مسئول: سید علیرضا صدرالسادات

ایمیل نویسنده مسئول: alireza.sadr@yazd.ac.ir

تاریخ ارسال مقاله: ۱۴۰۳/۰۸/۰۵

تاریخ(های) اصلاح مقاله: ۱۴۰۳/۰۹/۱۵

تاریخ پذیرش مقاله: ۱۴۰۳/۱۰/۰۳

۴- مقدمه

نوسان‌سازهای دیجیتال، دقت بالا و کاهش نویز را فراهم می‌کنند. برخلاف سیستم‌های قفل‌کننده فازهای آنالوگ که از قطعات آنالوگ استفاده می‌کنند، سیستم‌های قفل‌کننده فاز دیجیتال با استفاده از تکنیک‌های پردازش سیگنال دیجیتال، علاوه بر کاهش نویزپذیری، انعطاف‌پذیری بیشتری دارند و به راحتی قابل برنامه‌ریزی و تنظیم برای کاربردهای مختلف هستند [۲].

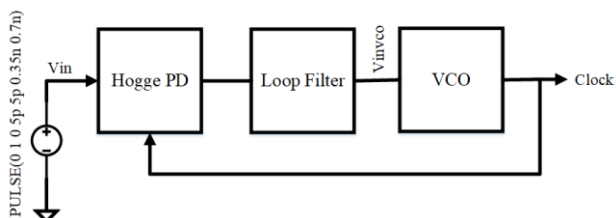
در سیستم‌های رادیویی، سیستم‌های قفل‌کننده فاز دیجیتال برای همگام‌سازی فرکانس و کاهش نویز اهمیت دارند [۳] و در مخابرات دیجیتال و بسیاری از فناوری‌های پیشرفته مانند اترنت، شبکه‌های محلی بی‌سیم و پردازش سیگنال دیجیتال برای تولید و تنظیم سیگنال‌های کلاک به‌طور گسترده استفاده می‌شوند [۴]. همچنین، در شبکه‌های نوری نیز از این مدارها برای بازیابی کلاک از سیگنال‌های نوری استفاده می‌کنند [۵].

یکی از ویژگی‌های بسیار حیاتی برای مدارهای الکترونیکی مختلف در زمینه انتقال اطلاعات دیجیتال با سرعت بالا، این است که مدار داخلی به سرعت با سیگنال‌های خارجی همگام می‌شود. این موضوع اغلب توسط مدار بازیابی دقیق کلاک از داده‌های دریافتی به‌دست آمده و با استفاده از یک قفل‌کننده فاز دیجیتال^۱، سیگنال پالس ساعتی تولید می‌گردد که به‌سرعت با سیگنال‌های ورودی هم‌زمان شده و به‌طور هم‌زمان فاز و فرکانس پالس ساعت قفل می‌شود [۱]. در دنیای مخابرات و الکترونیک دیجیتال، سیستم‌های قفل‌کننده فاز دیجیتال، نقش بسیار مهمی در همگام‌سازی فاز و فرکانس سیگنال‌ها ایفا می‌کنند. سیستم‌های قفل‌کننده فاز دیجیتال به عنوان سیستم‌های کنترلی حلقه‌بسته، با بهره‌گیری از آشکارساز الکترونیکی، فیلترهای دیجیتال و

^۱ Digital Phase-Locked Loop (DPLL)

۵- ساختار مدار بازیابی کلاک قفل کننده فاز دیجیتال

بنابراین در این مقاله با استفاده از تکنیک‌های پیشرفته یادگیری عمیق، یک مدار بازیابی کلاک قفل‌کننده فاز دیجیتال، شبیه‌سازی و مدل‌سازی می‌گردد. به منظور دستیابی به این هدف، از شبکه عصبی بازگشتی و واحد بازگشتی گیت‌دار^۶ و تکنیک حذف تصادفی (Dropout) استفاده شده است. این انتخاب نه تنها به دلیل توانایی بالای شبکه‌های عصبی در پردازش داده‌های ترتیبی است، بلکه با جلوگیری از بیش‌برازش در شبکه عصبی بازگشتی با استفاده از تکنیک حذف تصادفی [۱۴] و کاهش پیچیدگی محاسباتی و بهبود کارایی در واحد بازگشتی گیت‌دار [۱۵] منجر به نتایج بهتری می‌گردد.



شکل ۱- بلوک دیاگرام مدار بازیابی کلاک قفل کننده فاز دیجیتالی (DPLL)

The diagram shows a circuit for a D flip-flop with an added delay element. The input V_{in} is connected to the D input of the first flip-flop. The output Q of the first flip-flop is connected to the D input of the second flip-flop. The clock input of the first flip-flop is connected to the clock input of the second flip-flop. The output $\bar{Q}$ of the first flip-flop is connected to the D input of the second flip-flop. The output Q of the second flip-flop is connected to the output of an OR gate, which is labeled "Increase". The output $\bar{Q}$ of the second flip-flop is connected to the output of another OR gate, which is labeled "Decrease". A dashed box labeled "Added Delay" is placed around the output of the first flip-flop, indicating a delay element. A capacitor C_1 is connected to the output of the first flip-flop, representing the delay.

شکل ۲- آشکارساز فاز هوگ (Hogge PD) [۱۶]

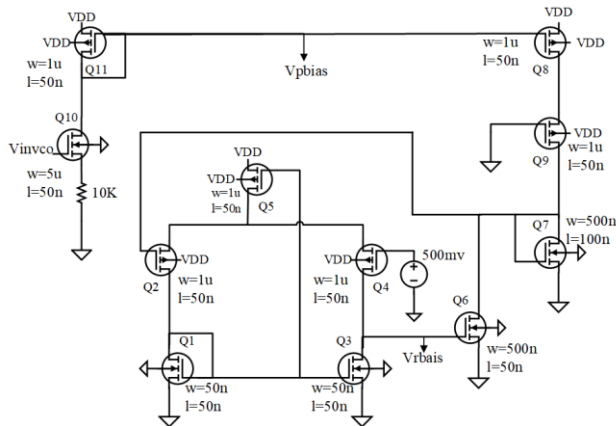
⁶ Gated Recurrent Unit (GRU)⁷ Voltage-Controlled Oscillator (VCO)⁸ True Single Phase Clock² frequency accumulation

³ Time-Domain Neural Networks

⁴ Deep Neural Network (DNN)⁵ Recurrent Neural Network (RNN)

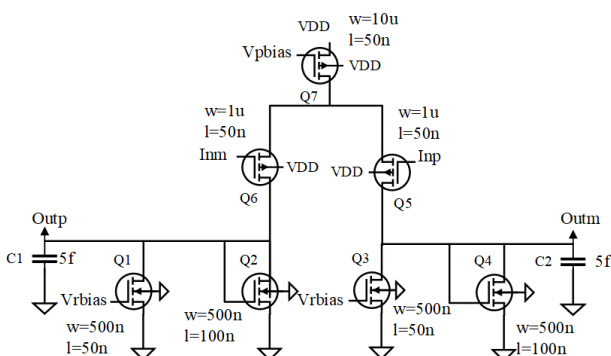
تغییرات فرآیندی، تضمینی برای همراستایی دقیق نیست. بنابراین، یک مدار خودتصحیح‌کننده مانند مدار بایاس که در شکل ۵ نشان داده شده، مورد نیاز است تا سیگنال ساعت بدون توجه به نرخ داده، دما یا تغییرات فرآیندی، با مرکز بیت داده همراستا شود [۱۶].

مدار بایاس، نقش کلیدی در تنظیم و کنترل جریان مرجع و ولتاژ برای ایجاد تأخیر دقیق در مراحل مختلف خط تأخیر دارد. این مدار با تولید جریان مرجع مورد نیاز و تبدیل ولتاژ کنترل به جریان مرجع، عملکرد VCO یا مراحل خط تأخیر را تنظیم می‌کند. علاوه بر این، مدار بایاس با کاهش ناپایداری‌های ناشی از تغییرات ولتاژ منبع تغذیه و حفظ پایداری ولتاژ و جریان، دقت و عملکرد بهینه سیستم را تضمین می‌نماید [۱۶].



شکل ۵- مدار بایاس (Bias Circuit)

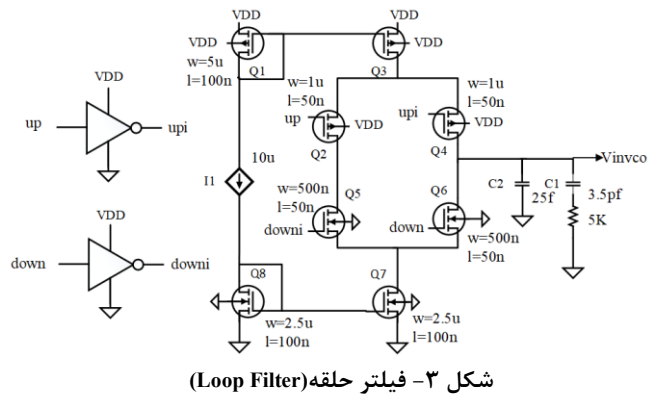
در عین حال، مدار داخلی بلوک تأخیر نشان داده شده در شکل ۶ و خط تأخیر کنترل شونده با ولتاژ^۹ موجود در شکل ۷ نیز به ولتاژ بایاس نیاز دارند تا عملکرد صحیح و پایدار آن‌ها تضمین شود؛ این ولتاژ برای فعال‌سازی ترانزیستورهای مدار و تأمین تأخیر مورد نیاز ضروری است. یکی از ویژگی مهم بلوک تأخیر، دامنه تنظیم وسیع آن است. این دامنه تنظیم وسیع بدین معنا می‌باشد که VCO می‌تواند فرکانس خروجی خود را در محدوده گسترده‌ای تغییر دهد. این امر به جبران تغییرات ناشی از فرآیند ساخت و تغییرات دما کمک می‌کند [۱۸].



شکل ۶- مدارهای داخلی بلوک تأخیر (Delay Circuit)

در VCO، از یک VCDL استفاده می‌شود، تا بتوان خروجی‌های مثبت و منفی تولید کرد. این بدان معناست که VCDL به گونه‌ای تنظیم می‌گردد که دو خروجی با فازهای مخالف تولید کند. به طور خاص، خروجی VCDL

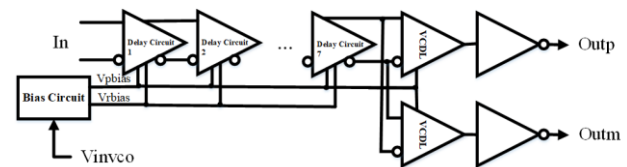
فیلتر حلقه که در شکل ۳ نشان داده شده است نقش کلیدی در عملکرد مدارهای قفل‌کننده فاز دیجیتال ایفا می‌کند، زیرا وظیفه آن تنظیم ولتاژ کنترل VCO بر اساس سیگنال‌های آشکارساز فاز است. فیلتر حلقه به طور مداوم اختلاف فاز بین سیگنال ورودی و سیگنال خروجی را دریافت می‌کند و به آن واکنش نشان می‌دهد. اگر سیگنال خروجی از سیگنال ورودی عقب بماند، فیلتر حلقه ولتاژ کنترل را افزایش می‌دهد تا سرعت نوسان VCO بیشتر شود و فاز خروجی به ورودی نزدیک‌تر شود. در مقابل، اگر سیگنال ورودی از خروجی عقب بماند، فیلتر حلقه ولتاژ کنترل را کاهش می‌دهد تا VCO سرعت کمتری داشته باشد و فاز خروجی و ورودی هم‌تراز شوند [۱۶].



شکل ۳- فیلتر حلقه (Loop Filter)

به این ترتیب، فیلتر حلقه به تنظیم مداوم فرکانس نوسان VCO کمک می‌کند و با این تنظیمات پویا، سیستم می‌تواند به حالت قفل فاز برسد. این فرآیند قفل فاز به مدار قفل‌کننده فاز دیجیتال اجازه می‌دهد که نوسانات سیگنال خروجی به صورت دقیق با سیگنال مرجع هم‌فاز شوند [۱۶].

VCO که بلوک دیاگرام آن در شکل ۴ نشان داده شده، یک نوع نوسان‌ساز الکترونیکی است که فرکانس خروجی آن با تغییر ولتاژ ورودی قابل تنظیم می‌باشد [۱۷]. به عبارت دیگر، فرکانس سیگنال در یک محدوده مشخص از ولتاژ کنترل، به صورت خطی افزایش می‌یابد. این ویژگی باعث می‌شود VCO به یک عنصر کلیدی در مدارهای قفل‌کننده فاز دیجیتال، بخصوص در سیستم‌های مخابراتی و راداری تبدیل شود [۱۶].

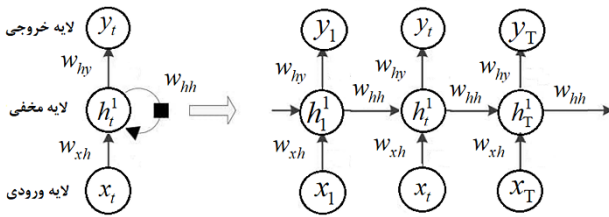


شکل ۴- بلوک دیاگرام نوسان‌ساز کنترل‌شده با ولتاژ (VCO)

در ساختار VCO موجود در مدار قفل‌کننده فاز دیجیتال مد نظر، از یک نوسانگر حلقوی با سه مرحله تفاضلی استفاده شده است. هر مرحله تفاضلی شامل یک تقویت‌کننده با تأخیر بوده که این تقویت‌کننده‌ها سیگنال ورودی را با مقداری تأخیر تقویت می‌کنند. این تأخیر فاز باعث ایجاد نوسان در خروجی VCO می‌شود [۱۸].

در مدارهای بازیابی ساعت با سرعت بالا، استفاده از چند بافر ساده برای ایجاد تأخیر مناسب نیست، زیرا تأخیر باید ثابت باشد. عدم همراستایی ساعت با مرکز بیت داده می‌تواند مشکلاتی را ایجاد کند. صرفاً افزودن تأخیر به صورت سری با سیگنال ساعت این مشکل را حل نمی‌کند، زیرا وابستگی مدار به دما و

⁹ Voltage-Controlled Delay Line (VCDL)



شکل ۸- ساختار پایه شبکه عصبی بازگشتی (RNN) [۲۲]

در این ساختار، ورودی x_t در هر بازه زمانی t دریافت و خروجی h_t که به عنوان خروجی مخفی شناخته می‌شود، تولید می‌گردد. ساختار حلقه‌ای شبکه عصبی بازگشتی به شبکه اجازه می‌دهد تا اطلاعات مربوط به خروجی‌های قبلی را حفظ و استفاده کند. محاسبه خروجی شبکه عصبی بازگشتی بر اساس محاسبه تکراری دو رابطه زیر انجام می‌شود [۲۳]:

$$h_t = H(w_{xh}x_t + w_{hh}h_{t-1} + b_h) \quad (1)$$

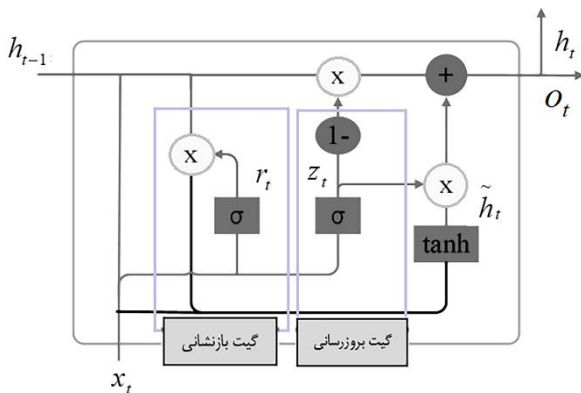
$$y_t = w_{hy}h_t + b_y \quad (2)$$

در (۱) و (۲) x_t ، y_t ، h_t و h_{t-1} به ترتیب ورودی، خروجی، وضعیت مخفی در مرحله زمانی فعلی و وضعیت مخفی در مرحله زمانی قبلی است. همچنین w و H به ترتیب ماتریس‌های وزن و تابع فعال‌سازی هستند که برای لایه مخفی استفاده می‌گردد. b_h و b_y نیز مقادیر ثابتی هستند که به آنها بایاس گفته می‌شود.

بنابراین، می‌توان گفت که تصمیمی که در مرحله زمانی قبلی گرفته شده، بر تصمیمی که در مرحله زمانی فعلی گرفته می‌شود، تأثیر می‌گذارد [۲۳].

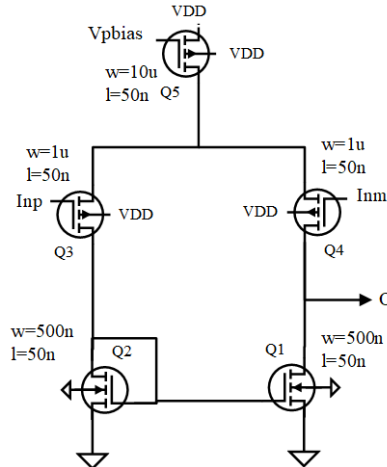
۶-۲- تکنیک حذف تصادفی

حذف تصادفی یکی از تکنیک‌های مهم در آموزش شبکه‌های عصبی است که برای کاهش بیش‌برازش و افزایش عمومیت شبکه مورد استفاده قرار می‌گیرد. این تکنیک، به طور تصادفی بخشی از نورون‌های یک لایه را در هر مرحله آموزش غیرفعال می‌کند که باعث می‌شود در هر مرحله آموزش، بخشی از ویژگی‌های ورودی که ممکن است به صورت غیرمطلوبی یاد گرفته شده باشند، از بین بروند و شبکه به طور کلی بهبود یافته و عمومیت بیشتری داشته باشد [۱۴]. با ادغام تکنیک حذف تصادفی در شبکه عصبی بازگشتی، علاوه بر کاهش بیش‌برازش (overfitting)، می‌توان پیچیدگی شبکه را نیز کاهش داد [۲۴].



شکل ۹- واحد بازگشتی گیت‌دار (GRU) [۲۶]

ورودی آن با یک وارونگی فیدبک داده می‌شود، تا اختلاف فاز لازم برای ایجاد و حفظ نوسانات فراهم شود. این اختلاف فاز ۱۸۰ درجه‌ای بین ورودی و خروجی، شرط لازم برای نوسان پایدار در مدارهای الکترونیکی است. استفاده از VCDL در طراحی امکان تولید خروجی‌های دقیق و پایدار را در شرایط مختلف فرآیندی و محیطی فراهم می‌کند [۱۶].



شکل ۷- خط تاخیر کنترل شونده با ولتاژ (VCDL)

۶-۱- شبکه‌های عصبی

یادگیری عمیق زیرمجموعه‌ای از یادگیری ماشین است که در پردازش داده‌های بدون ساختار و بسیار بزرگ عملکرد بهتری دارد [۱۹]. مدل‌های یادگیری عمیق از ساختار و عملکرد سیستم عصبی و مغز انسان الهام می‌گیرند. این مدل‌ها از لایه‌های ورودی، مخفی و خروجی برای سازماندهی واحدهای پردازش استفاده می‌کنند. در هر لایه، گره‌ها با گره‌های موجود در لایه پایین‌تر به صورت متقابل ارتباط برقرار کرده و به هر اتصال یک وزن اختصاص داده می‌شود [۲۰].

تأثیر یادگیری عمیق در حوزه‌های مختلفی از جمله تشخیص گفتار، بهداشت و درمان، خودروهای خودران، امنیت سایبری و غیره دیده می‌شود. با این حال، پیچیدگی و ماهیت پویای مشکلات دنیای واقعی، چالش‌هایی را در طراحی مدل‌های یادگیری عمیق مؤثر ایجاد می‌کند. به همین دلیل، مدل‌های مختلف یادگیری عمیق برای حل مشکلات و کاربردهای متفاوت توسعه داده شده‌اند [۱۹]. در ادامه، به مرور کلی از ساختارهای شبکه عصبی بازگشتی و واحد بازگشتی گیت‌دار پرداخته می‌شود.

۶-۱-۱- شبکه عصبی بازگشتی

شبکه عصبی بازگشتی نوعی از شبکه‌های عصبی هستند که به دلیل داشتن حلقه‌ها قادر به حفظ اطلاعات گذشته در مدل شبکه می‌باشد [۲۱]. این ویژگی به شبکه عصبی بازگشتی امکان می‌دهد تا در مدل‌سازی داده‌های ترتیبی مانند سری‌های زمانی، متن و گفتار بسیار مؤثر باشد.

شبکه عصبی بازگشتی دارای ساختار خاصی است که به آن اجازه می‌دهد اطلاعات را از یک مرحله زمانی به مرحله زمانی بعدی منتقل کند [۲۱]. در شکل ۸، ساختار پایه یک شبکه عصبی بازگشتی نشان داده شده است.

۳-۶- واحد بازگشتی گیت دار

واحد بازگشتی گیت دار یک نسخه دیگر از معماری شبکه های عصبی بازگشتی است که به مشکل حافظه کوتاه مدت پرداخته و ساختار ساده تری نسبت به حافظه طولانی-کوتاه مدت^{۱۰} [۲۵] ارائه می دهد. واحد بازگشتی گیت دار موجود در شکل ۹ از ساختاری استفاده می کند که شامل گیت های به روزرسانی، بازنشانی و محتوای حافظه فعلی است. گیت به روزرسانی تعیین می کند که چه مقدار از اطلاعات مرحله زمانی قبلی باید به وضعیت فعلی منتقل شود. به عبارت دیگر، این گیت تصمیم می گیرد که چه مقدار از اطلاعات قبلی (h_{t-1}) را نگه دارد و چه مقدار از اطلاعات جدید را به وضعیت فعلی (x_t) اضافه کند. رابطه گیت به روزرسانی به صورت زیر است [۱۵]:

$$z_t = \sigma(w_z[h_{t-1}, x_t] + b_z) \quad (۳)$$

در (۳) z_t ، h_{t-1} ، x_t و w_z به ترتیب خروجی گیت به روزرسانی، وضعیت مخفی در مرحله زمانی قبلی، ورودی در مرحله زمانی فعلی و وزن های مربوط به گیت بازنشانی بوده و b نیز مقدار ثابتی است که به آن بایاس گفته می شود. همچنین σ ، تابع سیگموئید است که خروجی را به بازه (۰، ۱) می برد. گیت بازنشانی تعیین می کند که چه مقدار از اطلاعات مرحله زمانی قبلی را باید فراموش کرد. این گیت به مدل کمک می کند تا در صورت نیاز، اطلاعات غیر ضروری را فراموش کرده و فقط اطلاعات مهم را نگه دارد. رابطه گیت بازنشانی به صورت زیر است [۱۵]:

$$r_t = \sigma(w_r[h_{t-1}, x_t] + b_r) \quad (۴)$$

در (۴) r_t ، h_{t-1} ، x_t و b به ترتیب خروجی گیت بازنشانی، ورودی در مرحله زمانی فعلی، وضعیت مخفی در مرحله زمانی قبلی، بایاس و وزن های مربوط به گیت بازنشانی است. همچنین σ ، تابع سیگموئید است. وضعیت حافظه فعلی بر اساس گیت بازنشانی و ادغام وضعیت مخفی قبلی و ورودی فعلی محاسبه می شود. نتیجه از طریق یک تابع فعال سازی هاپربولیک تانژانت منتقل می شود تا فعالیت کاندید تولید شود. رابطه وضعیت حافظه فعلی به صورت زیر است [۱۵]:

$$\tilde{h}_t = \tanh(w_h[r_t h_{t-1}, x_t]) \quad (۵)$$

در (۵) $\tilde{h}_t$ ، h_{t-1} ، x_t و w_h به ترتیب خروجی گیت بازنشانی، ورودی در مرحله زمانی فعلی، وضعیت مخفی در مرحله زمانی قبلی، بایاس و وزن های مربوط به محتوای حافظه فعلی است. همچنین $\tanh$ ، تابع تانژانت هاپربولیک است که خروجی را به بازه (-۱، ۱) می برد.

سرانجام، وضعیت حافظه نهایی (h_t) بر اساس یک ترکیب از وضعیت مخفی قبلی و فعالیت کاندید تعیین می شود. رابطه وضعیت حافظه نهایی به صورت زیر است [۱۵]:

$$h_t = (1 - z_t)h_{t-1} + z_t \tilde{h}_t \quad (۶)$$

در (۶) h_t ، h_{t-1} و $\tilde{h}_t$ به ترتیب خروجی گیت به روزرسانی، وضعیت حافظه نهایی، وضعیت حافظه فعلی و وضعیت مخفی در مرحله زمانی قبلی است. محاسبه خروجی واحد بازگشتی گیت دار بر اساس رابطه زیر انجام می شود [۱۵]:

$$o_t = \sigma_o(w_o h_t + b_o) \quad (۷)$$

در (۷) o_t ، h_t و w_o به ترتیب خروجی واحد بازگشتی گیت دار، وضعیت حافظه نهایی و وزن های مربوط به خروجی بوده و b نیز مقدار ثابتی است که به آن بایاس گفته می شود. همچنین σ ، تابع سیگموئید است. این گیت ها به مدل این امکان را می دهند که انتخایی بین اطلاعات جدید و قدیمی انجام دهند و اطلاعات مهم را به صورت موثرتری حفظ کند. این امر به طور مؤثری به کاهش محو شدن گرادیان کمک می کند [۱۵].

۷- مدل سازی مدار بازیابی کلاک قفل کننده فاز دیجیتال

در ابتدای فرآیند مدل سازی مدار بازیابی کلاک DPLL، از ساختار شبکه عصبی بازگشتی برای مدل سازی استفاده می شود. هدف از آموزش شبکه عصبی بازگشتی، ارائه یک مدل مناسب است که به خوبی رفتار غیر خطی مدار بازیابی کلاک را نمایش دهد. الگوریتم شبکه عصبی بازگشتی به کمک زبان برنامه نویسی پایتون اجرا شده است. این شبکه عصبی بازگشتی با استفاده از مجموعه ای از شکل موج های ورودی-خروجی آموزش داده شده که این داده ها به عنوان داده های آموزشی شناخته می شوند.

توجه شود که داده های ورودی و خروجی شبکه عصبی بازگشتی که به ترتیب شامل سیگنال V(pulse)، ظرفیت خازن C2 و ولتاژ Vinco هستند، با استفاده از نرم افزار LTspice تولید می گردد. تحلیل مدار در این نرم افزار در حوزه زمان انجام می شود، بنابراین داده های تولید شده به زمان وابسته هستند.

تعداد داده های آموزشی و آزمایشی به ترتیب ۴۲ و ۱۴ بوده و داده های تولید شده نتیجه تغییرات زمان صعود/نزول پالس ورودی و ظرفیت خازن C2 که در شکل ۳ نمایش داده شده، می باشند.

در ابتدا، یک شبکه عصبی بازگشتی عمیق که شامل دو لایه ورودی، یک لایه خروجی و سه لایه مخفی با ساختار (۱، ۲۰، ۲۰، ۲۰) است، با نرخ های یادگیری متفاوت آموزش داده می شود تا بهترین نرخ یادگیری برای این مدل سازی پیدا شود. توجه داشته باشید در این مدل سازی تعداد دوره ها به صورت پیش فرض ۲۰۰۰ در نظر گرفته شده است. نتایج در جدول ۱ قابل مشاهده می باشد.

جدول ۱- مقایسه خطای آموزش و آزمایش به دست آمده از شبکه

عصبی بازگشتی عمیق به ازای نرخ های یادگیری مختلف

نرخ های یادگیری	خطای آموزش	خطای آزمایش
۰/۱	۰/۱۱۰۱۱۰	۰/۱۱۰۵۸۱
۰/۰۱	۰/۰۵۱۹۰۹	۰/۰۵۲۹۲۰
۰/۰۰۱	۰/۰۰۹۰۴۸	۰/۰۹۰۰۸۴

همان طور که در جدول ۱ مشاهده می گردد در نرخ یادگیری، ۰/۰۰۱ شبکه کمترین خطا را دارد.

در گام دوم شبکه عصبی بازگشتی عمیق توسط سه تابع فعال ساز Relu، Sigmoid و Tanh آموزش داده می شود تا بهترین تابع فعال ساز را برای این مدل سازی پیدا شود. نتایج را در جدول ۲ قابل مشاهده است. همان طور که در جدول ۲ مشاهده می شود در تابع فعال ساز، tanh شبکه کمترین خطا را دارد.

جدول ۲- مقایسه خطای آموزش و آزمایش به دست آمده از شبکه

عصبی بازگشتی عمیق به ازای انواع توابع فعال ساز

توابع فعال ساز	خطای آموزش	خطای آزمایش
Relu	۰/۰۲۲۹۷۳	۰/۳۶۹۷۶۱
Sigmoid	۰/۰۱۰۶۹۸	۰/۱۱۲۰۷۱
Tanh	۰/۰۰۹۰۴۸	۰/۰۹۰۰۸۴

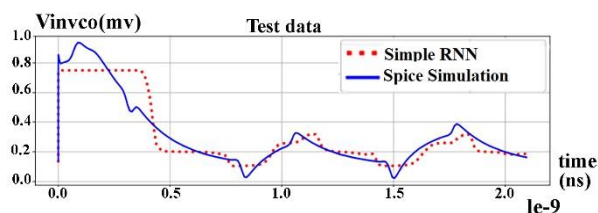
در گام سوم با تابع فعال ساز tanh و نرخ یادگیری ۰/۰۰۱ تعداد دوره ها افزایش داده شده است که نتایج در جدول ۳ قابل رویت می باشد.

جدول ۳- مقایسه خطای آموزش و آزمایش به دست آمده از شبکه

عصبی بازگشتی عمیق به ازای دوره های مختلف

دوره ها	خطای آموزش	خطای آزمایش
۲۰۰۰	۰/۰۰۹۰۴۸	۰/۰۹۰۰۸۴
۵۰۰۰	۰/۰۰۵۴۶۵	۰/۰۶۵۰۳۳
۱۰۰۰۰	۰/۰۰۱۸۸۰	۰/۰۱۰۹۶۸

همان طور که در جدول ۳ نشان داده شده است، در مدل سازی شبکه عصبی بازگشتی عمیق پس از ۱۰۰۰۰ دوره آموزش، خطای آموزش نسبتاً خوبی به دست آمده است، اما عملکرد مدل در حالت آزمایش، که در شکل ۱۰ دیده می شود دچار افت شده و این نشان دهنده بروز بیش برآزش در شبکه است. به عبارتی این مشکل هنگامی اتفاق می افتد که مدل، ویژگی های داده های آموزشی را به جای یادگیری، حفظ کرده باشد یعنی، بیش از حد روی آن آموزش دیده باشد. در نتیجه، این مدل تنها در مجموعه داده های آموزشی مفید خواهد بود و در مجموعه داده های دیگر که هنوز بر روی آن ها آموزش ندیده است، کارایی لازم را نخواهد داشت.



شکل ۱۰- مقایسه بین شکل موج های خروجی حاصل از مدل شبکه

عصبی بازگشتی عمیق و مدل Spice در حالت آزمایش

برای رفع این مشکل، تکنیک حذف تصادفی با نرخ های متفاوت بر روی شبکه عصبی بازگشتی عمیق پیاده سازی شده است. توجه داشته باشید که انتخاب نرخ مناسب از اهمیت بالایی برخوردار است. در واقع، این ساختار در صورت اعمال نرخ حذف تصادفی بالا قادر به آموزش دقیق داده ها نخواهد بود و در نتیجه باعث ایجاد خطاهای بالا در آزمایش و آموزش می شود. بنابراین، انتخاب نرخ مناسب برای این ساختار ضروری است. برای یافتن نرخ های بهینه، ابتدا، تنها از نرخ های مستقیم در تکنیک حذف تصادفی استفاده شده و نتایج آن در جدول ۴ نمایش داده شده است. سپس، در تکنیک حذف تصادفی تنها از نرخ های بازگشتی استفاده شده و نتایج در جدول ۵ ارائه شده است. در نهایت، ترکیبی از نرخ های مستقیم و بازگشتی در تکنیک حذف تصادفی به کار گرفته شده و نتایج آن در جدول ۶ نشان داده شده است.

جدول ۴- مقایسه خطای آموزش و آزمایش به دست آمده از شبکه عصبی بازگشتی عمیق با ادغام تکنیک حذف تصادفی به ازای نرخ های مختلف مستقیم

تکنیک حذف تصادفی (نرخ مستقیم، نرخ بازگشتی)	خطای آموزش	خطای آزمایش
(۰ ، ۰)	۰/۰۰۱۸۸۱	۰/۰۱۰۹۶۸
(۰ ، ۰/۱)	۰/۰۰۴۵۵۰	۰/۰۰۴۸۱۰
(۰ ، ۰/۲)	۰/۰۸۵۶۲۹	۰/۰۸۷۷۴۴

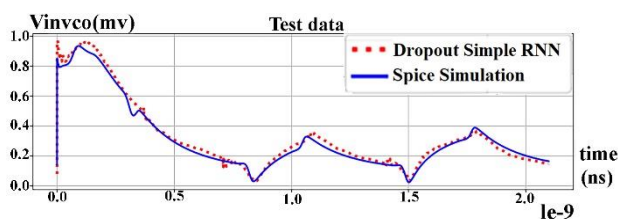
جدول ۵- مقایسه خطای آموزش و آزمایش به دست آمده از شبکه عصبی بازگشتی عمیق با ادغام تکنیک حذف تصادفی به ازای نرخ های مختلف بازگشتی

تکنیک حذف تصادفی (نرخ مستقیم، نرخ بازگشتی)	خطای آموزش	خطای آزمایش
(۰ ، ۰)	۰/۰۰۱۸۸۱	۰/۰۱۰۹۶۸
(۰/۱ ، ۰)	۰/۰۱۰۲۳۳	۰/۰۱۰۵۶۲
(۰/۲ ، ۰)	۰/۰۱۸۳۹۳	۰/۰۱۹۷۰۶

جدول ۶- مقایسه خطای آموزش و آزمایش به دست آمده از شبکه عصبی بازگشتی عمیق با ادغام تکنیک حذف تصادفی به ازای نرخ های مختلف مستقیم و بازگشتی

تکنیک حذف تصادفی (نرخ مستقیم، نرخ بازگشتی)	خطای آموزش	خطای آزمایش
(۰ ، ۰)	۰/۰۰۱۸۸۱	۰/۰۱۰۹۶۸
(۰/۱ ، ۰/۱)	۰/۰۰۱۶۲۵	۰/۰۰۱۶۵۹
(۰/۲ ، ۰/۲)	۰/۰۰۷۰۰۴	۰/۰۰۷۳۳۲

همان طور که این جداول نشان می دهند، بهترین مدل، زمانی به دست آمده است که از نرخ های ترکیبی (۱۰٪ ، ۱۰٪) برای هر دو نرخ مستقیم و بازگشتی استفاده شده باشد. خروجی مدلسازی شبکه عصبی بازگشتی عمیق با تکنیک حذف تصادفی با نرخ (۱۰٪ ، ۱۰٪) در شکل ۱۱ نمایش داده شده است. همانطور که در شکل ۱۱ نیز مشاهده می شود شبکه عصبی بازگشتی عمیق با تکنیک حذف تصادفی توانسته است مشکل بیش برآزش را رفع کرده و در نتیجه مدل دقیق تری در مقایسه با شبکه عصبی بازگشتی عمیق استاندارد ارائه دهد.



شکل ۱۱- مقایسه شکل موج های خروجی حاصل از مدل شبکه عصبی بازگشتی عمیق با ادغام تکنیک حذف تصادفی و مدل Spice در حالت آزمایش

جدول ۸- مقایسه زمان و نرخ افزایش سرعت بین مدل سطح

ترانزیستوری و مدل به دست آمده از واحد بازگشتی گیت دار عمیق

نوع مدل	زمان (ms)	نرخ افزایش سرعت
مدل سطح ترانزیستور	۳۶۱	۱
مدل حاصل از واحد بازگشتی گیت دار	۸/۳۴۱۰	۴۳/۲۸

۸- نتیجه گیری

در این مقاله، به تحلیل و مدل سازی رفتار گذرای مدار بازبایی کلاک قفل کننده فاز دیجیتال با استفاده از شبکه های عصبی مصنوعی پرداخته شد. مدار بازبایی کلاک قفل کننده فاز دیجیتال از اهمیت بالایی در سیستم های دیجیتال و مخابرات برخوردار است. این مدار به دلیل توانایی اش در همگام سازی دقیق سیگنال های ورودی با سیگنال های کلاک، در بهبود کیفیت سیگنال های دیجیتال و کاهش خطاهای انتقال داده، نقشی اساسی ایفا می کند. با توجه به اهمیت همگام سازی دقیق و سریع سیگنال های ورودی با سیگنال های کلاک در سیستم های دیجیتال، هدف اصلی این تحقیق بررسی و بهبود عملکرد مدل سازی رفتار گذرای مدار بازبایی کلاک قفل کننده فاز دیجیتال با بهره گیری از شبکه های عصبی است.

استفاده از شبکه عصبی بازگشتی عمیق استاندارد برای مدل سازی مدار منجر به بروز مشکل بیش برآزش گردید. بیش برآزش، هنگامی اتفاق می افتد که مدل ویژگی های داده های آموزشی را به جای یادگیری، حفظ کرده باشد که باعث کاهش دقت و تعمیم پذیری مدل در داده های آزمایشی می شود. برای حل این مشکل، تکنیک حذف تصادفی به کار گرفته شد. تکنیک حذف تصادفی با کاهش وابستگی مدل به نورون های خاص، باعث بهبود تعمیم پذیری و پایداری مدل گردید و در نتیجه، دقت آن در داده های آزمایشی به میزان قابل توجهی افزایش یافت.

برای دستیابی به بهبود بیشتر، از واحد بازگشتی گیت دار عمیق استفاده شد. این نوع از شبکه عصبی با ساختار گیت دار خود، قادر به یادگیری وابستگی های طولانی مدت در داده ها است و به این ترتیب، عملکرد بهتری در مدل سازی رفتار پیچیده مدارهای دیجیتال نظیر قفل کننده فاز دیجیتال ارائه می دهد. استفاده از واحد بازگشتی گیت دار عمیق منجر به کاهش ۸۰/۳۲ درصدی خطای آزمایش و بهبود دقت مدل شد.

این روش به ویژه در مقایسه با مدل های سطح ترانزیستوری، قادر به ارائه مدلی ۴۳/۲۸ برابر سریعتر بوده که برای کاربردهای عملی و صنعتی بسیار حیاتی است. تکنیک های پیشنهادی در این مقاله نه تنها سرعت مدل را افزایش داده، بلکه پایداری و قابلیت تعمیم پذیری آن را نیز تضمین می کند.

این مطالعه نشان می دهد که استفاده از روش های پیشرفته شبکه های عصبی، نظیر شبکه عصبی بازگشتی عمیق با ادغام تکنیک حذف تصادفی و واحد بازگشتی گیت دار عمیق، می تواند به عنوان یک ابزار قدرتمند برای مدل سازی و تحلیل مدارهای پیچیده در زمینه های مختلف الکترونیکی و مخابراتی مورد استفاده قرار گیرد. این روش ها می توانند به طور ویژه در طراحی و تحلیل سیستم های دیجیتال که نیاز به همگام سازی دقیق و سریع دارند، مؤثر واقع شوند.

پژوهش های آینده می توانند به بررسی و بهبود بیشتر استفاده از دیگر ساختارهای شبکه عصبی و تکنیک های بهینه سازی در مدل سازی مدارهای دیجیتال بپردازند. همچنین، اعمال این روش ها در سیستم های پیچیده تر و کاربردهای مختلف الکترونیکی می تواند به توسعه و پیشرفت های بیشتری در

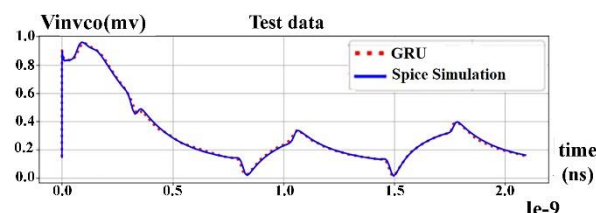
در ادامه فرایند، مدل سازی مدار بازبایی کلاک با ساختار و پارامترهای مشابه با شبکه عصبی بازگشتی عمیق و با تغییر تعداد دوره ها توسط واحد بازگشتی گیت دار عمیق انجام شده که نتایج در جدول ۷ مشهود است.

جدول ۷- مقایسه خطای آموزش و آزمایش به دست آمده از واحد

بازگشتی گیت دار عمیق به ازای دوره های مختلف

دوره ها	خطای آموزش	خطای آزمایش
۱۰۰۰	۰/۰۰۰۴۹۷	۰/۰۰۰۵۱۰
۳۰۰۰	۰/۰۰۰۲۲۵	۰/۰۰۰۲۸۷

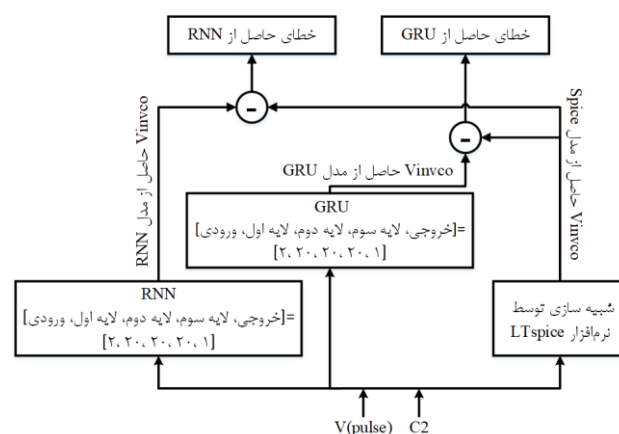
همانطور که در جدول ۷ مشاهده می شود با استفاده از واحد بازگشتی گیت دار عمیق با تعداد دوره های کمتر، می توان خطای کمتری را نسبت به شبکه عصبی بازگشتی عمیق به دست آورد. خروجی مدل سازی واحد بازگشتی گیت دار عمیق در دوره ۳۰۰۰ در شکل ۱۲ مشاهده می شود.



شکل ۱۲- مقایسه شکل موج های خروجی حاصل از مدل واحد

بازگشتی گیت دار عمیق و مدل Spice در حالت آزمایش

ساختار نهایی شبکه عصبی بازگشتی و نسخه توسعه یافته گیت دار آن در شکل ۱۳ قابل مشاهده است.



شکل ۱۳- ساختار نهایی شبکه عصبی بازگشتی و واحد بازگشتی

گیت دار برای مدل سازی مدار شکل ۱

علاوه بر این، با توجه به اهمیت زمان در ارزیابی عملکرد مدارهای الکترونیکی، نرخ افزایش سرعت و زمان اجرای مدل به دست آمده از واحد بازگشتی گیت دار عمیق با مدل سطح ترانزیستوری در جدول ۸ مقایسه شده است. همانطور که در جدول ۸ مشاهده می شود، مدل به دست آمده از واحد بازگشتی گیت دار عمیق به طور قابل توجهی بسیار سریع تر از مدل سطح ترانزیستوری عمل می کند.

- components," *IEEE Transactions on Components, Packaging and Manufacturing Technology*, vol. 11, no. 5, pp. 840-847, 2021.
- [13] W. Liu, W. Na, L. Zhu, and Q.-J. Zhang, "A review of neural network based techniques for nonlinear microwave device modeling," in *2016 IEEE MTT-S International Conference on Numerical Electromagnetic and Multiphysics Modeling and Optimization (NEMO)*, 2016, pp. 1-2.
- [14] S. Mahjoub, L. Chrifi-Alaoui, B. Marhic, and L. Delauche, "Predicting energy consumption using LSTM, multi-layer GRU and drop-GRU neural networks," *Sensors*, vol. 22, no. 11, p. 4062, 2022.
- [15] F. M. Shiri, T. Perumal, N. Mustapha, and R. Mohamed, "A comprehensive overview and comparative analysis on deep learning models: CNN, RNN, LSTM, GRU," *arXiv preprint arXiv:2305.17473*, 2023.
- [16] R. J. Baker, *CMOS: Circuit Design, Layout, and Simulation*, 4th ed. Hoboken, NJ: Wiley-IEEE Press, 2019.
- [17] S. Jahangirzadeh, A. Amirabadi, and A. Farrokhi, "Reference spur suppression in the Integer-N frequency synthesizers by reducing periodic ripples amplitude on the VCO control voltage," *TABRIZ JOURNAL OF ELECTRICAL ENGINEERING*, vol. 51, no. 1, pp. 61-69, 2021.
- [18] J. Savoj and B. Razavi, "A 10-Gb/s CMOS clock and data recovery circuit," in *2000 Symposium on VLSI Circuits. Digest of Technical Papers (Cat. No. 00CH37103)*, 2000, pp. 136-139.
- [19] A. Shrestha and A. Mahmood, "Review of deep learning algorithms and architectures," *IEEE Access*, vol. 7, pp. 53040-53065, 2019.
- [20] A. Mathew, P. Amudha, and S. Sivakumari, "Deep learning techniques: an overview," *Advanced Machine Learning Technologies and Applications: Proceedings of AMLTA 2020*, pp. 599-608, 2021.
- [21] S. A. Sadrossadat, "Sensitivity-analysis-based adjoint neural network techniques for nonlinear applications," Ph.D. dissertation, Ottawa-Carleton Inst. for Electr. and Comput. Eng., Dept. Electron., Carleton Univ., Ottawa, ON, Canada, 2015.
- [22] M. Husein and I.-Y. Chung, "Day-ahead solar irradiance forecasting for microgrids using a long short-term memory recurrent neural network: A deep learning approach," *Energies*, vol. 12, no. 10, p. 1856, 2019.
- [23] A. N. Shewalkar, "Comparison of RNN, LSTM and GRU on speech recognition data," M.S. thesis, Dept. Comput. Sci., North Dakota State Univ., Fargo, ND, USA, 2018.
- [24] M. Noohi, A. Faraji, S. A. Sadrossadat, A. Mirvakili, and A. Moftakharzadeh, "Modeling and implementation of a novel active voltage balancing circuit using deep recurrent neural network with dropout regularization," *International Journal of Circuit Theory and Applications*, vol. 51, no. 5, pp. 2351-2374, 2023.
- [25] A. Heidary and R. Eslami, "A cyber-secured optimal scheduling framework for AC microgrids based on dragonfly optimization and deep learning," *TABRIZ JOURNAL OF ELECTRICAL ENGINEERING*, vol. 54, no. 3, pp. 363-372, Dec. 2024.
- [26] A. Gumaee, M. M. Hassan, A. Alelaiwi, and H. Als Salman, "A hybrid deep learning model for human activity recognition using multimodal body sensing data," *IEEE Access*, vol. 7, pp. 99152-99160, 2019.
- زمینه مدل سازی و شبیه سازی مدارهای الکترونیکی و دیجیتال منجر شود. این رویکرد، با توجه به نتایج امیدوارکننده اش، به ویژه در بهبود طراحی و عملکرد سیستم های دیجیتال پیشرفته، نقشی اساسی و برجسته ایفا خواهد کرد.

مراجع

- [1] S. I. Ahmed, "All-digital clock and data recovery architectures," Ph.D. dissertation, Ottawa-Carleton Inst. for Electr. Eng., Dept. Electron., Carleton Univ., Ottawa, ON, Canada, 2010.
- [2] S. R. Al-araji, Z. M. Hussain, M. A. Al-qutayri, *Digital Phase Lock Loops: Architectures and Applications*, 1st ed. New York: Springer, 2006.
- [3] B. B. Purkayastha, K. K. Sarma, *A Digital Phase Locked Loop based Signal and Symbol Recovery System for Wireless Channel*, 1st ed. New Delhi: Springer, 2015.
- [4] T. H. Kim and B. Kim, "Dual-loop digital PLL design for adaptive clock recovery," *IEICE transactions on fundamentals of electronics, communications and computer sciences*, vol. 81, no. 12, pp. 2509-2514, 1998.
- [5] T. K. D. Tong and G. Giaretta, "Optoelectronic phase-locked loop with balanced photodetection for clock recovery in high-speed optical time-division multiplexed systems," *U.S. Patent 6,542,723 B1*, Apr. 1, 2003.
- [6] F. Mkadem and S. Boumaiza, "Physically inspired neural network model for RF power amplifier behavioral modeling and digital predistortion," *IEEE Transactions on Microwave Theory and Techniques*, vol. 59, no. 4, pp. 913-923, 2011.
- [7] Z. Naghibi, S. A. Sadrossadat, and S. Safari, "Adjoint recurrent neural network technique for nonlinear electronic component modeling," *International Journal of Circuit Theory and Applications*, vol. 50, no. 4, pp. 1119-1129, 2022.
- [8] W. Liu, W. Na, F. Feng, L. Zhu, and Q. Lin, "A Wiener-type dynamic neural network approach to the modeling of nonlinear microwave devices and its applications," in *2020 IEEE MTT-S International Conference on Numerical Electromagnetic and Multiphysics Modeling and Optimization (NEMO)*, 2020: IEEE, pp. 1-3.
- [9] J. Xu, M. C. Yagoub, R. Ding, and Q.-J. Zhang, "Neural-based dynamic modeling of nonlinear microwave circuits," *IEEE Transactions on Microwave Theory and Techniques*, vol. 50, no. 12, pp. 2769-2780, 2002.
- [10] S. A. Sadrossadat and Z. Naghibi, "Parallelizing time-delay recurrent neural network modeling technique on multi-core architectures," in *2021 16th International Microsystems, Packaging, Assembly and Circuits Technology Conference (IMPACT)*, 2021, pp. 93-96.
- [11] Z. Naghibi, S. A. Sadrossadat, and S. Safari, "Time-domain modeling of nonlinear circuits using deep recurrent neural network technique," *AEU-International Journal of Electronics and Communications*, vol. 100, pp. 66-74, 2019.
- [12] M. Moradi, S. A. Sadrossadat, and V. Derhami, "Long short-term memory neural networks for modeling nonlinear electronic