

# Design of dynamic frequency phase detector and charge pump with low power consumption in 180nm technology

Fatemeh EsmailiSaraji<sup>1</sup>, Alireza Ghorbani<sup>2\*</sup>, Seyed Mahmoud Anisheh

1-Department of Electrical Engineering, Sari Branch, Islamic Azad University, Sari, Iran

2\*- Department of Electrical Engineering, Central Tehran Branch, Islamic Azad University, Tehran, Iran  
E-mails: ftm.srj@gmail.com; a.ghorbani@iauctbac.ir; s.m.anisheh@gmail.com

## Short Abstract

Delay lock loops are widely used in frequency synthesizer circuits, digital transceivers and clock synchronization. Currently, the delay lock ring is considered more than the phase lock ring due to shorter locking time, higher speed, better conditions in terms of stability and less jitter. In this paper, a dynamic phase-frequency detector based on CMOS inverter and multiplexer single with level restoration (MSL) is presented. Next, a new charge pump is proposed that has a precise flow compliance. The charge pump is based on a positive feedback amplifier that has a high gain and at the same time its power consumption has not increased compared to the conventional structure. The simulation results are performed in Cadence software at 0.18 micrometer technology with a supply voltage of 1.8 volts. The simulation results show that the static power consumption of the phase-frequency detector is 0.5  $\mu$ W and its maximum operating frequency is 2 GHz. Also, the charge pump current matching is about 99.5%.

## Keywords

Frequency synthesizers, Delay lock loop, Dynamic frequency-phase detector, Load pump, Low power consumption.

## 1- Short Introduction

Delayed Lock Loop (DLL) is widely used for clock generation and data retrieval. The output of the charge pump is used to start the loop filter. There are two ways to do this: The first is based on a three-state output, also known as a voltage-based charge pump. But this method is sensitive to power supply fluctuations. The second method is the current load pump in which MOSFET current sources are used. In conventional DLL, wrong locking may occur. To overcome this problem, a phase-frequency detector (PFD) can be used, because the conventional phase capture range is  $\pm\pi$ . Therefore, PFD is a better choice for wide range operation, but PFD cannot be used in DLL without control circuit. Therefore, another structure for DLL can be proposed as follows, which includes the following sub-circuits.

## 2- Proposed Work and Methodology (including comprision, simulation/experimental results and discusion)

This presented structure has two input terminals called input clock reference (IN) and output from VCDL as another input clock (VCDL). The two output terminals are DOWN and UP. By using CMOS inverters, its static power consumption is low. 2) Using a multiplexer with level restoration leads to having suitable voltage levels at the output. 3) The number of transistors in the proposed structure is less than half of the conventional structure presented in reference [11]. In this paper, this structure is improved in such a way that the DC gain increases and at the same time the power consumption does not change so that the output resistance increases. The DC gain of the proposed circuit is higher than the conventional circuit. This is possible by increasing the output resistance of the second stage. Regarding the frequency response of the proposed method, positive feedback changes the frequency response of the circuit. Positive feedback causes a change in the output resistance of the second stage. It can be seen that the proposed PFD has a phase noise value of -151.6 dBc/Hz at 1 MHz offset. According to Table 2, the phase noise of the proposed method is lower than the existing method. Hence, it can be mentioned that the proposed PFD can be used in low jitter applications. In the simulation of the proposed circuit, it is done in the technology of 0.18 micrometers and using the supply voltage of 1.8 volts. Frequency response curves for the proposed operational amplifier structure are given. This figure shows that the DC gain of the proposed circuit is 117 dB. The unit gain bandwidth and phase limit are 415 MHz and 62 degrees, respectively, with a load of 10 picofarads. Also, its power consumption is 2.5 milliwatts. This result shows that the DC gain of the proposed circuit is high and at the same time the circuit is stable. It should be noted that the use of positive feedback technique does not increase the power consumption of the circuit.

## 3- Conclusion (4-5 lines)

Phase-frequency detectors and charge pumps are the main components of delay lock loops. In this article, a dynamic phase-frequency detector has been introduced, in which CMOS inverting structures and multiplexer with surface restoration are used. The proposed phase-frequency detector has low power consumption and suitable output voltage levels. Then, the design of a load pump based on an operational amplifier with positive feedback was presented, which has a high current matching. The proposed operational amplifier provides high gain and is stable at the same time. The proposed structures were compared with a number of existing structures and the results show the better performance of the proposed structures.

## 4- References (2-3 references)

- C.M. Hung, K.O. Kenneth, "A Fully Integrated 1.5 V 5.5 Ghz CMOS Phase Locked Loop", IEEE Journal Of Solid State Circuits, Vol. 37, Pp. 521-525, April 2002.  
S Ghorbanzadeh, H Dehbovid, A Ghorbani, SM Abedi Pahnekolaie, "Two-stage class-AB OTA with improved specifications, pp. 159-168, 2019.

## طراحی آشکار ساز فاز- فرکانس پویا و پمپ بار با توان مصرفی پایین در فناوری ۱۸۰ نانومتر

فاطمه اسمعیلی سراجی، دانشجوی دکتری؛ علیرضا قربانی، استادیار؛ سید محمود انیشه، استادیار  
گروه مهندسی برق، واحد ساری، دانشگاه آزاد اسلامی، ساری، ایران

### چکیده

حلقه قفل تأخیر به طور وسیع در مدارات سنتز کننده‌های فرکانس، فرستنده-گیرنده‌های دیجیتالی و همزمان سازی کلاک استفاده می‌شود. در حال حاضر، حلقه قفل تأخیر به علت زمان قفل شدن کمتر، سرعت بالاتر، شرایط بهتر از نظر پایداری و جیتز کمتری بیشتر از حلقه قفل فاز مورد توجه قرار می‌گیرد. در این مقاله، یک آشکار ساز فاز-فرکانس پویا مبتنی بر وارونگر<sup>1</sup> CMOS و مالتی پلکسر با ترمیم سطح<sup>2</sup> (MSL) ارائه می‌شود. در ادامه، یک پمپ بار جدید پیشنهاد می‌شود که تطابق جریانی دقیقی دارد. پمپ بار مبتنی بر تقویت کننده با فیدبک مثبت است که بهره بالایی دارد و در عین حال توان مصرفی آن نسبت به ساختار مرسوم افزایش نیافته است. نتایج شبیه سازی در فناوری ۱۸۰ میکرومتر و با ولتاژ تغذیه ۱/۸ ولت توسط نرم افزار Cadence انجام می‌شود. نتایج شبیه سازی نشان می‌دهد که مقدار توان مصرفی استاتیک آشکار ساز فاز-فرکانس برابر ۰/۵ میکرو وات و حداکثر فرکانس کاری آن ۲ گیگاهرتز است. همچنین، تطابق جریانی پمپ بار حدود ۹۹/۵ درصد است.

### کلمات کلیدی

سنتز کننده‌های فرکانس، حلقه قفل تأخیر، آشکار ساز فاز- فرکانس پویا، پمپ بار، توان مصرفی پایین.

نام نویسنده مسئول: دکتر علیرضا قربانی

ایمیل نویسنده مسئول: alirezaghorbani2005@gmail.com

تاریخ ارسال مقاله: ۱۴۰۲/۰۴/۰۱

تاریخ(های) اصلاح مقاله: ۱۴۰۲/۰۶/۰۵

تاریخ پذیرش مقاله: ۱۴۰۲/۰۸/۰۶

<sup>1</sup> Complementary metal-oxide-semiconductor

<sup>2</sup> Multiplexer single with level restoration

## ۱- مقدمه

پمپ بار با تطابق جریان با اراکه می شود که در ساختار آن از یک تقویت کننده با فیدبک مثبت استفاده شده است. تقویت کننده بهره بالا و در عین حال پایداری مناسبی دارد. ادامه ساختار مقاله به قرار زیر است: در بخش دوم روش های موجود پیرامون آشکارسازهای فاز-فرکانس و همچنین پمپ بار بررسی می شوند. در بخش سوم، ساختارهای پیشنهادی آشکارساز فاز-فرکانس و همچنین پمپ بار ارائه می شوند. بخش چهارم شامل نتایج شبیه سازی است. بخش پنجم به نتیجه گیری مقاله اختصاص دارد.

## ۲- ساختارهای موجود

PFD مرسوم دارای ۵۰ ترانزیستور است [۱۱]. این ساختار ناحیه مرده بزرگی نیز دارد. ناحیه مرده در PFD اثر نامطلوبی بر روی DLL دارد و باعث افزایش جیتیر می شود. توان مصرفی این نوع DLL نیز زیاد است. علاوه بر این، محدوده فرکانسی این نوع DLL کم است. این ساختار شامل دو نوع فلیپ فلاپ نوع D و یک گیت AND است و دارای دو ترمینال خروجی UP و DN است. گیت AND سیگنال ریست را برای فلیپ فلاپ D فراهم می کند وقتی هر دو سیگنال فعال می باشند، تا به حالت اولیه برگردند.

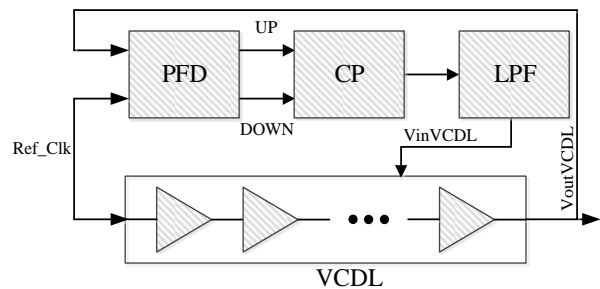
در مرجع [۱۲]، طراحی یک آشکارساز فرکانس - فاز پویا با گلیچ و توان مصرفی پایین ارائه می شود. شبیه سازی در فناوری ۱۸۰ نانومتر و با ولتاژ تغذیه ۱/۸ ولت انجام می شود. نتایج شبیه سازی نشان می دهد که PFD پویا در مقایسه با PFD مبتنی بر فلیپ فلاپ D دارای گلیچ کمتری است. PFD ارائه شده در مرجع [۱۳]، دارای ۶۸ ترانزیستور است و ناحیه مرده بزرگی دارد. در صورت طراحی PFD با ناحیه مرده بزرگ، اثر منفی بر عملکرد DLL به وجود می آید که منجر به جیتیر کلاک می شود [۱۴-۱۶]. این نوع PFD توان مصرفی بالایی نیز دارد.

روشی برای طراحی یک آشکارساز فرکانس - فاز (PFD) با استفاده از منطق دومینو ارائه می شود [۱۷]. قابلیت کار در محدوده فرکانسی گیگا هرتز را دارد. ناحیه مرده کاهش می یابد زیرا مسیر ریست با استفاده از وارونگرها افزایش می یابد. محدوده تشخیص خطی نیز با استفاده از این PFD افزایش می یابد. ارائه شده دارای ساختاری ساده با ۲۶ ترانزیستور است. شبیه سازی در فن آوری ۱۸۰ نانومتر و با ولتاژ تغذیه ۱/۸ انجام شده است. نتایج نشان دهنده ی عملکرد مناسب آن در محدوده فرکانس رادیویی است.

ساختاری برای چند برابر کننده کلاک مبتنی بر حلقه قفل تأخیر با جیتیر کم در مرجع [۱۸] ارائه شده است. برای طراحی ۱۲ فاز طراحی شده است و خروجی دارای محدوده قفل از ۴۰ مگاهرتز تا ۱۱۰ مگاهرتز است. PFD ارائه شده باعث می شود تا از آفست فاز ایستا جلوگیری شود. در فن آوری ۶۵ نانومتر CMOS و با ولتاژ تغذیه ۱/۲ ولت، مقدار مساحت برابر ۰/۰۸mm<sup>2</sup> و توان مصرفی ۹۵۰ میکرووات است.

از آنجایی که تطابق جریان در پمپ بار اهمیت زیادی دارد، روشی مبتنی بر توپولوژی کاسکود برای کاهش نائطباقی جریان ارائه شده است [۱۹]. توپولوژی تقاضی در مرجع [۲۰] پیشنهاد شده است که رد نویز حالت مشترک را کاهش می دهد. در پژوهش ها نشان داده شده است که استفاده از تقویت کننده عملیاتی به عنوان تقویت کننده بهره واحد عدم تطابق جریان را کاهش می دهد [۲۱].

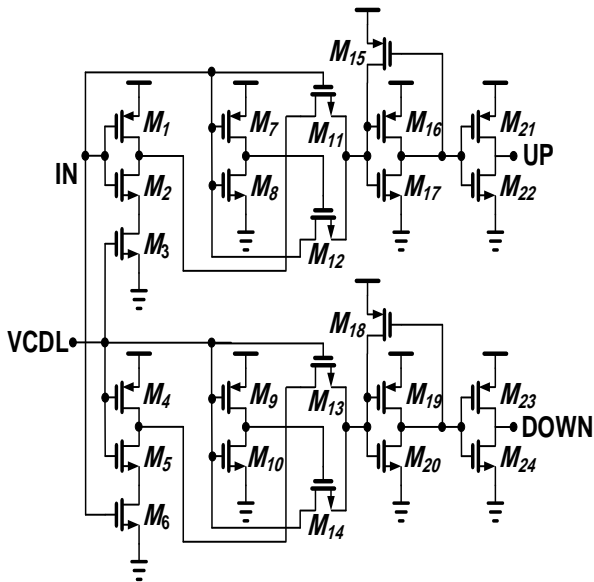
در بخش مقدمه، حلقه قفل تأخیر (DLL) به طور گسترده برای تولید کلاک و بازیابی داده استفاده می شود. در مقایسه با حلقه قفل فاز (PLL)، حلقه قفل تأخیر جدیدتر محسوب می شود. حلقه های قفل فاز و حلقه های قفل تأخیر به منظور همزمان سازی به کار می روند [۳-۱]. شایان ذکر است که حلقه قفل تأخیر به دلیل پایداری و زمان قفل سریع تر نسبت به حلقه قفل فاز بیشتر مورد توجه می باشند. علاوه بر این، حلقه قفل تأخیر نسبت به حلقه قفل فاز عملکرد جیتیر بهتری دارد زیرا نویز در خط تأخیر کنترل شده با ولتاژ<sup>۳</sup> (VCDL) در بسیاری از چرخه های ساعت جمع نمی شوند. حلقه قفل تأخیر پایه شامل چهار مدار است که در شکل ۱ نشان داده می شود: آشکارساز فاز<sup>۴</sup> (PD)، پمپ بار<sup>۵</sup> (CP)، فیلتر پایین گذر<sup>۶</sup> (LPF) و خط کنترل شده با ولتاژ (VCDL).



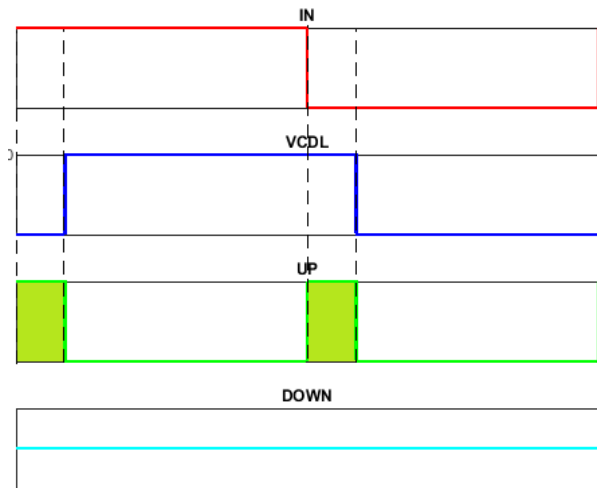
شکل ۱. حلقه قفل تأخیر

از نظر ساختاری، حلقه ی قفل تأخیر و حلقه ی قفل فاز بسیار شبیه یکدیگر می باشند [۶-۴]. حلقه قفل تأخیر از ساختار پمپ بار مبتنی بر جریان استفاده می کند تا خطای فاز آشکار شده را به جریانی متناسب با آن تبدیل کند و هم چنین جیتیر فاز مربوط به نوسانات منبع تغذیه را کاهش دهد [۷]. خروجی پمپ بار برای راه اندازی فیلتر حلقه استفاده می شود. برای انجام این کار دو روش وجود دارد: روش اول مبتنی بر خروجی سه حالتی است که به عنوان پمپ بار مبتنی بر ولتاژ نیز شناخته می شود. اما این روش به نوسانات منبع تغذیه حساس است [۸]. روش دوم پمپ بار جریانی است که در آن از منابع جریان ماسفت استفاده شده است. در DLL مرسوم ممکن است قفل اشتباه رخ دهد. برای غلبه بر این مشکل می توان از آشکارساز فاز - فرکانس (PFD) استفاده کرد [۹]، زیرا محدوده تسخیر فاز مرسوم  $\pm\pi$  است. بنابراین PFD انتخاب بهتری برای عملکرد محدوده گسترده است اما نمی توان PFD را در DLL بدون مدار کنترل بکار برد. بنابراین می توان ساختار دیگری برای DLL به صورت زیر پیشنهاد داد که شامل زیر مدارهای زیر است [۱۰]: پمپ بار، فیلتر پایین گذر، خط تأخیر کنترل شده با ولتاژ، آشکارساز فاز- فرکانس و مدار کنترلی آن. همانند DLL مرسوم، این ساختار یک سیستم تک قطب است و فیلتر حلقه مرتبه اول است. در نتیجه، این ساختار نسبت به PLL پایداری بهتری دارد. در این مقاله یک آشکارساز فاز-فرکانس پویا مبتنی بر وارونگر CMOS و مالتی پلکسر با ترمیم سطح ارائه می شود که توان مصرفی پایین دارد. در ادامه، یک

<sup>۴</sup>Low pass filter<sup>۵</sup>Phase Frequency Detector<sup>۱</sup> Delay-Locked Loop<sup>۲</sup> Phase-Locked Loop<sup>۳</sup> voltage-controlled delay Line<sup>۴</sup>Phase detector<sup>۵</sup>Charge pump



شکل ۲. PFD پیشنهادی



شکل ۳. نمودار زمان بندی

عملکرد آشکارساز فاز-فرکانس را می توان به صورت زیر بررسی کرد: وقتی ورودی های IN و VCDL در سطح صفر منطقی باشند، با توجه به اتصال درین  $(M_{12}, M_{14})$  به ورودی ها، سطوح منطقی صفر توسط مالتی پلکسر ها ایجاد می شود و به خروجی ها منتقل می شود. اگر کل ظرفیت خازنی موجود در درین  $M_1$  را با  $C_p$  نشان دهیم، این خازن در بازه زمانی  $t_p$  تا مقدار  $V_{DD}$  شارژ می شود.

$$I_C = C_p \frac{V_{DD}}{t_p} \quad (1)$$

(۲) اگر ورودی IN به سطح یک منطقی برود، شارژ موجود بر روی خازن  $C_p$  توسط مالتی پلکسر ۲ به ۱ به خروجی UP منتقل می شود و UP یک منطقی می شود.

(۳) وقتی ورودی VCDL به سطح یک منطقی برود، وارونگرهای  $(M_1, M_2)$  و  $(M_4, M_5)$  سطح صفر منطقی را ایجاد کرده و خازن  $C_p$  از طریق ترانزیستور  $M_3$  دشارژ شده و خروجی UP صفر می شود. تحلیلی مشابه را می توان برای خروجی DOWN انجام داد.

در مرجع [۲۲]، یک پمپ بار توان پایین و با مساحت کم ارائه شده است. طراحی پمپ بار پیشنهادی با به کارگیری مقاومت های کوچک در طراحی، گلیچ را کاهش می دهد. از آنجایی که در این طراحی تعداد کمی ترانزیستور مورد نیاز است، این طرح در کاربردهایی که نیاز به پمپ بار با مساحت کم دارند مفید می باشد. مدار پمپ بار طراحی شده می تواند در کاربردهای PLL فرکانس بالا استفاده شود [۲۳].

### ۳- ساختارهای پیشنهادی

در این بخش، ساختارهای آشکارسازهای فاز-فرکانس پویا و همچنین پمپ بار ارائه می شوند. در ابتدا ساختار آشکارساز فاز-فرکانس پیشنهادی آورده می شود.

#### ۳-۱- آشکارساز فاز-فرکانس پویا

ساختار آشکارساز فاز-فرکانس پویا در شکل ۲ نشان داده شده است. این ساختار دارای دو ترمینال ورودی به نام مرجع کلاک ورودی (IN) و خروجی از VCDL بعنوان دیگر کلاک ورودی (VCDL) است. دو ترمینال خروجی UP و DOWN می باشند. عملکرد PFD چهار حالت در جدول ۱ تشریح شده است. نمونه نمودار زمان بندی در شکل ۳ به نمایش گذاشته می شود.

جدول ۱. عملکرد PFD چهار حالت

ورودی های PFD	خروجی های PFD		حالت
هر دو ورودی IN و VCDL کاملا منطبق می باشند	UP=0	DOWN=0	۱
IN از VCDL جلوتر است	UP=0	DOWN=1	۲
VCDL از IN جلوتر است	UP=1	DOWN=0	۳
نشدنی	UP=1	DOWN=1	۴

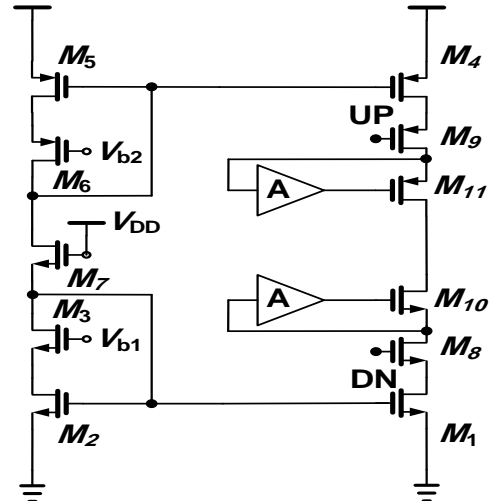
در این ساختار، ترانزیستورهای  $(M_1, M_2)$  و همچنین  $(M_4, M_5)$  تشکیل یک وارونگر CMOS می دهند. کلاک های ورودی به  $(M_3, M_6)$  متصل می باشند. ترانزیستورهای  $(M_7, M_8)$  تشکیل یک وارونگر CMOS می دهند و به همراه ترانزیستورهای گذر  $(M_{11}, M_{12})$  تشکیل یک مالتی پلکسر ۲ به ۱ می دهند. ترانزیستور  $M_{15}$  به همراه وارونگرهای  $(M_{16}, M_{17})$  و  $(M_{21}, M_{22})$  جهت ترمیم سطح ولتاژ استفاده شده اند [۲۴-۲۵]. مجموعه ترانزیستورهای  $(M_9, M_{10})$ ،  $(M_{13}, M_{14})$ ،  $(M_{19}, M_{20})$  و  $(M_{23}, M_{24})$  نقشی مشابه برای ایجاد خروجی DOWN دارند. ساختار پیشنهادی دارای دو مزیت است: با استفاده از وارونگرهای CMOS، توان مصرفی استاتیک آن پایین است. (۲) استفاده از مالتی پلکسر با ترمیم سطح منجر به داشتن سطوح ولتاژی مناسب در خروجی می شود. (۳) تعداد ترانزیستورهای ساختار پیشنهادی کمتر از نصف ساختار مرسوم ارائه شده در مرجع [۱۱] است.

۳-۲- پمپ بار

تقویت کننده عملیاتی ترانسسانایی<sup>۱</sup> (OTA) در بسیاری از کاربردها مانند مبدل های آنالوگ به دیجیتال و دیجیتال به آنالوگ و مدارهای نمونه گیر و نگهدارنده استفاده می شوند [۲۶-۲۸]. شکل ۴ مدار پمپ بار پیشنهادی را نشان می دهد که در آن تقویت بهره توسط OTA انجام می شود. در این بخش، ساختاری جدید برای OTA ارائه می شود که در مقایسه با تقویت کننده هایی مانند سورس مشترک بهره بیشتری ایجاد می کند. در ساختار پمپ بار از دنبال کننده ولتاژ معکوس<sup>۲</sup> (FVF) متشکل از مجموعه ترانزیستورهای  $(M_1, M_2, M_3)$  و  $(M_4, M_5, M_6)$  استفاده شده است که به عنوان منابع جریان غیرخطی عمل می کنند [۲۶-۲۸]. غیر خطی بودن منابع جریان منجر به تقویت جریان خروجی به صورت دلخواه می شود. ترانزیستور  $M_7$  به عنوان مرجع جریان عمل کند. سوئیچ های کنترلی UP و DOWN به ترتیب توسط ترانزیستورهای  $M_8$  و  $M_9$  پیاده سازی می شوند. ترانزیستورهای  $M_{10}$  و  $M_{11}$  به همراه تقویت کننده کمکی با بهره A تشکیل مدار تقویت بهره می دهند. امپدانس خروجی پمپ بار را می توان به صورت زیر بیان کرد:

$$R_{out} = (g_{m1}r_{ds11}g_{m9}r_{ds9}r_{ds4})(A) \parallel (g_{m10}r_{ds10}g_{m8}r_{ds8}r_{ds1})(A) \quad (۲)$$

در رابطه بالا، gm نشان دهنده ترانسسانایی ترانزیستور و rds مقاومت درین-سورس ترانزیستور است.



شکل ۴. مدار پمپ بار پیشنهادی.

اگر ولتاژ  $V_{b1}$  طوری انتخاب شود که ترانزیستور  $M_2$  در ناحیه تریود باشد، آنگاه روابط زیر را می توان ارائه داد:

$$I_1 = \frac{1}{2} \mu_n C_{ox} \left( \frac{W}{L} \right)_1 V_{od1}^2 \quad (۳)$$

$$I_2 = \mu_n C_{ox} \left( \frac{W}{L} \right)_2 V_{od2} V_{DS2} \quad (۴)$$

در روابط بالا  $V_{od}$  بیانگر ولتاژ اضافه تحریک است.  $\mu_n$  تحرک پذیری الکترون در کانال،  $C_{ox}$  خازن بر واحد سطح گیت،  $W$  عرض کانال ترانزیستور و  $L$  طول کانال ترانزیستور است. با استفاده از روابط (۳) و (۴) داریم:

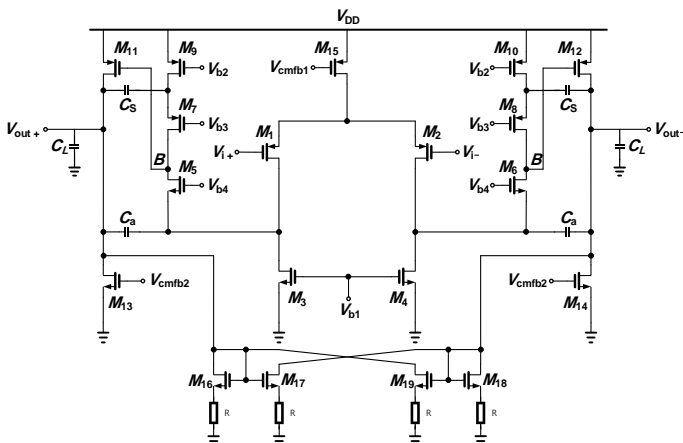
$$I_1 = \frac{I_2^2}{2\mu_n C_{ox} \left( \frac{W}{L} \right)_1 V_{DS2}^2} \quad (۵)$$

با توجه به اینکه،  $V_{DS2} = V_{b1} - V_{in} - V_{od3}$  که ولتاژ آستانه است، رابطه (۵) به صورت زیر بیان می شود.

$$I_1 = \frac{I_2^2}{2\mu_n C_{ox} \left( \frac{W}{L} \right)_1 \left( V_{b1} - V_{in} - \sqrt{\frac{2I_2}{\mu_n C_{ox} \left( \frac{W}{L} \right)_3}} \right)^2} \quad (۶)$$

رابطه (۶) نشان می دهد که رابطه بین  $I_1$  و  $I_2$  غیرخطی است. در ادامه، ساختار تقویت کننده عملیاتی پیشنهادی ارائه می شود.

ساختار تقویت کننده عملیاتی دو طبقه ابتدا در مرجع [۲۹] معرفی شد. در این مقاله، این ساختار به گونه ای بهبود داده می شود که بهره DC افزایش پیدا کند و در عین حال توان مصرفی تغییر نکند تا مقاومت خروجی طبق رابطه (۲) افزایش یابد. شمای مدار تقویت کننده عملیاتی پیشنهادی در شکل ۵ نشان داده شده است. منابع جریان شامل مجموعه ترانزیستورهای  $M_{16}$  و  $M_{17}$  و  $M_{18}$  و  $M_{19}$  به ساختار مرسوم اضافه شده اند. با اعمال سیگنال خروجی  $V_{out+}$  به درین  $M_{19}$  و  $V_{out-}$  به درین  $M_{17}$ ، حلقه فیدبک مثبت ایجاد می شود.



شکل ۵. شمای تقویت کننده عملیاتی پیشنهادی.

بهره DC مدار پیشنهادی نسبت به مدار متداول بیش تر است. این امر با افزایش مقاومت خروجی طبقه دوم ممکن است. با صرف نظر از اثر بدنه، بهره DC برابر است با:

$$A_d = A_1 \times A_2 \quad (۷)$$

که  $A_1$  بهره DC طبقه اول است.

$$A_1 = g_{m1} R_{out1} \quad (۸)$$

$$R_{out1} = g_{m7} r_{ds7} r_{ds9} \parallel [g_{m5} r_{ds5} (r_{ds1} \parallel r_{ds3})] \quad (۹)$$

که  $A_2$  بهره DC طبقه دوم است و برابر است با:

$$A_2 = g_{m11} R_{out2} \quad (۱۰)$$

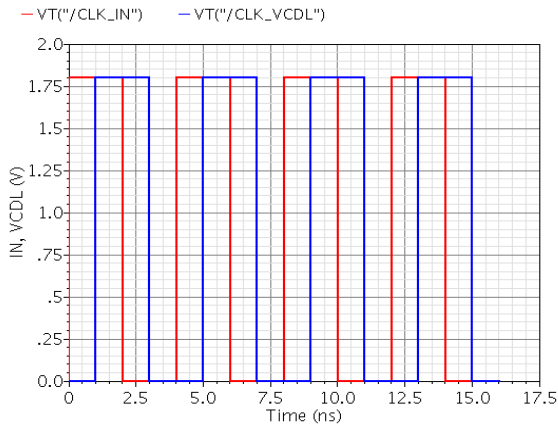
$$R_{out2} = \frac{1}{g_{ds11} + g_{ds13} + G_{CS}} \quad (۱۱)$$

<sup>۱</sup> Flipped voltage follower

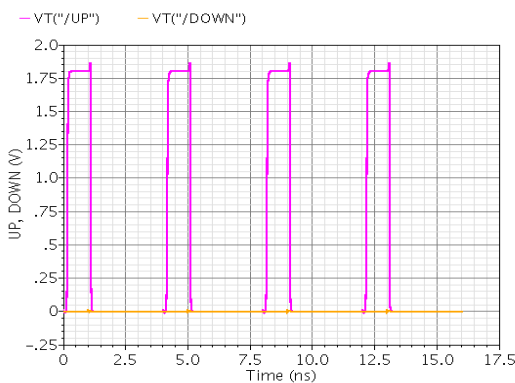
<sup>۱</sup> Operational trans-conductance amplifier

<sup>۲</sup> Gain-boosting

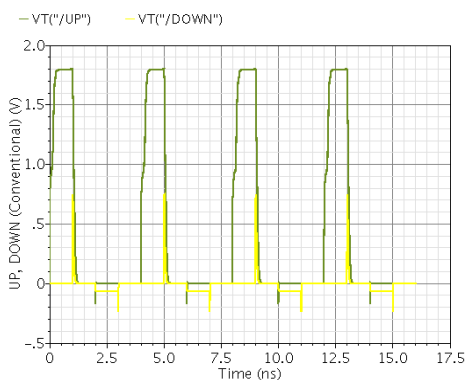
DOWN دارای سطح یک منطقی و خروجی UP برابر صفر است که در شکل ۱۱ الف به نمایش گذاشته شده است خروجی‌های روش ارائه شده در مرجع [۱۱] در شکل ۱۱ ب نشان داده شده است. برای حالتی که IN و VCDL همانند شکل ۱۲ منطبق باشند، دامنه خروجی‌های UP و DOWN مطابق شکل ۱۳ نزدیک صفر است. مقایسه آشکارساز فاز-فرکانس پیشنهادی و روش‌های موجود در جدول ۲ گزارش شده است. نتایج بیانگر آن است که روش پیشنهادی توان مصرفی پایینی دارد که به دلیل استفاده از وارونگرهای CMOS است. در ضمن فرکانس کاری آن نسبت به روش‌های موجود نیز گسترده تر است.



شکل ۷. پیش‌فازی IN نسبت به VCDL



(الف)



(ب)

شکل ۸. سیگنال‌های خروجی UP و DOWN: (الف) مربوط به شکل ۷ حاصل از مدار پیشنهادی، (ب) مربوط به مدار مرسوم.

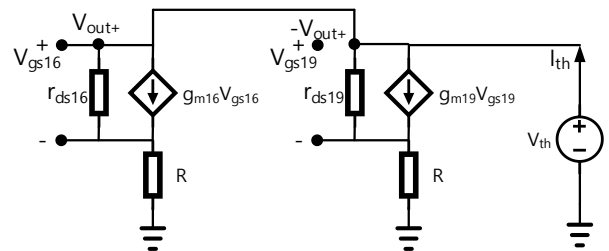
$$G_{CS} = \frac{1}{\frac{g_{m19}r_{ds19}R + r_{ds19} + R}{1 - g_{m19}r_{ds19}}} \quad (12)$$

در روابط بالا، Rout1 و Rout2 به ترتیب مقاومت خروجی طبقه‌های اول و دوم است.  $g_{ds} = 1/r_{ds}$  و  $G_{CS} = 1/R_{CS}$  که مقاومت منبع جریان دیده شده از گره  $V_{out+}$  است و با توجه به شکل ۶ قابل محاسبه است. اگر مخرج رابطه (۱۱) در رابطه  $g_{ds11} + g_{ds13} + G_{CS} > 0$  صدق کند، ولی نزدیک به مقدار صفر باشد آن‌گاه بهره تفاضلی به طور قابل ملاحظه‌ای افزایش می‌یابد و در عین حال سیستم پایدار است. شایان ذکر است که برای تحقق این شرایط باید نسبت عرض کانال به طول کانال ترانزیستورهای منبع جریان به طور مناسب انتخاب شوند.

در مورد پاسخ فرکانسی روش پیشنهادی، فیدبک مثبت باعث تغییر در پاسخ فرکانسی مدار می‌شود. فیدبک مثبت باعث تغییر در مقاومت خروجی طبقه دوم می‌شود. بنابراین، قطب غالب ساختار پیشنهادی برابر است با:

$$\omega_{p1,prop} = \frac{1}{g_{m11}(C_a + C_s)R_{out2}R_B} \quad (13)$$

رابطه (۱۳) نشان می‌دهد که قطب غالب به فرکانس پایین تری منتقل می‌شود درحالی که بقیه صفرها و قطب‌ها بدون تغییر می‌مانند. به عبارت دیگر، جداسازی قطب بدون تغییر در پهنای باند بهره واحد تقویت‌کننده عملیاتی اتفاق می‌افتد.



شکل ۶. مدار معادل جهت محاسبه مقاومت منبع جریان

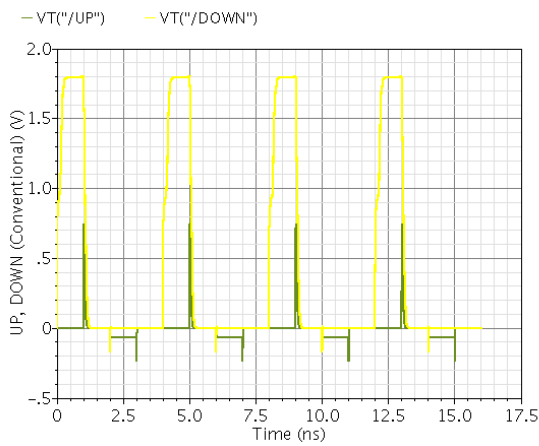
#### ۴- نتایج شبیه‌سازی

شبیه‌سازی مدارهای پیشنهادی در فن‌آوری ۰/۱۸ میکرومتر و با استفاده از ولتاژ تغذیه ۱/۸ ولت انجام می‌شود. برای این منظور از نرم‌افزار Cadence استفاده می‌گردد. در ابتدا نتایج شبیه‌سازی آشکارساز فاز-فرکانس و سپس نتایج پمپ بار ارائه می‌گردد.

##### ۴-۱- نتایج شبیه‌سازی آشکارساز فاز-فرکانس

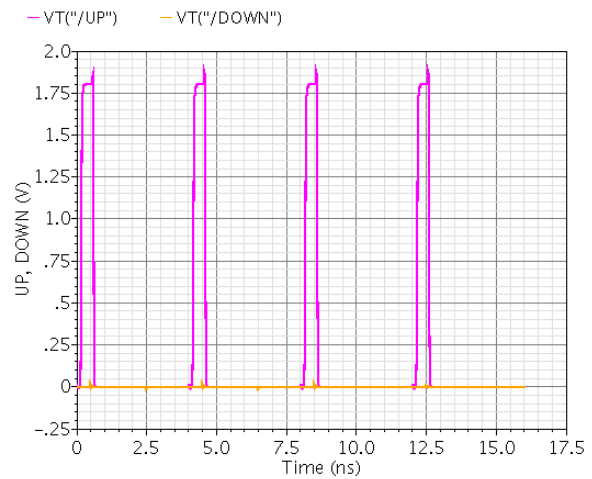
در این بخش ابتدا نتایج شبیه‌سازی آشکارساز فاز-فرکانس پویا می‌شود. شکل ۷ حالتی را نشان می‌دهد که IN نسبت به VCDL پیش‌فاز است. شکل ۸ الف سیگنال‌های خروجی UP و DOWN را نشان می‌دهد. از روی شکل ۸ الف پیداست که سیگنال UP دارای سطح ولتاژ مناسب است که به دلیل استفاده از مالتی پلکسر با ترمیم سطح است. همچنین سیگنال DOWN برابر صفر است. توان استاتیک مدار بسیار پایین و در حدود ۰/۵ میکرووات است. از طرفی، سیگنال‌های خروجی روش ارائه شده در مرجع [۱۱] در شکل ۸ ب نشان داده شده است. می‌توان دریافت که سیگنال‌های خروجی دارای سطوح ولتاژی مناسب نیستند. به عنوان مثال سیگنال DOWN در بعضی از بازه‌های زمانی صفر نیست.

وقتی که اختلاف فاز بین سیگنال‌های IN و VCDL کمتر شود، مطابق شکل ۹ عرض سیگنال UP نیز در مدار پیشنهادی کمتر می‌شود. شکل ۱۰ حالتی را نشان می‌دهد که VCDL نسبت به IN پیش‌فاز است. در این حالت خروجی

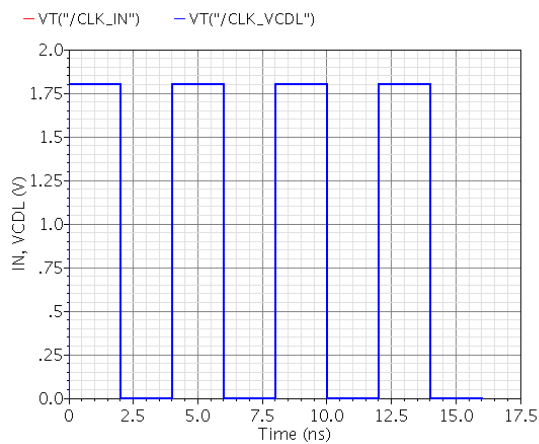


(ب)

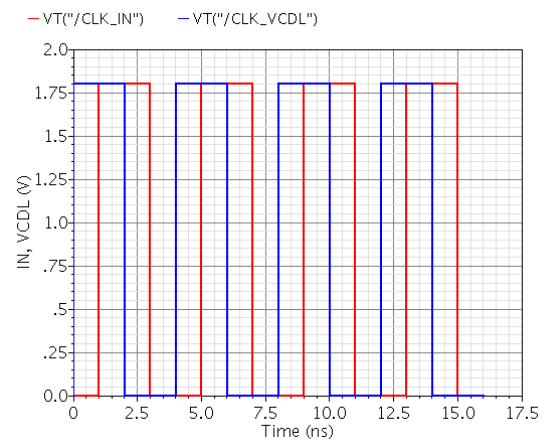
شکل ۱۱. سیگنال‌های خروجی UP و DOWN: الف) مربوط به شکل ۱۰ حاصل از مدار پیشنهادی، ب) مربوط به مدار مرسوم.



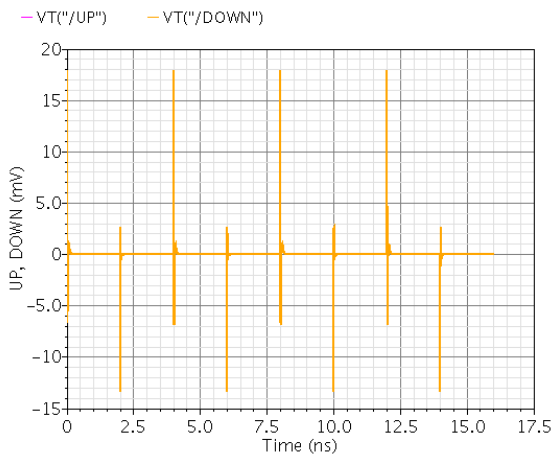
شکل ۹. خروجی PFD با کمتر شدن اختلاف فاز بین سیگنال‌های IN و VCDDL.



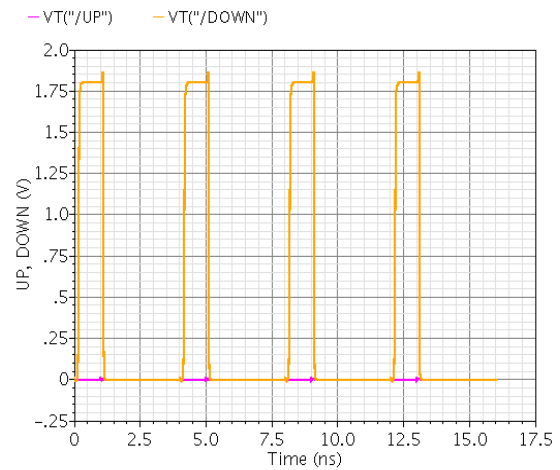
شکل ۱۲. سیگنال‌های IN و VCDDL منطبق می‌باشند.



شکل ۱۰. پیش‌فازی VCDDL نسبت به IN



شکل ۱۳. سیگنال‌های خروجی UP و DOWN مربوط به شکل ۱۲



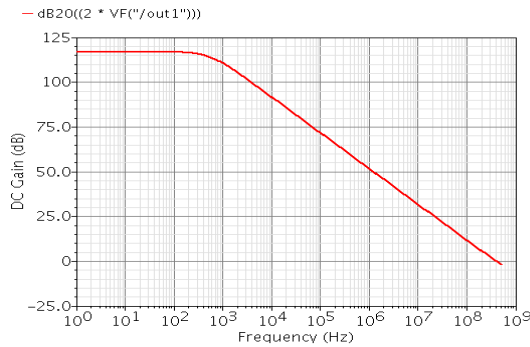
(الف)

جدول ۲. نتایج مقایسه آشکارساز فاز-فرکانس پیشنهادی و روش‌های

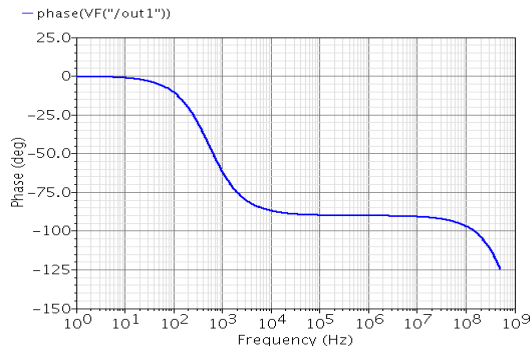
موجود.

مشخصات طراحی	[۱۱]	[۱۷]	[۱۲]	روش پیشنهادی
فناوری	۱۸۰ نانومتر	۱۸۰ نانومتر	۱۸۰ نانومتر	۱۸۰ نانومتر
ولتاژ تغذیه	۱/۸ ولت	۱/۸ ولت	۱/۸ ولت	۱/۸ ولت
توان مصرفی	۹۸۱ میکرووات	۰/۵ میلی‌وات	۲۵ میکرووات	۰/۵ میکرووات
حداکثر فرکانس کاری	۲۵۰ مگاهرتز	۱ گیگاهرتز	۶۵۰ مگاهرتز	۲ گیگاهرتز
نویز فاز (dBc/Hz)	-۱۴.۹	--	--	-۱۵۱.۶
مساحت (میکرومتر مربع)	--	۱۱۴	۲۲۱	۴۷/۵

کننده عملیاتی پیشنهادی در شکل ۱۶ آورده شده است. این شکل نشان می‌دهد که بهره DC مدار پیشنهادی به اندازه ۱۱۷ دسیبل است. پهنای باند بهره واحد و حد فاز به ترتیب ۴۱۵ مگاهرتز و ۶۲ درجه با بار ۱۰ پیکوفاراد است. همچنین توان مصرفی آن ۲/۵ میلی‌وات است. این نتیجه نشان می‌دهد که بهره DC مدار پیشنهادی بالا می‌باشد و در عین حال مدار پایدار است. باید اشاره کرد که استفاده از تکنیک فیدبک مثبت باعث افزایش توان مصرفی مدار نمی‌شود.



(الف)



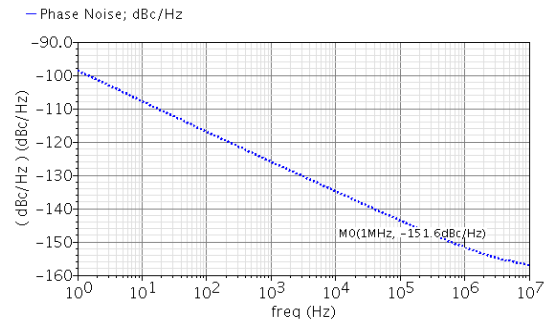
(ب)

شکل ۱۶. منحنی پاسخ فرکانسی، (الف) دامنه، (ب) فاز

شبه سازی مونت کارلو (MC) برای OTA پیشنهادی با در نظر گرفتن تغییرات فرآیند و عدم تطابق انجام می‌شود. شکل ۱۷ هیستوگرام مونت کارلو مدار پیشنهادی را با استفاده از ۱۰۰۰ بار شبیه‌سازی نشان می‌دهد. از روی شکل، مقادیر میانگین و انحراف استاندارد برای DC-gain به ترتیب ۱۱۰.۳ و ۶.۶ است. برای حاشیه فاز، مقادیر میانگین و انحراف استاندارد به ترتیب ۶۱.۱ و ۰.۱ است.

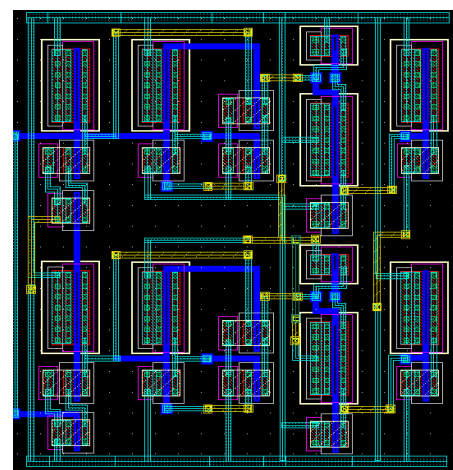
جریان‌های خروجی و مربوط به مدار پمپ بار پیشنهادی در شکل ۱۸ به نمایش گذاشته شده است. این شکل نشان می‌دهد که مقادیر این دو جریان منطبق و در حدود ۱۰۲ میکروآمپر است. از طرفی، دو منحنی در ولتاژ در حدود ۰/۹ ولت یکدیگر را قطع می‌کنند که نصف ولتاژ تغذیه است و حاکی از تقارن خوب مدار است. توان مصرفی کلی پمپ بار با در نظر گرفتن توان تقویت‌کننده عملیاتی پیشنهادی ۲/۸ میلی‌وات است. جدول ۳ بیانگر مقایسه نتایج پمپ بار پیشنهادی و ساختارهای موجود است. پمپ بار پیشنهادی دارای بهترین تطابق و قابلیت جریان‌دهی است و توان مصرفی آن نیز مناسب است.

از روی شکل ۱۴ می‌توان مشاهده کرد که PFD پیشنهادی دارای مقدار نویز فاز -۱۵۱.۶ dBc/Hz در آفست ۱ مگاهرتز است. طبق جدول ۲، نویز فاز روش پیشنهادی نسبت به روش موجود کمتر است. از این رو می‌توان اشاره کرد که PFD پیشنهادی در کاربردهای جیت‌کم قابل استفاده است.



شکل ۱۴. نویز فاز PFD

جانمایی مدار PFD با استفاده از ابزار Cadence ترسیم شده است. با توجه به شکل ۱۵ می‌توان مشاهده کرد که مساحت جانمایی برابر 19μm×20μm است.



شکل ۱۵. جانمایی مدار PFD

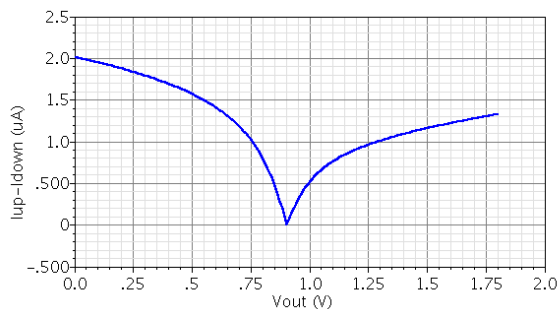
۲-۴- نتایج شبیه‌سازی پمپ بار

در شبیه‌سازی مدار پیشنهادی در فن‌آوری ۰/۱۸ میکرومتر و با استفاده از ولتاژ تغذیه ۱/۸ ولت انجام می‌شود. منحنی‌های پاسخ فرکانسی برای ساختار تقویت



جدول ۳. نتایج مقایسه پمپ بار پیشنهادی و روش‌های موجود.

مشخصات طراحی	[۱۹]	[۲۳]	[۲۲]	روش پیشنهادی
فناوری	۹۰ نانومتر	۱۸۰ نانومتر	۱۸۰ نانومتر	۱۸۰ نانومتر
ولتاژ تغذیه	۱/۸ ولت	۱ ولت	۱/۸ ولت	۱/۸ ولت
توان مصرفی	۱/۷ میلی وات	۹/۱ میلی وات	۱۶۸ میکرووات	۲/۸ میلی وات
جریان پمپ بار (میکروآمپر)	۴۰	۱۰۰	۵۰	۱۰۰
دقت تطابق (درصد)	۸۰	۹۵	۸۸	۹۹/۵



شکل ۱۹. عدم تطابق جریان‌های خروجی  $I_{DOWN}$  و  $I_{UP}$

### ۵- نتیجه‌گیری

آشکارسازهای فاز-فرکانس و پمپ بار از اجزای اصلی حلقه‌های قفل تاخیر می‌باشند. در این مقاله، یک آشکارساز فاز-فرکانس پویا معرفی گردیده است که در آن از ساختارهای وارونگر CMOS و مالتی پلکسر با ترمیم سطح استفاده شده است. آشکارساز فاز-فرکانس پیشنهادی دارای توان مصرفی پایین و همچنین سطوح ولتاژی مناسب در خروجی است. سپس، طراحی یک پمپ بار بر اساس تقویت‌کننده عملیاتی با فیدبک مثبت ارائه گردید که تطابق جریانی بالایی دارد. تقویت‌کننده عملیاتی پیشنهادی بهره بالایی ایجاد می‌کند و در عین حال پایدار است. ساختارهای پیشنهادی با تعدادی از ساختارهای موجود مقایسه شدند و نتایج نشان دهنده عملکرد بهتر ساختارهای پیشنهادی هستند.

### مراجع

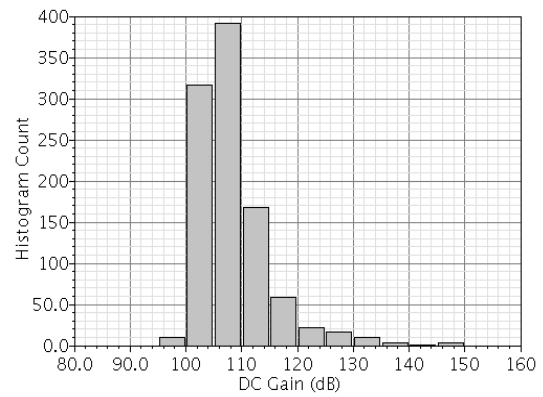
[1] B. Razavi, *RF Microelectronics*, Prentice Hall, 2012.

[2] J. M. Lin, C. Y. Yang, "A Fast-Locking All-Digital Phase-Locked Loop With Dynamic Loop Bandwidth Adjustment," *IEEE Transactions on Circuits and Systems I: Regular Papers*, Vol. 62, pp. 2411 - 2422, 2015.

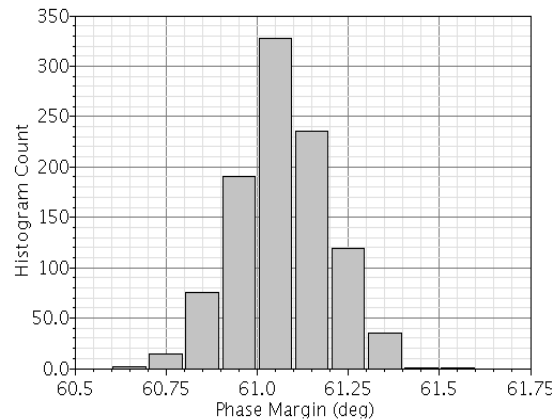
[3] Y. Han ; Q. Zhang ; C. K. Li ; X. D. Li, "Analysis of the Influence of the Loop Filter in the Phase Locked Loop on the Output Phase Noise," *IEEE 15th International Computer Conference on Wavelet Active Media Technology and Information Processing (ICCWAMTIP)*, pp. 185-189, 2018.

[4] L. Zhang ; A. K. Poddar ; U. L. Rohde ; A. S. Daryoush, "Phase noise reduction in RF oscillators utilizing self-injection locked and phase locked loop," *IEEE 15th Topical Meeting on Silicon Monolithic Integrated Circuits in RF Systems*, pp. 86-88, 2015.

[5] V. Melikyan ; V. Gevorgyan, "Low-Jitter Phase-Locked Loop With Ring Voltage Controlled Oscillator Using a Prompt Phase-Error



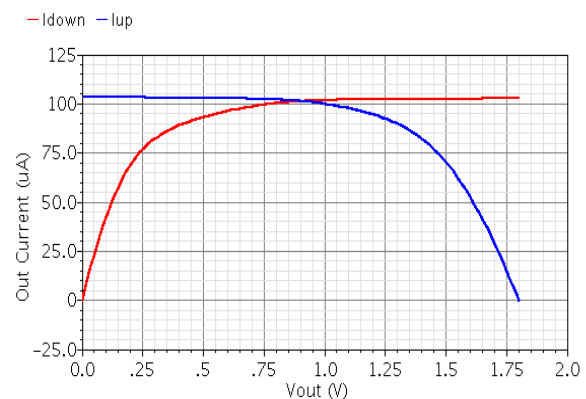
(الف)



(ب)

شکل ۱۷. هیستوگرام شبیه سازی MC برای OTA پیشنهادی. (الف)

بهره DC، (ب) حاشیه فاز.



شکل ۱۸. جریان‌های خروجی  $I_{DOWN}$  و  $I_{UP}$

عدم تطابق جریان‌های خروجی و برای مقادیر مختلف ولتاژ خروجی در شکل ۱۹ ترسیم شده است که مقدار آن کمتر از ۲ میکروآمپر است.

- of *IEEE International Conference in Semiconductor Electronics, (ICSE)*, pp.113-116, June 2008.
- [18] Yuwen Wang, Fan Ye, Junyan Ren, "A DLL Based Low-Phase-Noise Clock Multiplier with Offset-Tolerant PFD", *IEEE 10th International Conference on ASIC*, pp. 1-4, 2013.
- [19] C.M. Hung, K.O. Kenneth, "A Fully Integrated 1.5 V 5.5 Ghz CMOS Phase Locked Loop", *IEEE Journal Of Solid State Circuits*, Vol. 37, Pp. 521-525, April 2002.
- [20] K. Sengupta, H. Hashemi, Maximum frequency of operation of CMOS static frequency dividers: Theory and design techniques, in: 13th IEEE International Conference on Electronics, Circuits and Systems, 2006. ICECS '06, pp. 584–587.
- [21] J. Alvarez, H. Sanchez, G. Gerosa, R. Countryman, "A wide-bandwidth lowvoltage PLL for PowerPC™ microprocessors", *IEEE J. Solid-State Circuits*, vol. 30, pp. 383-391, Apr. 1995.
- [22] Vaishali; R. K. Sharma, "Low Power Charge Pump with reduced Glitch for PLL Applications" , Second International Conference on Intelligent Computing and Control Systems (ICICCS), 2018, pp. 1038-1041.
- [23] Jyoti Gupta, AnkurSangal and HemlataVerma, "High Speed CMOS charge Pump Circuit For PLL Applications using 90nm CMOS Technology" 2011 World Congress on Information and Communication Technologies, pages 346-349, 2011.
- [24] Nishant Kumar and Poornima Mittal, "Performance Investigation of 2:1 Multiplexer using 90nm Technology Node for Low Power Application", International Conference on Electrical and Electronics Engineering (ICE3-2020), 616-619, 2020.
- [25] SHEN-FU HSIAO, JIA-SIANG YEH and DA-YEN CHEN, "High-performance Multiplexer-based Logic Synthesis Using Pass-transistor Logic", *VLSI Design*, 2002 Vol. 15 (1), pp. 417–426.
- [26] S. M. Anisheh, H. Abbasizadeh, H. Shamsi, C. Dadkhah, K. Y. Lee, "98-dB Gain Class-AB OTA With 100 pF Load Capacitor in 180-nm Digital CMOS Process, *IEEE ACCESS*, vol. 7, pp. 17772 - 17779, 2019.
- [27] S. M. Anisheh, H. Abbasizadeh, H. Shamsi, C. Dadkhah, K. Y. Lee, "A 84 dB DC-Gain Two-Stage Class-AB OTA," *IET Circuits Devices & Systems*, pp. 1-10, 2019.
- [28] J. A. Galan, A. J. López-Martín, R. G. Carvajal, J. Ramírez-Angulo, and C. Rubia-Marcos, "Super class-AB OTAs with adaptive biasing and dynamic output current scaling," *IEEE Transactions on Circuits and Systems I: Regular Papers*, vol. 54, no. 3, pp. 449-457, 2007.
- [29] Yavari, M.: 'Hybrid cascode compensation for two-stage CMOS op-amps', *IEICE trans. Electronics*, 2005, 88, (6), pp. 1161-1165.
- Compensation Technique," *IEEE 39th International Conference on Electronics and Nanotechnology (ELNANO)*, pp. 102-105, 2019.
- [6] P. Maillard, Radiation-hardened by design (RHBD) delay locked loops (DLLs): single eventtransient analysis, simulation, and hardening, Electrical Engineering Thesis, 2010.
- [7] Y. Boulghassoul, L. W. Massengill, A. L. Sternberg, and B. L. Bhuvu, "Effects of technology scaling on the SET sensitivity of RF CMOS voltage-controlled oscillators," *IEEE Trans. Nucl. Sci.*, vol. 52, no. 6, pp. 2426–2432, Dec. 2005.
- [8] R. Jacob Baker, "CMOS Circuit Design, Layout, and Simulation", Published by Wiley-IEEE, ISBN 978-0-470-22941-5 Revised Second Edition, 2008.
- [9] Y. J. Jung, S. W. Lee, D. Shim, W. Kim and S. I. Cho, "A Dual-Loop Delay-Locked Loop Using Multiple Voltage-Controlled Delay Lines," *IEEE J. Solid-State Circuits*, vol.36, no.5, pp. 784-791, May. 2001.
- [10] S. DasGupta, "Trends in Single Event Pulse Widths and Pulse Shapes in Deep Submicron CMOS," MS Thesis, Vanderbilt University, Dec. 2007.
- [11] K. Arshak O. Abubaker E. Jafer "Design and imulation Difference Types MO hase Frequency Detector for high speed and low jitter PLL" *Fifth International aracasconference on Devices, circuits and systems*, Dominican Republic, 2004, Nov.3-5.
- [12] Shobhit Kumar Garg, and Balwinder Singh, "A Novel Design of an Efficient Low Power Phase Frequency Detector for Delay Locked Loop," *IEEE International Conference on Power Electronics, Intelligent Control and Energy Systems (ICPEICES-2016)*, pp. 1-4, 2016.
- [13] Y. Sinan Hanay, "Delay Locked Loop Design," ECE 658 Project, December 2007.
- [14] MJ E. Lee, et al., "Jitter Transfer Characteristics of Delay-Locked Loops, Theories and Design Techniques," *IEEE J. Solid-State Circuits*, vol. 38, pp. 614-621, April 2003.
- [15] H.-H. Chang, J.-W. Lin, and S.-1. Liu, A Fast Locking and Low Jitter Delay-Locked Loop Using DHDL," *IEEE J. Solid-State Circuits*, vol. 38, pp. 343-346, Feb. 2003.
- [16] R. Farjad-Rad et al., A Low-Power Multiplying DLL for Low-Jitter Multigigahertz Clock Generation in Highly Integrated Digital Chips," *IEEE J. Solid-State Circuits*, vol. 37, pp. 1804-1812, Dec. 2002.
- [17] K. Khare, N. Khare, P. Deshpande, and V. Kulhade, "Phase frequency detector of delay locked loop at high frequency," *Proceedings*