

A Non-volatile, Low-Power, and Fast NCFET-based Flip-Flop with Simultaneous Backup Capability for Non-volatile Computing

Raheleh Abbasi, Vahid Jamshidi*

Department of Computer Engineering, Shahid Bahonar University of Kerman (SBUK), Kerman, Iran
E-mails: vjamshidi@uk.ac.ir; Raheleh.abbasi@eng.uk.ac.ir

* Corresponding author

Short Abstract

In computing circuits, the unexpected interruption of the voltage source causes the loss of data and redoing the calculations, which reduces the speed of calculations and increases the power consumption. Consequently, today, the design of computing circuits using non-volatile elements has received much attention. In these circuits, it is easier and less expensive to implement the power-gating technique, which plays an important role in reducing leakage power. In the non-volatile circuits that have been proposed so far, a separate back-up module is used, which saves the state of the D-flip-flops on the chip at specific time intervals. However, the use of a separate backup module ultimately leads to an increase in the total power consumption, the occupied area, and a decrease in the calculation speed. In addition, the backup module requires external control signals, which increases the complexity of the system. To solve these problems, in this paper, a new non-volatile flip-flop with simultaneous data backup capability is proposed, which uses NCFET ferroelectric transistor to fundamentally advance the non-volatile computing paradigm. The proposed flip-flop for backup and recovery operation has energy at fJ level and delay at ps level.

Keywords

Data backup, ferroelectric transistor, hysteresis, non-volatility, non-volatile flip-flop, data restore.

1- Short Introduction (4-5 lines)

Non-volatile computing is an emerging solution to decrease the loss of computing progress due to unexpected power outages. Various non-volatile flip-flops have been proposed using memristors, magnetic tunnel junctions, and resistive RAMs as local non-volatile elements with backup/recovery (B/R) module. However, B/R module leads to an increase in area overheads. In addition, a large write current during backup operation increases their power consumptions. To solve these problems, designs based on negative capacitive field effect transistors (NCFET) have been proposed. NCFET transistors have many desirable features such as small dimensions, near-zero static power consumption, high speed, non-volatile, high-energy particle robustness, and compatibility with semiconductor components. In this paper, based on NCFET transistors, a non-volatile Flip-Flop is proposed and evaluated by Hspice simulations.

2- Proposed Work and Methodology (including comprision, simulation/experimental results and discussion)

This paper proposes a new non-volatile Flip-Flop based on NCFET transistors that not only provides high-speed data transfer, but also reduces the area and power consumption compared to previous non-volatile flip-flops. In addition, the proposed Flip-Flop performs the backup operation simultaneously.

3- Conclusion (4-5 lines)

A novel, high speed, low power consumption and non-volatile Flip-Flop based on NCFET is presented. In the proposed circuit, power and energy consumption has been significantly reduced. In this plan, there is no time and energy consumption for backup because the backup operation takes place simultaneously. In addition, the area overheads have been reduced due to the unexistence of a separate back-up circuit. The recovery energy consumed is 1.1fJ, which is the lowest amount of recovery energy compared to previous works. The hysteresis feature in NCFET makes the proposed flip-flop very resistant to noise. In addition, another advantage of the proposed plan is that the information is not lost when the voltage source is suddenly cut off. The mentioned items and the results show the superiority of the proposed plan compared to previous works.

4- References (2-3 references)

- [1] Li, Xueqing, Sumitha George, Kaisheng Ma, Wei-Yu Tsai, Ahmedullah Aziz, John Sampson, Sumeet Kumar Gupta et al. "Advancing nonvolatile computing with nonvolatile NCFET latches and flip-flops." *IEEE Transactions on Circuits and Systems I: Regular Papers* 64, no. 11 (2017): 2907-2919.
- [2] Li, Xueqing, Sumitha George, Yuhua Liang, Kaisheng Ma, Kai Ni, Ahmedullah Aziz, Sumeet Kumar Gupta et al. "Lowering area overheads for FeFET-based energy-efficient nonvolatile flip-flops." *IEEE Transactions on Electron Devices* 65, no. 6 (2018): 2670-2674.
- [3] Thirumala, Sandeep Krishna, Arnab Raha, Hrishikesh Jayakumar, Kaisheng Ma, V. Narayanan, Vijay Raghunathan, and Sumeet Kumar Gupta. "Dual mode ferroelectric transistor based non-volatile flip-flops for intermittently-powered systems." In *Proceedings of the International Symposium on Low Power Electronics and Design*, pp. 1-6. 2018.

ارائه یک فلیپ فلاپ غیر فرار، کم مصرف و سریع مبتنی بر NCFET با قابلیت پشتیبان گیری همزمان برای محاسبات غیر فرار

راحله عباسی

دانشجوی کارشناسی ارشد، دانشکده مهندسی کامپیوتر، دانشگاه شهید باهنر کرمان، کرمان، ایران

وحید جمشیدی

استادیار، دانشکده مهندسی کامپیوتر، دانشگاه شهید باهنر کرمان، کرمان، ایران

چکیده

در مدارهای محاسباتی، قطع غیرمنتظره منبع ولتاژ باعث از دست رفتن داده ها و انجام مجدد محاسبات می شود. این امر باعث کاهش سرعت محاسبات و افزایش توان مصرفی می گردد. در نتیجه امروزه طراحی مدارهای محاسباتی با استفاده از عناصر غیرفرار بسیار مورد توجه قرار گرفته است. در این مدارها پیاده سازی تکنیک power-gating که نقش مهمی در کاهش توان نشتی ایفا می کند آسان تر و کم هزینه تر است. در مدارهای غیرفراری که تاکنون پیشنهاد شده است از یک مدار پشتیبان گیر مجزا استفاده می شود که در فاصله های زمانی مشخص، عمل ذخیره سازی حالت D-flip-flop های روی تراشه را انجام می دهد. اما استفاده از مدار پشتیبان گیر مجزا، در نهایت منجر به افزایش توان مصرفی کل، سطح اشغال شده، و کاهش سرعت محاسبات می گردد. علاوه بر این، مدار پشتیبان گیر به سیگنال های کنترلی خارجی نیازمند است که پیچیدگی سیستم را افزایش می دهد. برای حل این مشکلات، در این مقاله یک فلیپ فلاپ غیر فرار جدید، با قابلیت پشتیبان گیری همزمان از داده، پیشنهاد شده است که برای پیشبرد اساسی الگوی محاسبات غیرفرار، از ترانزیستور فروالکترونیک NCFET استفاده می کند. فلیپ فلاپ پیشنهاد شده برای عملیات پشتیبان گیری و بازیابی، انرژی در سطح fJ و تاخیری در سطح ps دارد.

کلمات کلیدی

پشتیبان گیری از داده، ترانزیستور فروالکترونیک، هیستریزیس، فلیپ فلاپ غیر فرار، بازیابی داده.

نام نویسنده مسئول: دکتر وحید جمشیدی

ایمیل نویسنده مسئول: vjamshidi@uk.ac.ir

تاریخ ارسال مقاله: ۱۴۰۱/۱۲/۰۷

تاریخ (های) اصلاح مقاله: ۱۴۰۲/۰۲/۰۹

تاریخ پذیرش مقاله: ۱۴۰۲/۰۷/۲۲

۱- مقدمه

سازی تکنیک power-gating: پیاده سازی تکنیک power-gating در این سیستم ها برای حذف توان نشتی، هزینه های سربرار انرژی و تأخیر قابل توجهی را بوجود می آورد چون داده ها باید در یک حافظه غیرفرار خارجی ذخیره شوند. توان مصرفی پارامتری است که امروزه به یک مسئله حیاتی در بسیاری از مدارهای الکترونیکی مخصوصاً در مدارهای مجتمع بسیار بزرگ (VLSI) تبدیل شده است. یکی از راه های کاهش توان مصرفی، استفاده از تکنیک power-gating است. تکنیک power-gating روی سیستم های محاسباتی VLSI مانند دستگاه های قابل حمل کم مصرف و مراکز سرور ابری با کارایی بالا، باعث می گردد توان نشتی ایستا صفر شود.

در پردازنده خط لوله (Pipeline) باید از حالت های فلیپ فلاپ ها و رجیسترها، پشتیبان گیری انجام شود تا اگر قطعی در منبع ولتاژ رخ داد مانع از دست رفتن داده های ذخیره شده گردد. به طور مشابه، دستگاه های قابل حمل بدون باتری که با تکنیک های energy-harvesting عرضه می شوند، می توانند از عملیات پشتیبان گیری و بازیابی بهره ببرند، زیرا منابع انرژی محیطی مانند فتولتائیک، ارتعاشات و فرکانس رادیویی اغلب غیرقابل اعتماد هستند [۳]-[۱۰].

قطعی منبع ولتاژ تأثیر زیادی بر زمان محاسبه و انرژی مصرفی کل شبکه اینترنت اشیا دارد [۳]، [۴]، [۶]-[۱۰]. از یک طرف، در یک سیستم محاسباتی

نیاز به مجتمع سازی مدارات، اهمیت استفاده از ادوات کوچک در مقیاس نانو را بسیار زیاد کرده است. در بین ادوات در مقیاس نانو، ترانزیستور اثر میدان فلز اکسید نیمه هادی، نقش بسیار مهمی را در صنعت الکترونیک بازی می کند. اما استفاده از این ترانزیستور در مقیاس نانو، مشکلاتی از قبیل جریان نشتی قابل توجه، ظرفیت خازنی بزرگ بین گیت و درین، اثر حامل داغ، جریان گیت بالا و غیره را ایجاد می کند [۱]. از طرف دیگر، این حرکت تدریجی فناوری ترانزیستور به سمت مقیاس های نانومتری، سطح ولتاژ و فاصله بین عناصر حافظه را کاهش می دهد. این روند کاهش ابعاد از یکسو سبب افزایش سرعت و کاهش توان مصرفی می شود و از سوی دیگر باعث شده که مدارهای ترتیبی نظیر فلیپ فلاپ ها به شدت نسبت به نوسانات ولتاژ حساس شوند [۲].

حساس بودن فلیپ فلاپ ها نسبت به نوسانات ولتاژ و جریان های نشتی قابل توجه، سیستم های محاسباتی آینده را با سه چالش اساسی روبرو ساخته است که عبارتند از: الف) از دست دادن داده ها: یک سیستم محاسباتی، با قطع شدن غیرمنتظره ولتاژ تغذیه، داده های محاسباتی خود را از دست می دهد. ب) تاخیر و انرژی مصرفی: قطع شدن غیرمنتظره ولتاژ تغذیه، بدلیل انجام مجدد محاسبات، تأثیر زیادی بر زمان محاسبه و انرژی مصرفی کل می گذارد. ج) پیاده

۲- مروری بر کارهای پیشین

همانطور که قبلاً ذکر شد، تأخیر، انرژی مصرفی، و از دست دادن داده ها چالش‌های اصلی برای مدارهای محاسباتی هستند [۱۳]. فلیپ فلاپ‌های غیرفرار بسیاری برای رسیدگی به این مسائل پیشنهاد شده اند [۱۳]، [۱۸]، [۲۰]-[۳۰]. به منظور ارزیابی و مقایسه کارایی این فلیپ فلاپ‌ها، ما آنها را به دو دسته اساسی تقسیم کرده ایم: الف) فلیپ فلاپ‌های با عملیات پشتیبان‌گیری همزمان و ب) فلیپ فلاپ‌هایی با عملیات پشتیبان‌گیری غیرهمزمان. در ادامه به معرفی کارهای موجود هر دسته می‌پردازیم.

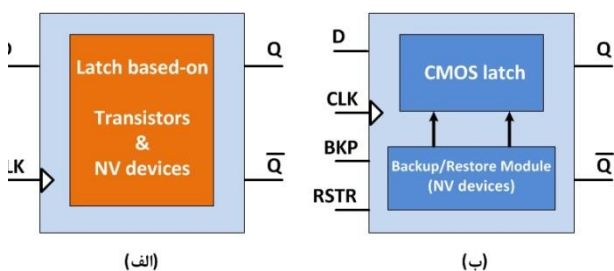
۲-۱- فلیپ فلاپ‌های با قابلیت پشتیبان‌گیری همزمان

در فلیپ فلاپ‌های با قابلیت پشتیبان‌گیری همزمان، طراحان سعی می‌کنند عملیات پشتیبان‌گیری همزمان با عملیات عادی فلیپ فلاپ انجام شود [۱۳]، [۲۰]-[۲۵]. این فلیپ فلاپ‌ها مساحت و توان مصرفی پایینی دارند، اما به دلیل تأخیر زیاد عملیات نوشتن/خواندن در قطعات غیرفرار، تأخیر زیادی دارند.

همانطور که در شکل ۱-الف نشان داده شده است، قطعات غیرفرار (به عنوان مثال، MTJ، NCFET) در داخل مدار فلیپ فلاپ قرار می‌گیرند. فلیپ فلاپ‌های با قابلیت پشتیبان‌گیری همزمان در سیستم‌های با داده‌های حساس، کاربرد دارند.

۲-۲- فلیپ فلاپ‌های با قابلیت پشتیبان‌گیری غیرهمزمان

در فلیپ فلاپ‌های با قابلیت پشتیبان‌گیری غیر همزمان، عملیات پشتیبان‌گیری و عملیات عادی فلیپ فلاپ در دو دوره زمانی متفاوت انجام می‌شود [۱۸]، [۲۶]-[۳۰]. در عملیات عادی، داده‌ها در یک لچ^۱ فرار، ذخیره می‌شوند و عملیات پشتیبان‌گیری می‌تواند در فواصل زمانی منظم (به عنوان مثال، هر روز، هر ساعت و غیره)، یا وجود درخواستی از سوی یک سیستم، و یا برنامه‌های کاربردی انجام شود. اگرچه فلیپ فلاپ‌های با قابلیت پشتیبان‌گیری غیر همزمان سرعت انتقال داده با سرعت بالا را ارائه می‌دهند، اما از مشکلات مساحت و توان مصرفی بالا رنج می‌برند. همانطور که در شکل ۲-ب نشان داده شده است، قطعات غیرفرار (به عنوان مثال، NCFETs) در خارج از مدار لچ، در یک ماژول پشتیبان/بازیابی قرار می‌گیرند. فلیپ فلاپ‌های با قابلیت پشتیبان‌گیری غیر همزمان در سیستم‌های محاسبات داده‌ای با سرعت بالا کاربرد دارد.



شکل ۱- ساختار فلیپ فلاپ‌های غیر فرار الف) فلیپ فلاپ‌های با قابلیت پشتیبان‌گیری همزمان ب) فلیپ فلاپ‌های با قابلیت پشتیبان‌گیری غیر همزمان

این مقاله یک فلیپ فلاپ غیرفرار جدید پیشنهاد می‌کند که نه تنها نرخ انتقال داده با سرعت بالا را فراهم می‌کند، بلکه مساحت و انرژی مصرفی را نسبت به فلیپ فلاپ‌های غیرفرار قبلی کاهش می‌دهد. همچنین فلیپ فلاپ پیشنهادی از نوع فلیپ فلاپ‌های با قابلیت پشتیبان‌گیری همزمان می‌باشد

اگر از داده‌ها قبل از قطع شدن ولتاژ تغذیه با موفقیت عمل پشتیبان‌گیری انجام نشود سیستم، داده‌های محاسباتی خود را از دست می‌دهد. از سوی دیگر، حتی اگر از تکنیک‌های Check-Pointing و Rollback-Recovery استفاده شود، هزینه‌های سربار انرژی و تأخیر قابل توجهی برای هر عملیات پشتیبان‌گیری و بازیابی بوجود خواهد آمد. اگر داده‌های پشتیبان، در حافظه غیرفرار خارجی ذخیره شوند، باعث می‌شود انرژی و تأخیر زیادی برای انتقال داده از آن حافظه به مدار مورد نظر صرف شود. اخیراً، فلیپ فلاپ‌های غیرفرار برای غلبه بر این چالش‌ها برای مدارهای محاسباتی غیرفرار پیشنهاد شده‌اند [۱۱]-[۱۴]. در این مدارها از قطعاتی استفاده می‌شود که با قطع شدن ولتاژ تغذیه، داده‌های خود را حفظ می‌کنند. بنابراین با وصل شدن ولتاژ تغذیه، می‌توان عمل بازیابی داده‌ها را انجام داد.

با این راه حل، از افت سرعت محاسبات و افزایش انرژی مصرفی کل جلوگیری می‌شود. همچنین زمانی که مدار در حالت ایستا قرار دارد می‌توان ولتاژ تغذیه آن را قطع نموده تا توان‌های ناشی تقریباً صفر شوند. علاوه بر این، پیاده‌سازی تکنیک power-gating کم هزینه خواهد بود چون نیازی به حافظه غیرفرار خارجی نیست.

استفاده از قطعات غیرفرار، باعث شده است که آن‌ها برای کاربردهای Normally-Off بسیار مورد توجه طراحان قرار گیرند. از جمله این قطعات می‌توان به NCFET و FeFET و MTJ اشاره کرد.

بین قطعات غیرفرار، ترانزیستورهای NCFET دارای ویژگی‌های مطلوب بسیاری مانند ابعاد کوچک، توان مصرفی ایستا نزدیک به صفر، سرعت بالا، غیر فرار، مقاوم در برابر نویز، مقاوم در برابر ذرات پر انرژی و سازگاری با قطعات نیمه‌رسانا هستند [۱۶].

مزایای فوق امکان دستیابی به طرح‌های فلیپ فلاپ غیرفرار کم مصرف را فراهم می‌کند. با این حال، فلیپ فلاپ‌های غیرفرار مبتنی بر NCFET موجود دارای چند اشکال مهم هستند؛ به عنوان مثال فلیپ فلاپ [۳۲] از یک مدار پشتیبان‌گیر مجزا استفاده می‌کند. اگرچه این فلیپ فلاپ سرعت بالایی دارد، اما از مشکلات مساحت و توان مصرفی بالا رنج می‌برد. همچنین در این فلیپ فلاپ، قطع غیرمنتظره منبع ولتاژ باعث از دست رفتن داده می‌شود و در نتیجه در یک سیستم مبتنی بر آن، نیاز به انجام مجدد محاسبات وجود دارد. فلیپ فلاپ [۱۹] نیز در اثر قطع ناگهانی منبع ولتاژ، داده خود را از دست می‌دهد. فلیپ فلاپ [۱۸] سربار سطحی بالایی دارد. در مرجع [۸] دو فلیپ فلاپ ارائه شده است که در اولی، ترانزیستور NCFET به طور کلی خارج از مسیر منطقی قرار دارد و عملیات بازیابی را به‌درستی انجام نمی‌دهد؛ در دومی، تأخیر Clock-to-Q و توان مصرفی بالایی وجود دارد.

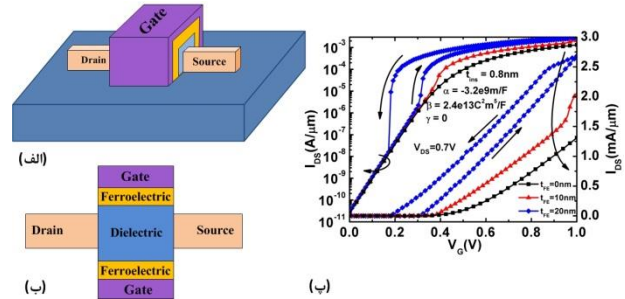
این مقاله یک فلیپ فلاپ غیرفرار جدید را پیشنهاد می‌کند که نه تنها سرعت انتقال داده با سرعت بالا را فراهم می‌کند، بلکه مساحت و توان مصرفی را نسبت به فلیپ فلاپ‌های غیرفرار قبلی کاهش می‌دهد. علاوه بر این، فلیپ فلاپ پیشنهادی عمل پشتیبان‌گیری را همزمان انجام می‌دهد.

بقیه مقاله به شرح زیر تنظیم شده است: بخش ۲ تحقیقات قبلی را در این زمینه را بررسی می‌کند. بخش ۳ فلیپ فلاپ غیرفرار پیشنهادی را ارائه می‌کند و جزئیات آن را شرح می‌دهد. بخش ۴ نتایج شبیه‌سازی و مقایسه فلیپ فلاپ غیرفرار پیشنهادی را با کارهای قبلی نشان می‌دهد. بخش ۵ نتیجه‌گیری نهایی را بیان می‌کند.

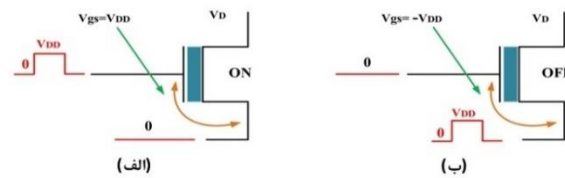
و در سیستم های با داده های حساس نیز کاربرد دارد.

۳-۲- مروری بر ترانزیستور NCFET

شکل ۲، ساختار ترانزیستورهای NCFET را نشان می دهد. همانگونه که در شکل ۲-الف نشان داده شده است، در ترانزیستور NCFET، کانال برجسته شده و یک لایه فروالکترونیک (به عنوان مثال Hafnium Oxide: HfO2)، کانال را از سه طرف محاصره می کند.



شکل ۲- ترانزیستور NCFET: (الف) نمای سه بعدی، (ب) نمای عرضی، (پ) منحنی های I-V NCFET با هیستریزس قابل تنظیم با ضخامت لایه فروالکترونیک



شکل ۳- شیوه عملکرد ترانزیستور NCFET: (الف) نوشتن "1" منطقی (Vs = VDD, Vg = 0) نوشتن "0" منطقی (Vs = 0, Vg = VDD)

ساختار ترانزیستور NCFET تقریباً شبیه به ترانزیستور FinFET است با این تفاوت که وجود یک لایه فروالکترونیک در گیت، باعث می شود ترانزیستور به یک قطعه غیر فرار تبدیل شود. ترانزیستور NCFET دو حالت ON و OFF دارد و در هر حالت که قرار بگیرد تغییر دادن آن، تنها با دادن ورودی امکان پذیر است؛ و اگر تغذیه مدار نیز OFF شود حالت خود را حفظ می کند.

شیوه عملکرد ترانزیستور NCFET در شکل ۳ نشان داده شده است. همان-طور که در شکل مشخص شده است، ترانزیستور NCFET با ولتاژهایی بصورت پالس، با دامنه و پهنای مناسب کار می کند. زمانی که $V_{gs} = +V_{DD}$ شود ($V_g = V_{DD}, V_s = 0$) ترانزیستور ON؛ و زمانی که $V_{gs} = -V_{DD}$ شود ($V_s = V_{DD}, V_g = 0$) ترانزیستور OFF می شود. زمانی که $V_{gs} = 0$ یا تغذیه مدار قطع شود ترانزیستور حالت خود را حفظ می کند.

در این مقاله، برای شبیه سازی NCFET، از یک مدل مبتنی بر معادله LK (Landau-Khalatnikov) در محیط نرم افزار Hspice استفاده شده است [۳۴ و ۳۵]. معادله LK (معادله ۱)، رفتار لایه فروالکترونیک را از نظر قطبش و میدان الکتریکی نشان می دهد که در آن α ، β و γ ضرایب ثابت و ρ ضریب جنبشی ماده فروالکترونیک هستند. در جدول ۱ مقادیر پارامترهای ترانزیستور NCFET آورده شده است.

$$E = \alpha P + \beta P^3 + \gamma P^5 + \rho \frac{dP}{dt} \quad (1)$$

جدول ۱- مشخصات NCFET در فلیپ فلاپ پیشنهادی (NVSB-FF)

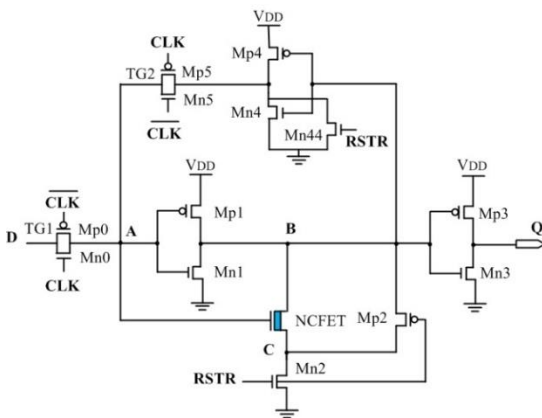
Technology node [nm]	32
Width of the transistors [nm]	45
α [m/F]	-7×10^9
β [m ⁵ /F/coul ²]	3.3×10^{10}
γ [m ⁹ /F/coul ⁴]	-2×10^9
ρ [$\Omega - m$]	0.25
Metal Capacitance [fF/um]	0.2
Write Voltage [V]	0.3

ترانزیستورهای NCFET دارای ویژگی های مطلوب بسیاری مانند ابعاد کوچک، توان مصرفی ایستا نزدیک به صفر، سرعت بالا، غیر فرار، مقاوم در برابر نویز، مقاوم در برابر ذرات پر انرژی و سازگاری با قطعات نیمه رسانا هستند [۱۶]. از اینرو در این مقاله از ترانزیستورهای NCFET، برای طراحی فلیپ فلاپ غیر فرار با قابلیت پشتیبان گیری همزمان استفاده شده است.

۳- ساختار فلیپ فلاپ پیشنهادی

شکل ۴، فلیپ فلاپ غیر فرار با قابلیت پشتیبان گیری همزمان پیشنهاد شده را نشان می دهد (که NVSB-FF نامیده می شود). همانگونه که در شکل نشان داده شده است در مدار از یک ترانزیستور NCFET استفاده شده است. این ترانزیستور همزمان با عملکرد نرمال فلیپ فلاپ، وظیفه پشتیبان گیری از داده را بر عهده دارد. جدول ۲ عملکرد NVSB-FF را بطور خلاصه بیان می کند. زمانی که $V_{DD} = '1'$ و $RSTR = '0'$ ، مدار در عملکرد نرمال قرار دارد. در این حالت، در صورتیکه $CLK = '1'$ باشد Q برابر با D خواهد بود و عمل پشتیبان-گیری انجام خواهد شد؛ و در صورتیکه $CLK = '0'$ باشد Q آخرین مقدار D را حفظ می کند.

زمانیکه $V_{DD} = '0'$ یا به عبارت دیگر منبع ولتاژ قطع می شود، Q برابر با '0' می شود؛ لازم به ذکر است در فلیپ فلاپ های فرار، زمانیکه این حالت اتفاق می افتد داده از دست می رود. حال زمانیکه $V_{DD} = '0' \rightarrow '1'$ ، $CLK = '0'$ ، و $RSTR = '1'$ یا به عبارت دیگر منبع ولتاژ وصل می شود، Q به حالت ذخیره شده در ترانزیستور NCFET بازمی آید می شود. در ادامه جزئیات سیگنالینگ مدار بیان خواهند شد.



شکل ۴- ساختار فلیپ فلاپ پیشنهادی

جدول ۲- عملکرد فلیپ فلاپ پیشنهادی (NVSB-FF)

اقدام انجام شده	شرایط	
مقدار D را می گیرد.	VDD='1'; CLK='1'	RSTR='0'
مقدار قبلی خود را حفظ می کند.	VDD='1'; CLK='0'	
Q برابر با 0 می شود.	VDD='0'; CLK='1'	RSTR='1'
Q به مقدار ذخیره شده، بازیابی می شود.	VDD='0'→'1'; CLK='0'	

۱-۳- عملکرد فلیپ فلاپ پیشنهادی در حالت نرمال و پشتیبان

گیری همزمان

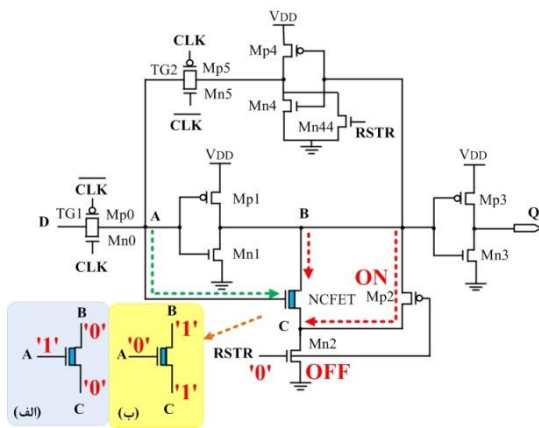
مطابق شکل ۵، برای عملکرد نرمال و پشتیبان گیری، سیگنال RSTR برابر با '0' می شود. اگر در این حالت، سیگنال کلاک در سطح HIGH یا یک منطقی باشد، گیت انتقال TG1 وصل و گیت انتقال TG2 قطع می شوند و داده از ورودی D توسط گیت انتقال TG1 به گره A منتقل می شود. حال اگر D='1' باشد گره A برابر با '1' شده، و گره B از طریق معکوس کننده شامل ترانزیستورهای {Mn1 و Mp1} برابر با '0' منطقی می شود. در این حالت ترانزیستور Mp2 وصل است و '0' منطقی در گره B، از طریق ترانزیستور Mp2 به گره C منتقل می شود (شکل ۵-الف) بنابراین $V_{gs} = +0.9V$ می شود که لایه فروالکترونیک را دارای پلاریزاسیون^۳ با قطبش مثبت می کند (NCFET وصل) و $D/Q = '1'$ در لایه فروالکترونیک به عنوان حالت دارای پلاریزاسیون با قطبش مثبت، ذخیره می شود. باید توجه داشت ولتاژ گره C ممکن است دقیقاً 0V نباشد. زیرا Mp2 یک PMOS است و '0' مناسبی (0V) ارائه نمی کند. اما این حالت، مشکلی بوجود نمی آورد زیرا V_{gs} به اندازه کافی بزرگتر از 0.2V خواهد بود.

در صورتیکه $D='0'$ باشد گره A برابر با '0' شده، و گره B از طریق معکوس کننده شامل ترانزیستورهای {Mn1 و Mp1} برابر با '1' منطقی (0.9V) می شود. در این حالت ترانزیستور Mp2 وصل است و '1' منطقی در گره B، از طریق ترانزیستور Mp2 به گره C منتقل می شود (شکل ۵-ب) بنابراین $V_{gs} = -0.9V$ می شود که لایه فروالکترونیک را دارای پلاریزاسیون با قطبش منفی می کند (NCFET قطع) و $D/Q = '0'$ در لایه فروالکترونیک به عنوان حالت دارای پلاریزاسیون با قطبش منفی، ذخیره می شود.

زمانی که سیگنال کلاک ورودی در سطح LOW یا صفر منطقی است، گیت انتقال TG1 قطع و گیت انتقال TG2 وصل است و لچ بسته می شود و خروجی Q در مقدار آخرین داده ای که قبل از تغییر وضعیت کلاک در خروجی ظاهر شده بود، حفظ می گردد و با تغییرات D دیگر تغییر نخواهد کرد؛ و در نتیجه قطبش ترانزیستور NCFET نیز تغییر نخواهد کرد.

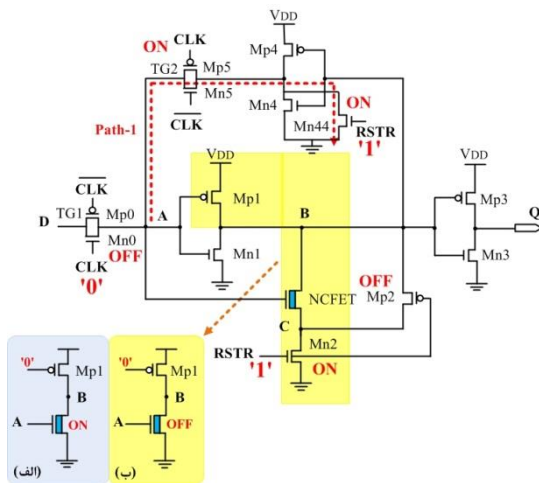
۲-۳- عملکرد فلیپ فلاپ پیشنهادی در حالت بازیابی

در حین عملیات بازیابی، NCFET یا در حالت دارای پلاریزاسیون با قطبش مثبت و یا در حالت دارای پلاریزاسیون با قطبش منفی قرار دارد (قطع/وصل). در هر کدام از این حالتها که قرار داشته باشد در زمان بازیابی، فلیپ فلاپ باید بتواند مقدار Q را بدرستی بازیابی کند. اگر لایه فروالکترونیک دارای پلاریزاسیون با قطبش مثبت باشد (NCFET وصل باشد) باید $Q='1'$ ، و اگر لایه فروالکترونیک دارای پلاریزاسیون با قطبش منفی باشد (NCFET قطع باشد) باید $Q='0'$ گردد.



شکل ۵- عملکرد فلیپ فلاپ پیشنهادی در عملکرد نرمال و

پشتیبان گیری (الف) NCFET وصل، (ب) NCFET قطع



شکل ۶- عملکرد فلیپ فلاپ پیشنهادی در عملیات بازیابی

مطابق شکل ۶، برای عمل بازیابی، سیگنال RSTR برابر با '1' و CLK برابر با '0' تنظیم می شود. در این حالت، گیت انتقال TG1 قطع و گیت انتقال TG2 وصل هستند و گره A از طریق مسیر Path-1، مقدار '0' می گیرد؛ ترانزیستورهای {Mn2 و Mp1} قطع، و ترانزیستورهای {Mn1 و Mp1} وصل می شوند. وصل بودن Mn2 باعث می گردد ترانزیستورهای {NCFET و Mp1} تشکیل یک معکوس کننده شبه NMOS (Pseudo-NMOS) دهند که خروجی آن، گره B است. منطق خروجی این معکوس کننده، بستگی به قطبش NCFET دارد که دو حالت می تواند داشته باشد: قطبش مثبت (شکل ۶-الف) یا قطبش منفی (شکل ۶-ب).

حالت ۱ (بازیابی Q='1')

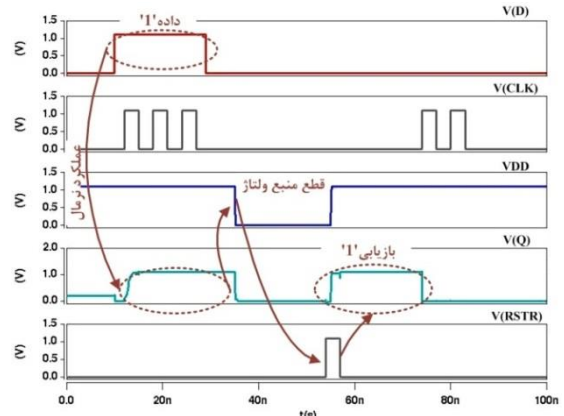
اگر لایه فروالکترونیک ترانزیستور NCFET دارای پلاریزاسیون با قطبش مثبت باشد داده ذخیره شده، '1' منطقی است (NCFET وصل، شکل ۶-الف). در این حالت، ترانزیستور NCFET گره B را به '0' منطقی می رساند. گره Q از طریق معکوس کننده شامل ترانزیستورهای {Mn3 و Mp3} برابر با '1' منطقی خواهد شد. حال اگر RSTR برابر با '0' شود داده ذخیره شده ('1')، از طریق TG2 منتقل شده و لچ می شود و به اینصورت '1' بازیابی می شود.

شکل ۷، شکل موج های رفتار فلیپ فلاپ پیشنهادی را در بازیابی $Q='1'$ نشان می دهد. شبیه سازی در HSPICE با فناوری 10nm-PTM و ولتاژ تغذیه 0.9V انجام شده است.

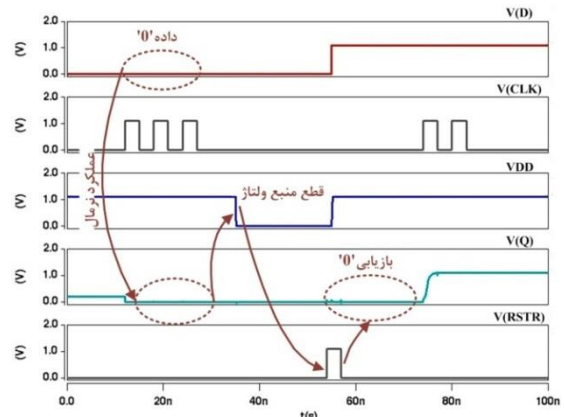
جدول ۳- اندازه ترانزیستورهای فلیپ فلاپ پیشنهادی

اندازه		ترانزیستور	
عرض کانال گیت (W)	طول کانال گیت (L)	نوع	نام
2.0um	10nm	PMOS	Mp0
1.0um	10nm	NMOS	Mn0
2.0um	10nm	PMOS	Mp1
1.0um	10nm	NMOS	Mn1
2.0um	10nm	PMOS	Mp2
2.0um	10nm	NMOS	Mn2
2.0um	10nm	PMOS	Mp3
1.0um	10nm	NMOS	Mn3
2.0um	10nm	PMOS	Mp4
1.0um	10nm	NMOS	Mn4
1.0um	10nm	NMOS	Mn44
2.0um	10nm	PMOS	Mp5
1.0um	10nm	NMOS	Mn5
2.0um	10nm	NCFET	NCFET

برای شبیه سازی



شکل ۷- بازیابی داده '1' (Q='1')



شکل ۸- بازیابی داده '0' (Q='0')

حالت ۲ بازیابی (Q='0')

اگر لایه فروالکترون ترانزیستور NCFET دارای پلاریزاسیون با قطبش منفی باشد داده ذخیره شده، '0' منطقی است (NCFET قطع، شکل ۶-ب). در این حالت ترانزیستور Mp1 گره B را به '1' منطقی می‌رساند. گره Q از طریق معکوس کننده شامل ترانزیستورهای {Mp3 و Mn3} برابر با '0' منطقی خواهد شد. حال اگر RSTR برابر با '0' شود داده ذخیره شده (0)، از طریق TG2 منتقل شده و لچ می‌شود و به اینصورت '0' بازیابی می‌شود. شکل ۸، شکل موج های رفتار فلیپ فلاپ پیشنهادی را در بازیابی '0' Q=0 نشان می‌دهد.

۳-۳- اندازه ترانزیستورهای فلیپ فلاپ پیشنهادی

در جدول ۳، اندازه ترانزیستورهای فلیپ فلاپ پیشنهادی بیان شده است. اندازه ترانزیستورها بر اساس داشتن مقدار بهینه حاصل ضرب توان-تاخیر (PDP) تعیین شده است. شایان ذکر است اندازه ترانزیستور NCFET در عملیات بازیابی زمانیکه سیگنال RSTR برابر با '1' است محاسبه شده است. همانگونه که در شکل ۶ نشان داده شده است در این حالت، ترانزیستور NCFET در یک گیت معکوس کننده شبه NMOS ظاهر می‌شود و بر اساس داشتن حداکثر حاشیه نویز، اندازه آن محاسبه گردیده است.

۴- نتایج ارزیابی و شبیه سازی

۴-۱- ارزیابی در سطح مدار

شبیه سازی مدار پیشنهادی توسط نرم افزار HSPICE در تکنولوژی 10 نانومتری PTM^۴ [۳۶] انجام شده است.

NCFET، از مدل ارائه شده در [۳۷] و برای تجزیه و تحلیل داده ها از نرم افزار CosmosScope استفاده شده است.

در جدول (۴) پارامترهای فلیپ فلاپ های غیرفراری که براساس قطعات غیرفراری همچون ReRAM ، MTJ ، PTZ cap. و ... طراحی شده اند آورده شده است.

براساس جدول ۴، یکی از مهمترین مشکلات طرح های قبلی تاخیر و انرژی مصرفی زیاد در پشتیبان گیری و بازیابی داده است. کمترین ولتاژ تغذیه در کارهای پیشین مربوط به مرجع [۱۹] بوده که از قطعه غیر فرار FEFET استفاده می‌کند، اما مساحت در مرجع [۱۸] کمترین مقدار را دارد، و کمترین زمانهای بازیابی و پشتیبان گیری به ترتیب مربوط مراجع [۱۷] و [۳۳] می باشد، این درحالی است که کمترین میزان انرژی مصرفی و پشتیبان گیری متعلق به مرجع [۱۷] است. اما یکی از چالش های مربوط به قطعات DFF این است که با قطع ناگهانی منبع ولتاژ، اطلاعات از دست می روند که در بین کارهای پیشین فقط مرجع [۱۸] بدون نیاز به سیگنال اضافی، این امکان را فراهم می کند که با قطع منبع ولتاژ اطلاعات حفظ می گردند. در مرجع [۱۸] از قطعه غیر فرار FEFET استفاده شده است.

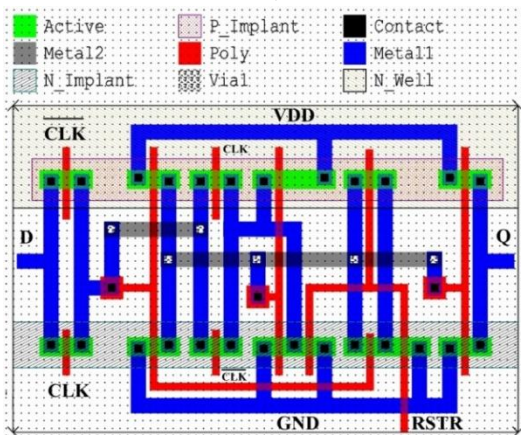
حال اگر فلیپ فلاپ پیشنهادی NVSB-FF، با سایر فلیپ فلاپ ها مقایسه شود؛ مشاهده می شود بجز ولتاژ تغذیه، NVSB-FF همه پارامترها را بهبود بخشیده است. اولین دلیل آن این است که در این فلیپ فلاپ، پشتیبان گیری/بازیابی بدون هیچ ماژول خارجی انجام می شود و دلیل دیگر آن، استفاده از عنصر غیرفرار، کم مصرف و سریع NCFET می باشد.

^۴ Predictive Technology Model (PTM)

جدول ۴- مقایسه فلیپ فلاپ پیشنهادی با کارهای پیشین

پارامترها/مراجع	Ref.[31]	Ref.[32]	Ref.[33]	Ref.[34]	Ref.[17]	Ref.[18]	Ref.[19]	NVSB-FF
تکنولوژی	130nm	130nm	45nm	180nm	10nm	10nm	10nm	10nm
قطعه غیرفرار استفاده شده	PZT cap.	PZT cap.	MTJ	RRAM	NCFET	FEFET	FEFET	NCFET
ولتاژ تغذیه (VDD)	1.5V	1.5V	1.1V	1.8V	0.4V-0.8V	0.4V-1.0V	0.2V-0.8V	0.9V
تعداد منبع ولتاژ	1	2	1	2	1	1	1	1
تعداد ترانزیستورها	30-Tr. 2-PZT cap.	21-Tr. 2- PZT cap.	25-Tr. 2-MTJ	23-Tr. 2-FEFET	24-Tr. 2-NCFET	22-Tr. 2-FEFET	23-Tr. 2-FEFET	13-Tr. 1-NCFET
مساحت	169.35 μm^2	174.35 μm^2	58.84 μm^2	192.94 μm^2	46.89 μm^2	42.09 μm^2	44.32 μm^2	25.14 μm^2
زمان پشتیبان گیری	1.64 μs	2.22 μs	909ps	10ns در 2.4V	5V در 1.4ns	1.0ns	1.0ns	ندارد
زمان بازیابی	1.25 μs	2.2 μs	177ps	1.3 μs در 0.4V	0.5V در 75ps	0.8V در 56ps	-	~35ps
انرژی مصرفی پشتیبان گیری	2.4pJ	3.44pJ	82.2J	735fJ	0.5V در 7.0fJ	1.3fJ	1.2fJ	ندارد
انرژی مصرفی بازیابی	2.34pJ	-	-	735fJ	0.5V در 9.0fJ	0.8V در 1.1fJ	1.4fJ	1.1fJ
معیار برتری (FOM)	6.28fJ	7.18fJ	4.13fJ	8.28fJ	4.25fJ	2.62fJ	5.3fJ	2.54fJ
حد اکثر فرکانس کاری	4.76GHz	4.91GHz	5.13GHz	4.13GHz	7.55GHz	7.26GHz	7.86GHz	8.92GHz
نیازمند سیگنال های کنترلی اضافی	بله	بله	بله	بله	بله	خیر	تنها بازیابی	تنها بازیابی
امکان قطع ناگهانی منبع ولتاژ	خیر	خیر	خیر	خیر	خیر	بله	خیر	بله

جدول ۴ حداکثر فرکانس کاری فلیپ فلاپ ها آورده شده است. علت اساسی فرکانس بالای فلیپ فلاپ پیشنهادی نسبت به سایر فلیپ فلاپ ها به دو دلیل است: یکی استفاده از ترانزیستور NCFET، و دیگری اتصال پایه های درین و سورس ترانزیستور NCFET در عملکرد نرمال. شایان ذکر است توان مصرفی فلیپ فلاپ پیشنهادی، در حداکثر فرکانس کاری برابر با 58.42 μW است. شکل ۹، چینش فلیپ فلاپ پیشنهادی را نشان می دهد. این چینش با بهینه سازی در عملکردهای پشتیبان گیری و بازیابی بدست آمده است. مساحت اشغال شده فلیپ فلاپ پیشنهادی برابر با 25.14 μm^2 است. در بین مدارهای ذکر شده، فلیپ فلاپ پیشنهادی کمترین مساحت را دارد. این به دلیل نداشتن واحد پشتیبان گیری مجزا و تعداد کم ترانزیستورها در ساختار آن است.



شکل ۹- چینش فلیپ فلاپ پیشنهاد شده

۴-۲- ارزیابی در سطح سیستم

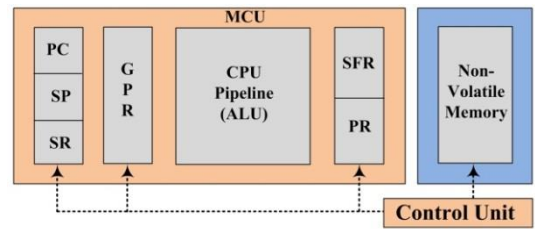
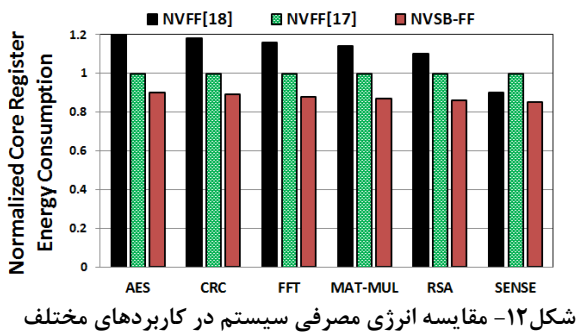
در سطح سیستم، برای مقایسه کردن انرژی مصرفی فلیپ فلاپ های غیرفرار، یک TI MSP430 MCU با فرکانس 24MHz به شیوه بیان شده در [۳۸] شبیه سازی شده است. تمام رجیسترهای MCU مبتنی بر NVFF ها طراحی شده اند (شکل ۱۰).

عملکرد فلیپ فلاپ پیشنهادی، در ولتاژهای کمتر از 0.9V نیز مورد ارزیابی قرار گرفته است. ترانزیستور NCFET در ولتاژهای 0.3V می تواند بدرستی کار کند اما سایر ترانزیستورها این قابلیت را ندارند و با تغذیه 0.3V فلیپ فلاپ مانند مدارهای زیر آستانه، توان مصرفی بالایی از خود نشان می دهد. با کاهش ولتاژ تغذیه، این نتیجه حاصل شد که حداقل سطح ولتاژی که فلیپ فلاپ پیشنهادی با آن می تواند بدرستی کار کند 0.4V است. البته با این سطح ولتاژ، توان مصرفی به میزان ۵٪ افزایش پیدا می کند.

معیار برتری (FOM) که برای مقایسه فلیپ فلاپها مورد استفاده قرار گرفته است حاصلضرب توان-تاخیر (PDP) است که به عنوان انرژی سوئیچینگ نیز شناخته می شود. هنگامی که فناوری کاهش می یابد، اتلاف توان مصرفی کل کاهش می یابد در حالیکه تاخیر، به ولتاژ تغذیه، ولتاژ آستانه، نسبت ابعاد، ضخامت اکسید و خازن بار بستگی دارد.

در جدول ۴ معیار FOM بر اساس PDP ذکر شده است. حاصلضرب توان-تاخیر در فلیپ فلاپ پیشنهاد شده به دلیل داشتن تعداد ترانزیستور کمتر نسبت به سایر فلیپ فلاپ ها، کمترین حاصلضرب توان-تاخیر (PDP) را دارد بنابراین بالاترین مقدار FOM را ارائه می کند. این امر باعث شده است بهترین کارایی را داشته باشد. از این رو استفاده از فلیپ فلاپ پیشنهاد شده در مسیرهای بحرانی دارای زمان بندی، می تواند کارایی یک مدار را به طور قابل توجهی بهبود بخشد.

لازم به ذکر است مشخصات فیزیکی NCFET روی زمان سوئیچینگ ترانزیستور NCFET تاثیر می گذارد. در بهترین حالت با $\rho=0.25\Omega\text{-cm}$ زمان سوئیچینگ برابر با 60ps است. ما با مدل ها و شبیه سازی های مختلف به این نتیجه رسیدیم که از لحاظ مداری نیز می توان این زمان را کاهش داد. برای این منظور، از ترانزیستور Mp2 در فلیپ فلاپ پیشنهادی استفاده کرده ایم. در عملکرد نرمال دو پایه درین و سورس ترانزیستور NCFET، با استفاده از ترانزیستور Mp2 به هم متصل می شوند این امر باعث می شود همواره ولتاژ پایه گیت مخالف دو پایه دیگر باشد که در نتیجه منجر می شود تغییر حالت ترانزیستور NCFET سریعتر انجام شود و به مقدار 10ps برسد. شایان ذکر است در کارهای دیگر از دو پایه، پایه گیت و پایه درین (یا سورس) استفاده شده است که ترانزیستور در مقابل تغییر حالت مقاومت می کند اما در نهایت تغییر حالت اتفاق می افتد. در



شکل ۱۰ - ساختار MCU برای مقایسه انرژی مصرفی در سطح سیستم

PC: Program Counter GPR: General Purpose Registers
 SP: Stack Pointer SFR: Special Function Registers
 SR: Status Register PR: Peripheral Registers

۵- نتیجه گیری

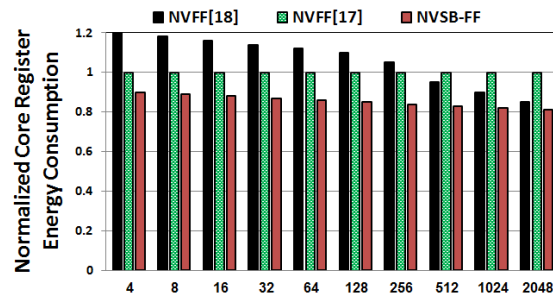
در این مقاله یک فلیپ فلاپ با توان مصرفی کم و غیرفرار مبتنی بر NCFET ارائه گردید. در مدار پیشنهادی، مصرف توان و انرژی به طور قابل توجهی کاهش یافته است. در این طرح زمان و انرژی مصرفی برای پشتیبان گیری وجود ندارد زیرا عملیات پشتیبان گیری همزمان صورت می گیرد. علاوه بر این مساحت نیز بدلیل عدم وجود مدار پشتیبان گیر مجزا، کاهش یافته است. انرژی مصرفی بازبایی مقدار 1.1fJ است که در مقایسه با کارهای پیشین دارای کمترین مقدار انرژی بازبایی است. خاصیت هیستریزس در NCFET باعث می گردد فلیپ فلاپ پیشنهاد شده، در مقابل نویز بسیار مقاوم باشد. علاوه بر این مزیت دیگر طرح پیشنهادی این است که با قطع ناگهانی منبع ولتاژ اطلاعات ازدست نمی روند. موارد ذکر شده و نتایج، برتری طرح پیشنهادی نسبت به کارهای پیشین را نشان می دهند.

مراجع

- [۱] مهسا مهران، میثم بارعی «ارائه ساختار نوین ترانزیستور اثر میدان سیلیسیم روی عایق دو گیتی با پنجره اکسید در درین گسترده شده به منظور کاربرد در تکنولوژی نانو»، مجله مهندسی برق دانشگاه تبریز، دوره ۴۷، شماره ۲، صفحات ۷۲۷ - ۷۳۳، ۱۳۹۶.
- [۲] رامین رجایی «طراحی یک فلیپ فلاپ کم توان، پرسرعت و موصون از خطای نرم برای فن آوری های نانومتری»، مجله مهندسی برق دانشگاه تبریز، دوره ۵۰، شماره ۱، صفحات ۱۳۷-۱۴۶، ۱۳۹۹.
- [3] K. Ma et al., "Architecture exploration for ambient energy harvesting nonvolatile processors," in Proc. IEEE 21st Int. Symp. High Perform. Comput. Archit. (HPCA), Burlingame, CA, USA, pp. 526-537, Feb. 2015.
- [4] X. Li, U. D. Heo, K. Ma, V. Narayanan, H. Liu, and S. Datta, "RF powered systems using steep-slope devices," in Proc. IEEE 12th Int. New Circuits Syst. Conf. (NEWCAS), Trois-Rivières, QC, Canada, pp. 73-76, Jun. 2014.
- [5] S. Kim et al., "Ambient RF energy-harvesting technologies for self sustainable standalone wireless sensor platforms," Proc. IEEE, vol. 102, no. 11, pp. 1649-1666, Nov. 2014.
- [6] F. Su, Y. Liu, Y. Wang, and H. Yang, "A ferroelectric nonvolatile processor with 46 μ s system-level wake-up time and 14 μ s sleep time for energy harvesting applications," IEEE Trans. Circuits Syst. I, Reg. Papers, vol. 64, no. 3, pp. 596-607, Mar. 2017.
- [7] Y. Liu et al., "A 65 nm ReRAM-enabled nonvolatile processor with 6x reduction in restore time and 4x higher clock frequency using adaptive data retention and self-write-termination nonvolatile logic," in IEEE Int. Solid-State Circuits Conf. (ISSCC) Dig. Tech. Papers, pp. 84-86, Jan./Feb. 2016.
- [8] A. A. Saki, S. H. Lin, M. Alam, S. K. Thirumala, S. K. Gupta, and S. Ghosh, "A family of compact non-volatile flip-flops with ferroelectric FET," IEEE Trans. Circuits Syst. I, Reg. Papers, vol. 66, no. 11, pp. 4219-4229, Nov. 2019.

انرژی مصرفی سیستم با تعداد check point های متفاوت در شکل ۱۱ نشان داده شده است. میزان انرژی مصرفی در فلیپ فلاپ ها به طور قابل توجهی به تعداد check point ها، در طول اجرای برنامه بستگی دارد. بنابراین با تغییر دادن تعداد checkpoint ها، انرژی مصرفی محاسبه شده است. همانگونه که در شکل ۱۱ مشاهده می شود با افزایش تعداد checkpoint ها، NVSB-FF انرژی مصرفی کمتری نسبت به [۱۷] و [۱۸] دارد. با توجه به شکل ۱۲ در کاربردهای عملی نیز NVSB-FF انرژی مصرفی کمتری دارد. مشاهده می شود NVSB-FF بطور متوسط ۲۸٪ کاهش مصرف انرژی را فراهم می کند.

- مهمترین ویژگی های NVSB-FF در مقایسه با فلیپ فلاپ پیشین عبارتند از:
- در فلیپ فلاپ پیشنهاد شده با اضافه کردن حداقل تعداد قطعات به ساختار سنتی CMOS، قابلیت غیر فرار بودن داده، فراهم شده است. با توجه به اینکه ترانزیستورهای NCFET غیر فرار می باشند برای حفظ داده به هیچ ولتاژ یا جریانی نیاز ندارند. بنابراین اگر ولتاژ تغذیه قطع گردد اثری روی حالت NCFET نمی گذارد.
 - فلیپ فلاپ پیشنهاد شده به مدار جداگانه ای برای عملیات پشتیبان گیری و بازبایی نیاز ندارد زیرا همزمان این عملیات انجام می گیرد که همین باعث گردیده زمان پشتیبانی گیری صفر گردد.
 - با وجود اینکه زمان بازبایی به ولتاژ تغذیه بستگی دارد با ولتاژ تغذیه 0.9V، NVSB-FF زمان بازبایی بسیار کمی دارد و انرژی مصرفی در زمان بازبایی نیز به طور چشم گیری کمتر از سایر فلیپ فلاپ ها است.
 - استفاده از NCFET در فلیپ فلاپ پیشنهادی، مصونیت در مقابل نویز را افزایش می دهد چون NCFET دارای ویژگی هیستریزس می باشد. برای تغییر حالت NCFET از OFF به ON به ولتاژی معادل $V_{gs} = +VDD$ ، و برای تغییر حالت NCFET از ON به OFF به ولتاژی معادل $V_{gs} = -VDD$ نیاز می باشد.



شکل ۱۱ - مقایسه انرژی مصرفی سیستم با تغییر دادن تعداد checkpoint ها

- [24] Y. Lakys, W. Zhao, J.-O. Klein, and C. Chappert, "Low power, high reliability magnetic flip-flop," *Electronics letters*, vol. 46, no. 22, pp. 1493–1494, 2010.
- [25] V. Jamshidi, A. Patooghy, M. Fazeli, "MagCiM: A Flexible and Non-Volatile Computing-in-Memory Processor for Energy-Efficient Logic Computation." *IEEE Access* 10, pp. 35445–35459, 2022.
- [26] H. Kimura, T. Fuchikami, K. Maramoto, Y. Fujimori, S. Izumi, H. Kawaguchi, and M. Yoshimoto, "A 2.4 pJ ferroelectric-based non-volatile flip-flop with 10-year data retention capability," in 2014 IEEE Asian Solid-State Circuits Conference (A-SSCC). IEEE, pp. 21–24, 2014.
- [27] M. Qazi, A. Amerasekera, and A. P. Chandrakasan, "A 3.4-pJ FeRAM-enabled D flip-flop in 0.13 μ m CMOS for nonvolatile processing in digital systems," *IEEE Journal of Solid-State Circuits*, vol. 49, no. 1, pp. 202–211, 2013.
- [28] S. Izumi, H. Kawaguchi, M. Yoshimoto, H. Kimura, T. Fuchikami, K. Marumoto, and Y. Fujimori, "A ferroelectric-based non-volatile flip-flop for wearable healthcare systems," in 2015 15th Non-Volatile Memory Technology Symposium (NVM-TS). IEEE, pp. 1–4, 2015.
- [29] I. Kazi, P. Meinerzhagen, P.-E. Gaillardon, D. Sacchetto, Y. Leblebici, A. Burg, and G. De Micheli, "Energy/reliability trade-offs in low-voltage ReRAM-based non-volatile flip-flop design," *IEEE Transactions on Circuits and Systems I: Regular Papers*, vol. 61, no. 11, pp. 3155–3164, 2014.
- [30] T. Na, K. Ryu, J. Kim, S.-O. Jung, J. P. Kim, and S. H. Kang, "High-performance low-power magnetic tunnel junction based non-volatile flip-flop," in 2014 IEEE International Symposium on Circuits and Systems (ISCAS). IEEE, pp. 1953–1956, 2014.
- [31] M. Qazi, A. Amerasekera, and A. P. Chandrakasan, "A 3.4-pJ FeRAM-enabled D flip-flop in 0.13- μ m CMOS for nonvolatile processing in digital systems," *IEEE J. Solid-State Circuits*, vol. 49, no. 1, pp. 202–211, Jan. 2014
- [32] D. Wang, S. George, A. Aziz, S. Datta, V. Narayanan, and S. K. Gupta, "Ferroelectric transistor based non-volatile flip-flop," in Proc. ACM Int. Symp. Low Power Electron. Design, pp. 10–15, 2016.
- [33] T. Na, K. Ryu, J. Kim, S.-O. Jung, J. P. Kim, and S. H. Kang, "High performance low-power magnetic tunnel junction based non-volatile flip-flop," in Proc. IEEE Int. Symp. Circuits Syst. (ISCAS), pp. 1953–1956, Jun. 2014.
- [34] Kimura, Hiromitsu, Takaaki Fuchikami, Kyoji Maramoto, Yoshikazu Fujimori, Shintaro Izumi, Hiroshi Kawaguchi, and Masahiko Yoshimoto. "A 2.4 pJ ferroelectric-based non-volatile flip-flop with 10-year data retention capability." In 2014 IEEE Asian Solid-State Circuits Conference (A-SSCC), pp. 21–24. IEEE, 2014.
- [35] Na, Taehui, Kyungho Ryu, Jisu Kim, Seong-Ook Jung, Jung Pill Kim, and Seung H. Kang. "High-performance low-power magnetic tunnel junction based non-volatile flip-flop." In 2014 IEEE International Symposium on Circuits and Systems (ISCAS), pp. 1953–1956. IEEE, 2014.
- [36] Predictive Technology Model (PTM). Accessed: Jan. 3, 2019. [Online]. Available: <http://ptm.asu.edu/>
- [37] A. Aziz, S. Ghosh, S. Dutta, and S. K. Gupta, "Physics-based circuit compatible SPICE model for ferroelectric transistors," *IEEE Electron Device Lett.*, vol. 37, no. 6, pp. 805–808, Jun. 2016.
- [38] A. Raha et al., "Designing energy-efficient intermittently powered systems using spin-hall-effect-based nonvolatile sram". *IEEE Trans. On VLSI Sys. (TVLSI)*, 26(2), pp. 294–307, 2018.
- [9] D. Zhang et al., "Solar power prediction assisted intra-task scheduling for nonvolatile sensor nodes," *IEEE Trans. Comput.-Aided Des. Integr. Circuits Syst.*, vol. 35, no. 5, pp. 724–737, May 2016.
- [10] Y. Wang et al., "Storage-less and converter-less photovoltaic energy harvesting with maximum power point tracking for Internet of Things," *IEEE Trans. Comput.-Aided Des. Integr. Circuits Syst.*, vol. 35, no. 2, pp. 173–186, Feb. 2016.
- [11] K. Jabeur, G. Di Pendina, F. Bernard-Granger, and G. Prenat, "Spin orbit torque non-volatile flip-flop for high speed and low energy applications," *IEEE electron device letters*, vol. 35, no. 3, pp. 408–410, 2014.
- [12] Z. Wang, W. Zhao, E. Deng, Y. Zhang, and J.-O. Klein, "Magnetic non-volatile flip-flop with spin-hall assistance," *physica status solidi (RRL)–Rapid Research Letters*, vol. 9, no. 6, pp. 375–378, 2015.
- [13] R. Bishnoi, F. Oboril, and M. B. Tahoori, "Non-volatile non-shadow flip-flop using spin orbit torque for efficient normally-off computing," in 2016 21st Asia and South Pacific Design Automation Conference (ASP-DAC). IEEE, pp. 769–774, 2016.
- [14] Y. Seo, X. Fong, and K. Roy, "Fast and disturb-free nonvolatile flip-flop using complementary polarizer mtj," *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*, vol. 25, no. 4, pp. 1573–1577, 2016.
- [15] X. Fong, Y. Kim, S. H. Choday, and K. Roy, "Failure mitigation techniques for 1t-1mtj spin-transfer torque mram bit-cells," *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*, vol. 22, no. 2, pp. 384–395, 2013.
- [16] Markovic D., Nikolic B., Brodersen R. W. "Analysis and design of low-energy flip-flops" *Proceeding of International Symposium on Low Power Electronics and Design*, pp. 52–55, Aug. 2001.
- [17] Li, Xueqing, Sumitha George, Kaisheng Ma, Wei-Yu Tsai, Ahmedullah Aziz, John Sampson, Sumeet Kumar Gupta et al. "Advancing nonvolatile computing with nonvolatile NCFET latches and flip-flops." *IEEE Transactions on Circuits and Systems I: Regular Papers* 64, no. 11, pp. 2907–2919, 2017.
- [18] Li, Xueqing, Sumitha George, Yuhua Liang, Kaisheng Ma, Kai Ni, Ahmedullah Aziz, Sumeet Kumar Gupta et al. "Lowering area overheads for FeFET-based energy-efficient nonvolatile flip-flops." *IEEE Transactions on Electron Devices*, vol. 65, no. 6, pp. 2670–2674, 2018.
- [19] Thirumala, Sandeep Krishna, Arnab Raha, Hrishikesh Jayakumar, Kaisheng Ma, V. Narayanan, Vijay Raghunathan, and Sumeet Kumar Gupta. "Dual mode ferroelectric transistor based non-volatile flip-flops for intermittently-powered systems." In *Proceedings of the International Symposium on Low Power Electronics and Design*, pp. 1–6, 2018.
- [20] C. Mitchell, M. Hunt, C. McCartney, and F. Ho, "Implementation of low-power, non-volatile latch utilizing ferroelectric transistor," *Electronics Letters*, vol. 51, no. 23, pp. 1884–1886, 2015.
- [21] W. Zhao, E. Belhaire, V. Javerliac, C. Chappert, and B. Dieny, "A non-volatile flip-flop in magnetic fpga chip," in *International Conference on Design and Test of Integrated Systems in Nanoscale Technology*, 2006. DTIS 2006, pp. 323–326, 2006.
- [22] V. Jamshidi, "NVRH-LUT: A nonvolatile radiation-hardened hybrid MTJ/CMOS-based look-up table for ultralow power and highly reliable FPGA designs." *Turkish Journal of Electrical Engineering and Computer Sciences* 27, no. 6, pp. 4486–4501, 2019.
- [23] K. Ryu, J. Kim, J. Jung, J. P. Kim, S. H. Kang, and S.-O. Jung, "A magnetic tunnel junction based zero standby leakage current retention flip-flop," *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*, vol. 20, no. 11, pp. 2044–2053, 2011.