

Low Power Rail-to-Rail Class AB CMOS Operational Amplifier Using Translinear Loop

Rasoul Dehghani*

Department of Electrical and Computer Engineering, Isfahan University of Technology, Isfahan, Iran.
E-mail: dehghani@iut.ac.ir

Abstract

In this paper the analysis and design of an operational amplifier is presented. This amplifier can follow the input signal from ground to supply voltage at its input and output. Based on the level of the input common mode voltage, one of two pMOS and nMOS differential pairs are selected to amplify the input signal. This causes the amplifier performance is independent of the drain current relationship of the input differential pairs transistors. Both static and dynamic currents of the class AB output stage are provided by two translinear loops with minimum sensitivity to process, temperature and supply voltage variations. The simulation results, in a $0.18\ \mu\text{m}$ CMOS technology, show that the amplifier in nominal condition, has about 80 dB dc voltage gain, 51 MHz unity gain bandwidth and 63° phase margin while its static power consumption is almost 1 mW. For input common mode voltage changes between ground to the supply voltage, the maximum relative variations of the input differential pairs transconductances, amplifier's dc voltage gain, phase margin and unity gain bandwidth are 0.63%, 0.80%, 1.48% and 0.33%, respectively. This amplifier as a buffer can drive a load consisting of parallel connection of a resistor $400\ \Omega$ and a capacitor 20 pF.

Keywords

Constant-gm, input rail-to-rail opamp, class AB, translinear loop.

1- Introduction

Operational amplifier with the capability of having input rail to rail swing is a necessity in recent sub-micron analog CMOS circuits. The usual method to meet this requirement is using two parallel nMOS and pMOS differential pairs to cover the whole input common mode voltage range [1-2]. Rather large variation of transconductances (gm) of the input pairs with common mode voltage and its dependency on the drain current relationships are two main drawbacks of this method. Since variation of gm can affect the opamp frequency response parameters, different ideas have been introduced to achieve a constant gm for the input differential pairs in such a way that it is independent of operating region or current relationship of the input differential pairs devices [3].

2- Proposed Work and Methodology

In the proposed rail to rail opamp instead of employing two parallel differential pairs as used in conventional methods, based on the input common mode voltage level one of pMOS or nMOS differential pair is selected to amplify the input signal. The switching action between two differential pairs induces a spike with certain small amplitude on the output voltage that can lead to severe degradation of total harmonic distortion for low level output voltage. Therefore, a schmitt trigger circuit with wide enough hysteresis loop has been used to mitigate this problem. A comprehensive analysis is also presented to achieve some analytical relationships which are useful to reach a near optimum design in terms of proper phase margin and bandwidth with low power consumption. Because of using two individual differential pairs the total input transconductance of the opamp is independent of the devices drain currents relationships. Variations of the input differential pairs transconductances, dc voltage gain and unity gain bandwidth of the designed opamp all are less than one percent while the total static power consumption is about 1 mW.

3- Conclusion

In this paper the design and analysis of an operational amplifier with the capability of rail to rail voltage changes at its input and output was presented. The drain current relationship of the input transistors corresponding to subthreshold or saturation regions and short channel effects have no influence on determining the total input stage transconductance. A class-AB CMOS amplifier was used as the output stage in which the bias and load currents have been provided by two translinear loops. By writing and solving the related equations for the ac equivalent circuit, the analytical relations for dc voltage gain and poles and zeros locations were obtained. These relations can be used to design an amplifier with proper phase margin and bandwidth and low power consumption.

4- References

- [1] C. Veselu, C. Stănescu and G. Brezeanu, "Low current constant-gm technique for rail-to-rail operational amplifiers," 2020 International Semiconductor Conference (CAS), pp. 253-256, 2020.
- [2] N. Baxeavanakis, I. Georgakopoulos and P. P. Sotiriadis, "Rail-to-rail operational amplifier with stabilized frequency response and constant-gm input stage," 2017 Panhellenic Conference on Electronics and Telecommunications (PACET), pp. 1-4, 2017.
- [3] M. M. Ahmadi, R. Lotfi and M. Sharif-Bakhtiar, "A new architecture for rail-to-rail input constant-g/sub m/ CMOS operational transconductance amplifiers," Proceedings of the 2003 International Symposium on Low Power Electronics and Design, ISLPED '03., pp. 353-358, 2003.

تقویت کننده عملیاتی سی ماوس طبقه AB کم توان از نوع نوسان کامل با استفاده از حلقه ترا خطی

رسول دهقانی

دانشیار، دانشکده مهندسی برق و کامپیوتر، دانشگاه صنعتی اصفهان، اصفهان، ایران

چکیده

در این مقاله تحلیل و طراحی یک تقویت کننده عملیاتی ارائه می شود. این تقویت کننده قادر به دنبال کردن سیگنال ورودی از زمین تا ولتاژ تغذیه در هر دو ورودی و خروجی آن می باشد. براساس سطح ولتاژ حالت مشترک ورودی، یکی از دو زوج دیفرانسیل nMOS و pMOS برای تقویت سیگنال ورودی انتخاب می شوند. لذا عملکرد مدار مستقل از رابطه جریان درین در ترانزیستورهای طبقه ورودی خواهد بود. جریان های بایاس ac طبقه خروجی توسط دو حلقه تراخطی با کمترین حساسیت به تغییرات فرآیند ساخت، دما و تغذیه، تامین می شوند. نتایج شبیه سازی مدار در فن آوری سی ماوس ۱۸۰ نانومتر نشان می دهد تقویت کننده در حالت نامی دارای بهره ولتاژ dc در حدود ۸۰ دسی بل، پهنای باند بهره واحد ۵۱ مگاهرتز، حاشیه فاز ۹۳° است در حالی که توان مصرفی ایستای آن تقریباً یک میلی وات است. به ازای تغییرات ولتاژ حالت مشترک ورودی بین زمین تا تغذیه، حداکثر تغییرات نسبی هدایت انتقالی طبقه دیفرانسیل ورودی، بهره ولتاژ dc، حاشیه فاز و پهنای باند بهره واحد به ترتیب ۰/۶۳٪، ۰/۸۰٪، ۰/۴۸٪ و ۰/۳۳٪ می باشد. این تقویت کننده به عنوان بافر قادر به راه اندازی ترکیب موازی یک مقاومت بار ۴۰ اهم و خازن ۲۰ پیکوفاراد می باشد.

کلمات کلیدی

ضریب هدایت انتقالی ثابت، تقویت کننده عملیاتی با دامنه نوسان کامل در ورودی، طبقه AB، حلقه تراخطی.

نام نویسنده مسئول: دکتر رسول دهقانی

ایمیل نویسنده مسئول: dehghani@iut.ac.ir

تاریخ ارسال مقاله: ۱۴۰۱/۰۹/۰۶

تاریخ (های) اصلاح مقاله: ۱۴۰۱/۱۱/۰۷

تاریخ پذیرش مقاله: ۱۴۰۱/۱۲/۰۹

۱- مقدمه

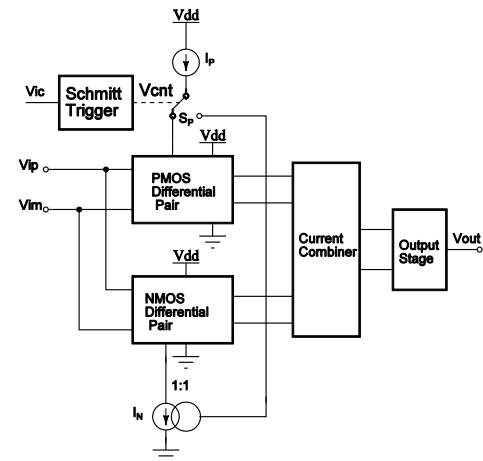
نشان می دهد. در مرجع [۶] برای اینکه عملکرد مدار مستقل از رابطه جریان درین باشد با استفاده از یک جفت زوج دیفرانسیل pMOS و یک جفت زوج دیفرانسیل nMOS در مقادیر حدی بالا و پائین دامنه ورودی به ترتیب از اتصال موازی زوج های nMOS و pMOS استفاده می شود و در ناحیه میانی از اتصال موازی همزمان یک زوج pMOS و یک زوج nMOS استفاده می شود. البته در این روش در مرزهای انتقال هدایت از یک زوج به زوج دیگر شاهد تغییراتی در ضریب هدایت انتقالی طبقه ورودی هستیم. در مرجع [۷] با جابجایی مشخصه های دو زوج دیفرانسیل مکمل ورودی میزان تغییرات ضریب هدایت در محدوده میانی کاهش داده شده است.

در کار ارائه شده در این مقاله، تقویت سیگنال ورودی توسط دو زوج دیفرانسیل nMOS و pMOS با مشخصات یکسان صورت می گیرد که برای ولتاژهای حالت مشترک پائین تا یک آستانه خاص عمل تقویت توسط زوج pMOS و سپس با افزایش سطح سیگنال ورودی از یک سطح مشخص عمل تقویت به زوج nMOS انتقال می یابد. در ادامه در بخش دوم ساختار کلی تقویت کننده معرفی و جزئیات روش به کار رفته برای رسیدن به یک ضریب هدایت انتقالی ثابت با حساسیت کم نسبت به تغییرات ولتاژ حالت مشترک ورودی توضیح داده می شود. در بخش سوم روابط تحلیلی مورد استفاده در طراحی تقویت کننده به دست آورده می شود و عملکرد حلقه تراخطی در تامین جریان بایاس طبقه خروجی AB تحلیل می شود. این حلقه علاوه بر فراهم کردن جریان بایاس طبقه خروجی، براساس تحلیل ارائه شده در بخش ۳، جریان مورد نیاز بار متشکل از ترکیب موازی خازن و مقاومت را تامین می کند که البته میزان حداقل بار مجاز مطابق با روابط به دست آمده در این بخش، توسط ابعاد ترانزیستورهای طبقه خروجی تعیین می شود. نتایج به دست آمده از شبیه سازی مدار در فن

در تقویت کننده های دیفرانسیل کامل با توجه به استفاده از مدار بازخورد حالت مشترک، ولتاژ حالت مشترک در ورودی و خروجی تقویت کننده روی یک مقدار مناسب که معمولاً نصف ولتاژ تغذیه مدار است، تثبیت می شود و لذا محدودیتی در ارتباط با دامنه نوسان سیگنال در ورودی و خروجی تا نزدیکی تغذیه از بالا و سطح زمین از پائین وجود ندارد [۱، ۲]. در مقابل برای تقویت کننده های عملیاتی با خروجی تک سر هنگامی که به عنوان بافر به کار می روند محدود بودن دامنه نوسان سیگنال در طبقه دیفرانسیل در ورودی تقویت کننده یک چالش مهم محسوب می شود. این نقصان به ویژه برای کاربردهای ولتاژ پائین با سطح تغذیه کم بیشتر حائز اهمیت است. برای کاهش این محدودیت روشهای مختلفی ارائه شده است. یک راهکار متداول استفاده همزمان از دو زوج دیفرانسیل مکمل nMOS و pMOS به صورت موازی است که هر کدام در شرایط حدی بالا و پائین دامنه سیگنال ورودی، وظیفه تقویت سیگنال را به عهده دارند. اشکال اصلی این روش بیشتر بودن ضریب هدایت انتقالی طبقه ورودی در محدوده میانی دامنه ورودی است که منجر به تغییرات زیاد در حاشیه فاز، بهره ولتاژ dc و پهنای باند بهره واحد تقویت کننده می شود. برای کاهش این خطا با فرض برقراری رابطه درجه دو برای جریان درین ترانزیستورهای زوج های دیفرانسیل ورودی، جریان بایاس این زوج ها در مقادیر حدی دامنه ورودی به گونه ای افزایش می یابد که ضریب هدایت انتقالی طبقه ورودی تا حد امکان ثابت نگه داشته شود [۳-۵]. اشکال اصلی این روش در فرض اولیه برقراری رابطه درجه دو برای جریان درین است، به طوری که چنانچه به دلیل اثرات کانال کوتاه این رابطه برقرار نباشد و یا ترانزیستورهای ورودی در ناحیه زیر آستانه کار کنند خطای مدار در ثابت نگه داشتن ضریب هدایت انتقالی طبقه ورودی زیاد خواهد بود. این چالش در فن آوری های جدید با طول کانال خیلی کوتاه بیشتر خود را

انتقال هدایت از یک زوج دیفرانسیل به زوج دیگر را متناسب با مقدار ولتاژ ورودی به عهده دارند. این سیگنال های کنترلی توسط مدار اشمیتتریگر نشان داده شده در شکل ۲ تولید می شوند. مقدار ولتاژ آستانه پائینی مدار اشمیتتریگر توسط نسبت عرض ترانزیستور M4 به عرض ترانزیستور M6 تعیین می شود به طوری که با کاهش این نسبت این ولتاژ کاهش یافته و باعث افزایش عرض حلقه هیستریزس مدار می شود. از طرف دیگر سطح ولتاژ آستانه بالایی توسط نسبت عرض ترانزیستور M1 به عرض ترانزیستور M5 تعیین می شود به طوری که با کاهش این نسبت، این ولتاژ افزایش یافته و باعث افزایش عرض حلقه هیستریزس مدار می شود. نسبت ابعاد این ترانزیستورها به نحوی انتخاب شده اند که عرض حلقه هیستریزس در حدود ۰/۴ ولت حول ولتاژ وسط تغذیه تقویت کننده باشد.

ترانزیستورهای Mb1 تا Mb12 ولتاژهای بایاس dc مورد نیاز منابع جریان دنباله دو زوج دیفرانسیل و همینطور بایاس طبقه آشاری تا شده^۲ و حلقه ترا خطی (Translinear) را فراهم می کنند. در شرایطی که زوج دیفرانسیل pMOS هدایت می کند ولتاژ دیفرانسیل ورودی پس از تبدیل به جریان معادل، توسط ترانزیستورهای Mn4 تا Mn7 به صورت جریان تکسر به خروجی طبقه اول تزریق شده و ولتاژ ac طبقه اول را ایجاد می کنند. در این شرایط ترانزیستورهای Mp4 تا Mp7 به عنوان بار فعال از نوع آشاری عمل می کنند. در زمان هدایت زوج دیفرانسیل nMOS، با جابجا شدن نقش ترانزیستورهای Mp4-Mp7 با ترانزیستورهای Mn4-Mn7 درست همین عمل انجام می شود و ولتاژ ac در خروجی طبقه اول تولید می شود. در این مدار جریان بایاس اتصال های دیودی با دامنه نوسان وسیع^۳ Mn4-Mn6 و Mp4-Mp6 توسط یک منبع جریان شناور که بر اساس تئوری حلقه تراخطی عمل می کند [۸]، فراهم می شود. مدار حلقه تراخطی متشکل از ترانزیستورهای Mn8 تا Mn12 و Mp8 تا Mp12 می باشد. البته از آنجا که جریان بایاس dc طبقه خروجی متشکل از Mn13 و Mp13 هم توسط همین حلقه تراخطی تامین می شود ترانزیستورهای طبقه خروجی هم شامل مدار این حلقه می شوند. در ادامه به نحوه عملکرد مدار منبع جریان شناور پرداخته می شود. ولتاژهای گیت-سورس ترانزیستورهای Mp4، Mp8، Mp11 و Mp12 تشکیل یک حلقه بسته را می دهند که در آن ترانزیستورهای یکسان Mp11 و Mp12 با یک جریان مشخص I_0 که توسط Mn10 تامین می شود، بایاس شده اند. با فرض برقراری رابطه درجه دو برای جریان ترانزیستورها و برابر بودن نسبت جریان درین به ابعاد $(I_D/(W/L))$ (جریان بهنجار شده^۴ درین) در ترانزیستورهای Mp11(12) با Mp4 داریم: $V_{SG4} = V_{SG11}$ ولذا خواهیم داشت: $V_{SG8} = V_{SG12}$. از تساوی آخر این نتیجه حاصل می شود که جریان بهنجار شده درین Mp8 با جریان متناظر در Mp12 برابر است. لذا براساس نسبت ابعاد Mp8 به Mp12 می توان جریان مورد نظر Mp8 را به صورت ضربی از جریان I_0 تعیین کرد. دقیقاً با همین استدلال جریان dc درین Mn8 توسط یک حلقه تراخطی متشکل از ترانزیستورهای Mn4، Mn8، Mn11 و Mn12 به دست می آید. در این مدار جریان-های dc درین های Mp8 و Mn8 با یکدیگر مساوی هستند و لذا جریان dc Mp4 و Mn4 دو برابر خواهد شد که به راحتی بر اساس نسبت ابعاد ترانزیستورها مشخص می شود. همانطور که قبلاً ذکر شد جریان بایاس ترانزیستورهای طبقه خروجی یعنی Mp13 و Mn13 هم توسط یک حلقه تراخطی تعیین می شود. حلقه تراخطی متشکل از ترانزیستورهای Mp9، Mp11، Mp12، Mp13 جریان ایستا^۵ Mp13 را تولید می کنند که براساس نسبت ابعاد Mp13 به Mp11 (یا Mp12) ضربی از جریان ثابت و مشخص I_0 می باشد. مستقل بودن از دما،



شکل ۱- شمای کلی تقویت کننده عملیاتی پیشنهادی

آوری سی ماوس ۱۸۰ نانومتر در بخش چهارم آورده می شود و سرانجام بخش پنجم به عنوان بخش نتیجه گیری ارائه خواهد شد.

۲- ساختار کلی تقویت کننده عملیاتی پیشنهادی

در شکل ۱ شمای کلی و مفهومی تقویت کننده عملیاتی طراحی شده با قابلیت پوشش کامل دامنه نوسان سیگنال ورودی از زمین تا تغذیه، نشان داده شده است.

مطابق شکل ۱ سیگنال ورودی به طور همزمان به هر دو زوج دیفرانسیل nMOS و pMOS اعمال می شود. برای ولتاژهای حالت مشترک پائین در ورودی، سیگنال کنترلی تولید شده توسط مدار اشمیتتریگر، جریان بایاس را به سمت زوج دیفرانسیل pMOS هدایت می کند و در این زمان زوج nMOS خاموش است. با افزایش سطح سیگنال ورودی سیگنال کنترل هدایت جریان بایاس را از زوج pMOS به سمت زوج nMOS هدایت می کند. مدار اشمیتتریگر به کار رفته از نوع غیر معکوس کننده و دارای حلقه هیستریزس با مقدار حدودی ۰/۴ ولت می باشد. در این روش به دلیل انتقال هدایت از یک زوج دیفرانسیل به زوج دیگر در زمان تغییر وضعیت هدایت دو زوج، یک پرش کوچک با دامنه مشخص در شکل موج زمانی خروجی ایجاد می شود. حال چنانچه به جای مدار اشمیتتریگر از یک مقایسه کننده معمولی استفاده شود، این پرش برای سیگنال های ورودی با دامنه کم و قابل مقایسه با دامنه این پرش به شدت باعث افزایش اعوجاج هارمونیک کل^۱ در سیگنال خروجی می شود. در حالی که با وجود مدار اشمیتتریگر، برای دامنه کل ورودی از صفر تا نزدیکی عرض حلقه هیستریزس این مدار، هیچ پرشی در شکل موج خروجی نخواهیم داشت و همانطور که در نتایج شبیه سازی خواهد آمد، مقدار THD مقدار مطلوب خود را در دامنه های کم ورودی حفظ می کند. سطوح ولتاژهای آستانه بالایی مدار اشمیتتریگر به ترتیب توسط حداکثر و حداقل مقدار مجاز ولتاژ حالت مشترک ورودی زوج های pMOS و nMOS طبقه ورودی تعیین می شوند.

در ادامه با استفاده از شکل ۲ که شمای کامل تقویت کننده عملیاتی را نشان می دهد به بررسی جزئیات کار تقویت کننده عملیاتی پرداخته می شود. در این شکل جفت ترانزیستورهای Mp1,2 و Mn1,2، به ترتیب زوج دیفرانسیل pMOS و nMOS طبقه ورودی را تشکیل می دهند که به منظور افزایش CMRR تقویت کننده منابع جریان دنباله (tail) در آنها از نوع آشاری (Cascode) می باشد. ترانزیستورهای Ms1,2 با سیگنال های کنترل کننده Vc و Vcb وظیفه

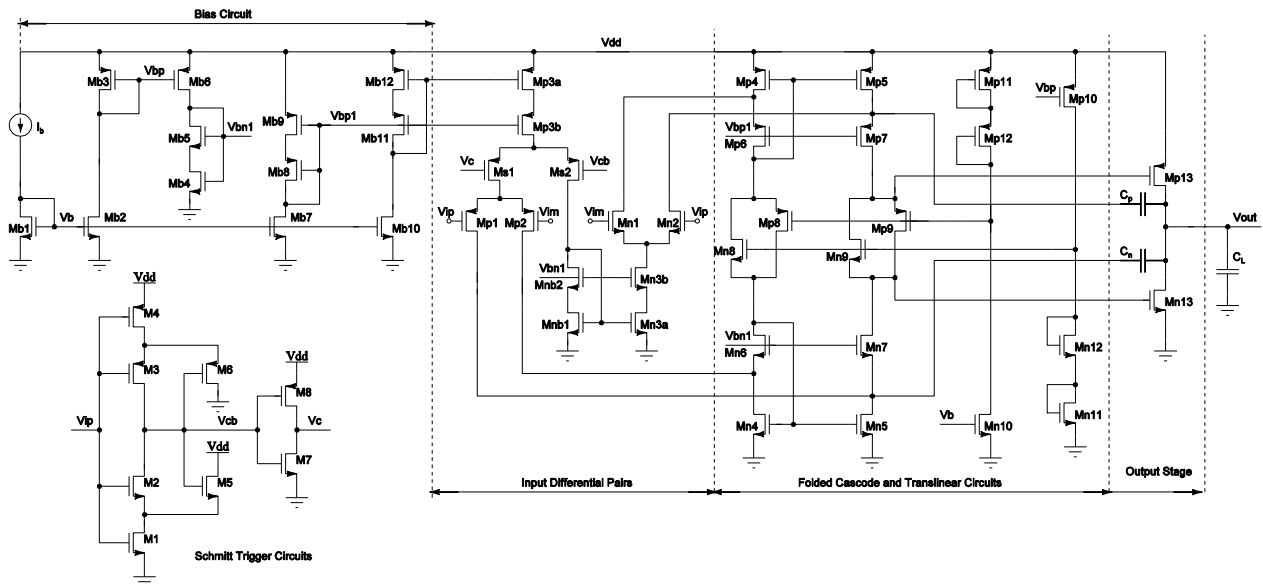
⁴ Normalized Drain Current

⁵ Quiescent Current

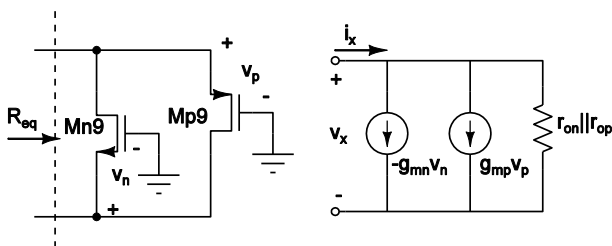
¹ Total Harmonic Distortion (THD)

² Folded-Cascode

³ Wide Swing Diode Connected



شکل ۲- مدار کامل تقویت کننده عملیاتی



شکل ۴- مقاومت معادل ac

$$I_{o1} = I_B + g_{mp1}v_{in} \quad (1)$$

جریان بایاس اتصال دیودی Mp4-Mp6 است که توسط منبع جریان شناور متشکل از Mn8 و Mp8 ایجاد می شود.

چون مقاومت معادل ac دیده شده دو سر درین-سورس اتصال موازی ترانزیستورهای Mn9 و Mp9 در مقایسه با مقاومت های معادل ترانزیستورهای آبشاری Mn5 و Mn7 و همچنین Mp5 و Mp7 خیلی کوچکتر است ولتاژهای v_{gn} و v_{gp} در حالت ac تقریباً برابر هستند. علت این امر با به دست آوردن مقاومت معادل دیده شده از دو سر درین - سورس Mn9 و Mp9 روشن می شود. در شکل ۴ با فرض مساوی بودن ضریب هدایت انتقالی Mn9 و Mp9 و بزرگ بودن مقاومت موازی $r_{on} || r_{op}$ داریم:

$$i_x = g_m(v_p - v_n) = g_m v_x \quad (2)$$

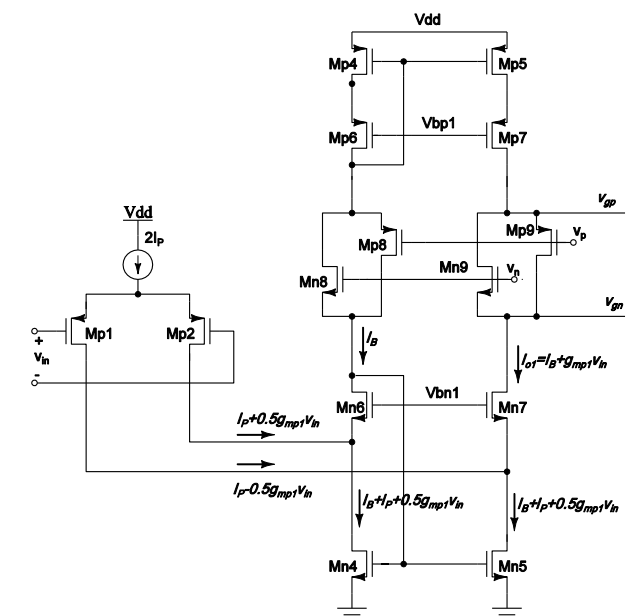
بنابراین مقاومت معادل بین سورسهای Mn9 و Mp8 می شود که نسبت به مقاومت های دیده شده از درین های Mn7 و Mp7 بسیار کوچکتر است. بهره ولتاژ طبقه اول به راحتی با استفاده از شکل ۳ به دست می آید:

$$A_{v1} = \frac{v_{gp}(v_{gn})}{v_{in}} = -g_{mp1}R_1 \quad (3)$$

که در آن R_1 مقاومت معادل ac دیده شده در گره خروجی طبقه اول است و برابر است با:

$$R_1 = [r_{on7} + (1 + g_{mn7}r_{on7})r_{on5}] || [r_{op7} + (1 + g_{mp7}r_{op7})r_{op5}] \quad (4)$$

طبقه دوم که متشکل از Mp13 و Mn13 در شکل ۲ است یک تقویت کننده CMOS از نوع طبقه AB است که جریان بار در خروجی آن از طریق یک حلقه تراخشی با سطح سیگنال ac کنترل می شود. ترانزیستور Mp13 با ترانزیستورهای



شکل ۳- طبقه اول تقویت کننده با هدایت زوج pMOS در ورودی

تغییرات فرایند ساخت و تغییرات تغذیه برای جریان ایستایی طبقه خروجی که از نوع AB هست، ویژگی مهمی است که استفاده از حلقه تراخشی این امکان را فراهم می کند.

۳- تحلیل ac تقویت کننده عملیاتی

چون عملکرد مدار در هر دو حالت هدایت زوج دیفرانسیل ورودی pMOS و nMOS به ترتیب برای سطوح پائین و بالای ولتاژ حالت مشترک، یکسان است عملکرد ac مدار برای حالتی که به عنوان مثال به دلیل پایین بودن سطح ولتاژ ورودی زوج دیفرانسیل pMOS هدایت می کند، بررسی می شود. شکل ۳ طبقه اول تقویت کننده در شرایط مذکور را نشان می دهد. در این شکل اول تقویت کننده ضریب هدایت انتقالی زوج دیفرانسیل ورودی pMOS است. با فرض اینکه جریان بایاس Mp1 و Mp2، I_P می باشد، برای جریان درین Mn7 داریم:

$$I_{Dn13} = \frac{\beta_{n13}}{2} \left(2\sqrt{\frac{2I_0}{\beta_0}} - \sqrt{\frac{2I_B}{\beta_{n9}}} \right)^2 \quad (۸)$$

برای تغییرات سیگنال ورودی v_{in} در جهت منفی با استدلال مشابه می‌توان نشان داد این بار جریان کم و ثابت با رابطه‌ای مشابه (۸) از Mp13 عبور می‌کند و ترانزیستور Mn13 از طریق حلقه متشکل از این ترانزیستور با ترانزیستورهای Mn9, Mn11, Mn12 با کشیدن جریان از بار به سمت زمین دامنه نوسان‌های منفی خروجی را به‌وجود می‌آورد. همانطور که قبلاً ذکر شد ترانزیستورهای Mn13 و Mp13 در قالب یک تقویت‌کننده CMOS، طبقه دوم تقویت‌کننده را تشکیل می‌دهند که بهره ولتاژ dc آن در شرایط سیگنال کوچک توسط رابطه زیر مشخص می‌شود:

$$A_{v2} = \frac{v_{out}}{v_{gn}} = -g_{m2}R_2 \quad (۹)$$

که در آن: $r_{on13} \parallel r_{mn13}$ و $g_{m2} = g_{mn13} + g_{mp13}$ تعریف می‌شوند. بدیهی است که بهره ولتاژ dc کل تقویت‌کننده حاصل ضرب رابطه (۳) در (۹) خواهد بود:

$$A_{v0} = g_{mp1}g_{m2}R_1R_2 \quad (۱۰)$$

در ادامه به بررسی پاسخ فرکانسی تقویت‌کننده شکل ۲ پرداخته می‌شود. برای این منظور ابتدا مدل سیگنال کوچک تقویت‌کننده با در نظر گرفتن اثر خازن‌های مهم و تاثیرگذار در پاسخ فرکانسی که شامل خازن‌های جبران ساز C_p و C_n ، خازن بار C_L و خازن معادل دیده شده در خروجی طبقه اول است پرداخته می‌شود. قسمت عمده خازن دیده شده در خروجی طبقه اول مربوط به خازن‌های گیت سورس Mn9, Mp9, Mp13, Mn13 می‌باشد و البته خازن‌های کوچک درین-بدنه Mn7 و Mp7 و خازن‌های درین-بدنه و سورس-بدنه مربوط به Mn9 و Mp9 هم به آن اضافه می‌شود که قابل ملاحظه نیستند. شکل ۵ مدار معادل ac کامل تقویت‌کننده را نشان می‌دهد. چون در هر زمان فقط یکی از دو زوج دیفرانسیل ورودی فعال هستند درمدار معادل ac فرض بر فعال بودن زوج دیفرانسیل pMOS است هرچند در شرایطی که زوج دیفرانسیل nMOS هم فعال باشد در نتیجه تحلیل، تفاوتی ایجاد نمی‌کند.

با نوشتن معادلات KCL در گره‌های ۱، ۲، ۳ و گره خروجی V_{out} داریم:

$$(G_1 + g_{on7} + g_{mn7} + sC_n)V_1 - g_{on7}V_2 - sC_nV_{out} = -g_{mp1}V_{in} \quad (۱۱)$$

Mp9, Mp11, Mp12 تشکیل یک حلقه تراخطی می‌دهند که رابطه زیر را بین ولتاژهای گیت-سورس آن‌ها برقرار می‌کند:

$$v_{SG11} + v_{SG12} = v_{SG9} + v_{SG13} \quad (۵)$$

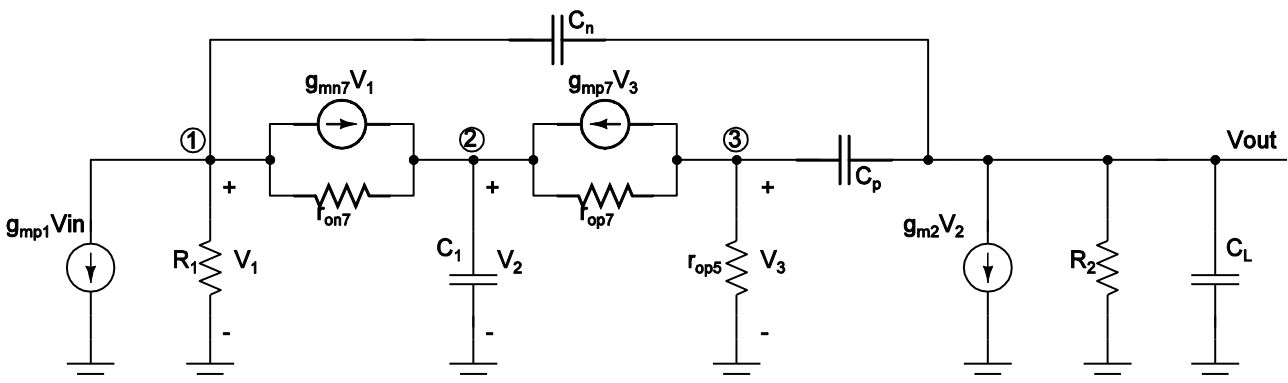
در حضور سیگنال ac به دلیل بزرگ بودن مقاومت R_1 اندکی افزایش در v_{in} باعث کاهش شدید در ولتاژهای v_{gp} و v_{gn} می‌شود به‌طوری‌که ولتاژ گیت-سورس Mp9 کمتر از ولتاژ آستانه آن شده و این ترانزیستور وارد ناحیه زیر آستانه می‌شود. با فرض برقراری رابطه درجه دو برای جریان‌های درین ترانزیستورهای Mp11, Mp12, Mp13، در این شرایط با جایگذاری رابطه متناظر برای v_{SG} ترانزیستورها در (۵) داریم:

$$2|V_{Tp}| + 2\sqrt{\frac{2I_0}{\beta_0}} = 2|V_{Tp}| + \xi V_{th} \ln\left(\frac{i_{Dp9}}{I_{S9}}\right) + \sqrt{\frac{2i_{Dp13}}{\beta_{p13}}} \quad (۶)$$

که در آن، V_{Tp} ولتاژهای آستانه ترانزیستورهای داخل حلقه تراخطی است که برای همه ترانزیستورها یکسان فرض شده است. β ضریب هدایت متناظر با هر ترانزیستور می‌باشد. $\xi = 1 + C_d/C_{ox}$ ضریب غیرایده آل ترانزیستور در ناحیه زیر آستانه است که به ظرفیت خازن اکسید گیت (C_{ox}) و ظرفیت خازن ناحیه تخلیه زیر گیت (C_d) بستگی دارد و I_{S9} جریان نشتی درین Mp9 به‌ازای $v_{SG9} = |V_{Tp}|$ می‌باشد. از (۶) رابطه جریان درین Mp13 در حضور سیگنال ac به‌دست می‌آید:

$$i_{Dp13} = \frac{\beta_{p13}}{2} \left[2\sqrt{\frac{2I_0}{\beta_0}} - \xi V_{th} \ln\left(\frac{i_{Dp9}}{I_{S9}}\right) \right]^2 \quad (۷)$$

با افزایش v_{in} به دلیل کاهش شدید هدایت Mp9 که به واسطه کاهش ولتاژ گیت-سورس آن اتفاق می‌افتد، i_{Dp9} کاهش یافته و لذا با افزایش جمله دوم در (۷) جریان ac تزریقی به بار توسط Mp13 افزایش می‌یابد. از نظر تئوری با نزدیک شدن جریان i_{Dp9} به صفر جریان Mp13 به بی نهایت می‌رسد اما در عمل با افزایش i_{Dp13} ولتاژ خروجی زیاد شده و در نهایت ترانزیستور Mp13 وارد ناحیه اهمی شده و جریان خروجی روی مقدار $(V_{dd} - v_{SDp13,sat})/R_L$ محدود می‌شود که در آن $v_{SDp13,sat}$ ولتاژ اشباع Mp13 در جریان بار R_L می‌باشد. در این شرایط جریان Mn13 مقدار ثابت و کمی خواهد داشت که رابطه این جریان را از طریق حلقه تراخطی متشکل از این ترانزیستور با ترانزیستورهای Mn9, Mn11, Mn12 در شکل ۲ می‌توان به‌دست‌آورد. با توجه به اینکه جریان درین Mp9 تقریباً صفر است، جریان Mn9 تقریباً برابر با کل جریان بایاس I_B خواهد بود که با نوشتن KVL برای این حلقه تراخطی، جریان I_{Dn13} به‌دست می‌آید:



شکل ۵- مدار معادل ac کل تقویت‌کننده عملیاتی

$G_{1,2}$ در برابر ضرائب انتقالی ترانزیستورها و سوسپتانس خازن ها در معادلات (۱۱) تا (۱۴) دسته معادلات زیر حاصل می‌شود:

$$(g_{mc} + sC_n)V_1 - sC_n V_{out} = -g_{mp1} V_{in} \quad (۱۷)$$

$$-g_{mc} V_1 + sC_1 V_2 - g_{mc} V_3 = 0 \quad (۱۸)$$

$$(g_{mc} + sC_p)V_3 - sC_p V_{out} = 0 \quad (۱۹)$$

$$-sC_n V_1 + g_{m2} V_2 - sC_p V_3 + s(C_L + C_n + C_p)V_{out} = 0 \quad (۲۰)$$

در معادلات فوق فرض شده است $g_{mn7} = g_{mp7} = g_{mc}$ از حل دستگاه معادلات (۱۷) تا (۲۰) تابع انتقال تقویت کننده به دست می‌آید:

$$A_V(s) = \frac{V_{out}}{V_{in}} = \frac{g_{mp1}}{s(C_p + C_n)} \frac{(1 + \frac{C_p}{g_{mc}}s)(1 - \frac{C_1 C_n}{g_{m2} g_{mc}} s^2)}{1 + b_1 s + b_2 s^2 + b_3 s^3} \quad (۲۱)$$

که در آن با تعریف $C_s = C_n C_p / (C_n + C_p)$ داریم:

$$b_1 = \frac{2C_s}{g_{mc}} + \frac{C_1}{g_{m2}} \left(1 + \frac{C_L}{C_n + C_p}\right) \quad (۲۲)$$

$$b_2 = \frac{C_1}{g_{m2}} \frac{2C_s + C_L}{C_n} \quad (۲۳)$$

$$b_3 = \frac{g_{m2}}{g_{mc}} \frac{C_1 C_s C_L}{g_{m2} g_{mc}} \quad (۲۴)$$

تابع انتقال تقویت کننده دو صفر سمت چپ محور موهومی در صفحه s و یک صفر سمت راست این صفحه به صورت زیر دارد.

$$z_1 = -\frac{g_{mp}}{C_p} \quad (۲۵)$$

$$z_{2,3} = \pm \sqrt{\frac{g_{m2} g_{mc}}{C_1 C_n}} \quad (۲۶)$$

لازم به ذکر است چون از ابتدا تقویت کننده با فرض هدایت زوج دیفرانسیل pMOS در ورودی تحلیل شد دو صفر قرینه $z_{2,3}$ در (۲۶) به خازن جبران ساز C_n بستگی دارند. بدیهی است در زمان هدایت زوج nMOS با خازن C_p جایگزین می‌شود. تابع انتقال همچنین دارای چهار قطب است که اولین قطب به دلیل صرف نظر از جملات g_{oi} و $G_{1,2}$ در مبدا واقع شده است ولی موقعیت دقیق این قطب در تحلیل قبلی به دست آمد و سه قطب مرتبه بالای دیگر از محاسبه ریشه‌های کثیرال جمله مخرج تابع انتقال قابل حصول می‌باشد.

با نمایش کثیرال جمله مخرج تابع انتقال به صورت نشان داده شده در (۲۷) و با متحد قرار دادن ضرائب متناظر دو طرف تساوی در این معادله، ضمن انجام برخی عملیات ریاضی روابط مربوط به قطب دوم ω_{p2} ، فرکانس طبیعی ω_0 و ضریب کیفیت Q تقویت کننده بر حسب پارامترهای مدار به دست می‌آید:

$$1 + b_1 s + b_2 s^2 + b_3 s^3 = \left(1 + \frac{s}{\omega_{p2}}\right) \left(1 + \frac{s}{Q\omega_0} + \frac{s^2}{\omega_0^2}\right) \quad (۲۷)$$

$$\omega_{p2} = \frac{1}{\frac{2C_s}{g_{mc}} + \frac{C_1}{g_{m2}} \left(1 + \frac{C_L}{C_n + C_p}\right)} \quad (۲۸)$$

$$\omega_0 = \left[\frac{2g_{m2} g_{mc}}{C_1 C_L} + \frac{g_{m2}^2}{C_s C_L} \left(1 + \frac{C_L}{C_n + C_p}\right) \right]^{\frac{1}{2}} \quad (۲۹)$$

$$Q = \frac{1}{\omega_0} \left[\frac{g_{m2}}{C_1} \frac{2C_s}{2C_s + C_L} + \frac{g_{mc}}{2C_s + C_L} \left(1 + \frac{C_L}{C_n + C_p}\right) \right] \quad (۳۰)$$

از آنجا که مجموع ظرفیت خازنهای جبران ساز C_n و C_p برای یک پهنای باند بهره واحد معین، دارای یک مقدار مشخصی می‌باشد، مساوی گرفتن ظرفیت

$$-(g_{mn7} + g_{on7})V_1 + (g_{on7} + g_{op7} + sC_1)V_2 - (g_{mp7} + g_{op7})V_3 = 0 \quad (۱۲)$$

$$-g_{op7}V_2 + (g_{op7} + g_{op5} + g_{mp7} + sC_p)V_3 - sC_p V_{out} = 0 \quad (۱۳)$$

$$-sC_n V_1 + g_{m2} V_2 - sC_p V_3 + [G_2 + s(C_L + C_n + C_p)]V_{out} = 0 \quad (۱۴)$$

در این دسته معادلات $g_{oi} = 1/r_{oi}$ ، $G_{1,2} = 1/R_{1,2}$ می‌باشند. بدیهی است حل مستقیم این دستگاه معادلات با در نظر گرفتن همه پارامترهای مدار منجر به یک تابع انتقال مرتبه چهارم با ضرائب پیچیده می‌شود که از آن اطلاعات مفیدی راجع به رفتار فرکانسی مدار به دست نمی‌آید. لذا برای سادگی، مدار در دو حالت جداگانه و با تقریب معقول تحلیل خواهد شد. در حالت اول در فرکانسهای پائین حول و حوش قطب اصلی که خیلی پائین تر از صفرها و قطبهای مرتبه بالای مدار قرار دارد، مدار تحلیل می‌شود. در این حالت پارامترهای اصلی تعیین کننده محل قطب اول (قطب اصلی) مقاومت‌های خروجی طبقه اول و طبقه دوم یعنی R_1 و R_2 و خازن های جبران ساز C_n و C_p هستند. رابطه بهره ولتاژ dc تقویت کننده در (۱۰) داده شده است. در فرکانس های نزدیک قطب اول به دلیل خازن نسبتا بزرگ دیده شده در گره خروجی طبقه اول که ناشی از اثر میلر برای خازن های جبران ساز C_n و C_p می‌باشد امپدانس معادل دیده شده در ورودی های ترانزیستورهای گیت مشترک Mn7 و Mp7 مقدار نسبتا کم و جریان خازن های C_n و C_p عمدتا از طریق این دو طبقه گیت مشترک که به صورت بافر جریان عمل می‌کنند به گره خروجی طبقه اول تزریق می‌شوند. شکل ۶ عملکرد مدار را به صورت ساده شده در این شرایط نشان می‌دهد.

ولتاژهای v_n و v_p در شکل ۶ نسبت به ولتاژ خروجی V_{out} خیلی کوچکتر هستند زیرا مقادیر آنها تقسیم شده V_{out} بر حاصل ضرب بهره ولتاژ طبقه گیت مشترک در بهره ولتاژ طبقه دوم یعنی A_{v2} می‌باشد. بنا براین ولتاژ خروجی طبقه اول تقویت کننده عملیاتی می‌شود:

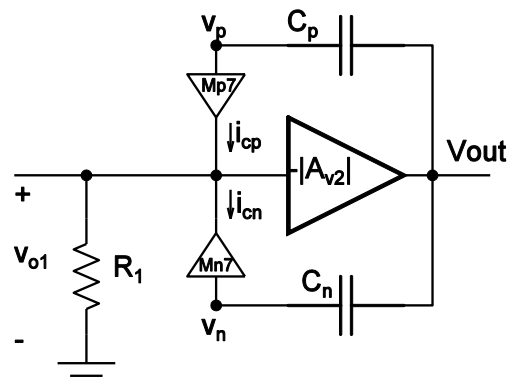
$$v_{o1} = R_1(i_{cp} - i_{cn}) = R_1(C_p + C_n) \frac{dv_{out}}{dt} \quad (۱۵)$$

با توجه به اینکه $V_{out} = -|A_{v2}|v_{o1}$ ، معادله دیفرانسیل توصیف کننده تغییرات ولتاژ خروجی طبقه اول به صورت زیر قابل حصول است:

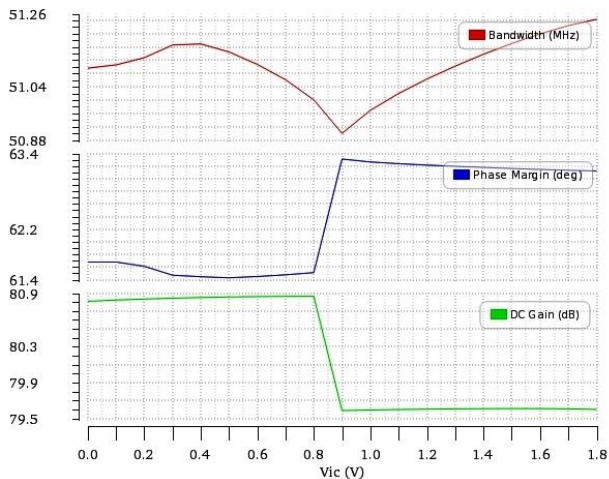
$$R_1|A_{v2}|(C_n + C_p) \frac{dv_{o1}}{dt} + v_{o1} = 0 \quad (۱۶)$$

از (۱۶) قطب اصلی تقویت کننده به راحتی به صورت $\omega_{p1} = 1/(R_1|A_{v2}|(C_p + C_n))$ به دست می‌آید.

برای تعیین صفرها و قطبهای مرتبه بالاتر با صرف نظر از جملات g_{oi} و



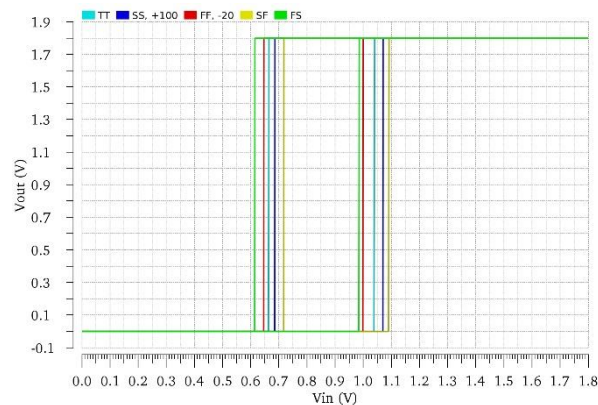
شکل ۶- مدار ساده شده تقویت کننده در خروجی طبقه اول



شکل ۸- تغییرات پهنای باند بهره واحد، حاشیه فازو بهره dc بر حسب ولتاژ حالت مشترک ورودی

ورودی در محدوده ولتاژ زمین تا ولتاژ تغذیه برای ولتاژ حالت مشترک ورودی در حدود ۰/۶۳٪ است. با توجه به اینکه نمودار ضریب هدایت انتقالی از دو قسمت مستقل مربوط به دو زوج دیفرانسیلی تشکیل شده برای داشتن ضریب هدایت انتقالی تقریباً ثابت تنها لازم است ضریب هدایت دو زوج به هم نزدیک باشند و ناحیه کاری ترانزیستورهای دو زوج (ناحیه اشباع یا زیر آستانه) و یا اثرات کانال کوتاه که رابطه درجه دو جریان درین را زیر سوال می برد در عملکرد مدار تاثیری ندارد. این ویژگی مدار به طور خاص برای فن آوری های جدید که رابطه جریان درین ترانزیستورها کاملاً با رابطه ساده درجه دو متفاوت است حائز اهمیت می باشد. تغییرات ناچیز ضریب هدایت انتقالی طبقه ورودی باعث می شود تغییرات پارامترهای پهنای باند بهره واحد و حاشیه فاز تقویت کننده عملیاتی نیز به ازای تغییرات ولتاژ حالت مشترک ورودی از صفر تا ولتاژ تغذیه کم و قابل قبول باشند. مطابق شکل ۸ این تغییرات به ترتیب برابر ۰/۳۳٪ و ۱/۴۸٪ نسبت به مقادیر متناظر با ولتاژ حالت مشترک نصف تغذیه (۰/۹ ولت) می باشد.

چون جریان های بایاس کلیه قسمت های مدار شکل ۲ از منبع جریان اصلی Ib تامین می شود، چنانچه مدار مولد این منبع به صورت کاملاً مجتمع روی تراشه پیاده سازی شود، به دلیل عدم تطابق پارامترهای مدار منبع جریان تغییرات نسبی در مقدار این جریان با تغییرات فرآیند اجتناب ناپذیر خواهد بود. در این طرح با فرض $\pm 5\%$ تغییر در جریان بایاس Ib، تغییرات نسبی در پارامترهای اصلی تقویت کننده شامل پهنای باند بهره واحد، بهره ولتاژ dc، حاشیه فاز و ضریب حذف سیگنال مشترک تقویت کننده برای ولتاژ حالت مشترک ۰/۹ ولت به ترتیب برابر $\pm 8\%$ ، $\pm 7\%$ ، $\pm 21\%$ ، $\pm 16\%$ و $\pm 28\%$ می شود.



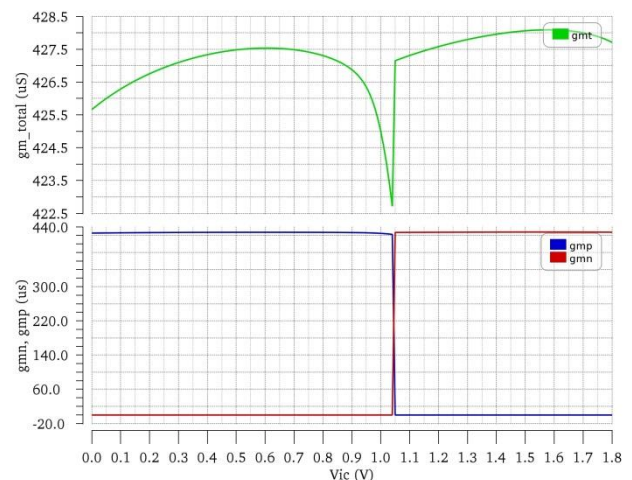
شکل ۹- مشخصه انتقالی مدار اشمیت تریگر

این دو خازن با فرض مجموع ثابت آن ها، به گونه ای که در [۹] صورت گرفته، منجر به داشتن بیشترین مقدار برای خازن معادل C_s خواهد شد که این امر مطابق با (۲۸) با کاهش قطب دوم که اولین قطب مهم و تاثیر گذار در حاشیه فاز بعد از قطب اصلی است، باعث کاهش حاشیه فاز می شود از طرفی به دلیل تفاوت جزئی در مسیر تقویت سیگنال در شرایط هدایت دو زوج دیفرانسیل مختلف nMOS و pMOS در ورودی، حاشیه فاز در زمان هدایت زوج nMOS با مقدار آن در زمان هدایت زوج دیفرانسیل pMOS متفاوت است. لذا در طراحی بهینه از نقطه نظر حاشیه فاز مناسب این اختیار برای طراح فراهم می شود که با متفاوت گرفتن ظرفیت های دو خازن جبران ساز هم با دور کردن قطب دوم حاشیه فاز افزایش یابد و هم با استفاده از روابط مربوطه حاشیه فاز را برای هدایت های دوزوج برابر کرد. در این مدار چون حاشیه فاز در زمان هدایت زوج nMOS کمتر از مقدار مورد نظر و در زمان هدایت زوج pMOS بیش از حد مورد نیاز است، طبق (۲۶) با افزایش C_n صفر سمت راست به محور موهومی نزدیک تر شده که این امر موجب کاهش حاشیه فاز می شود ولی چون در این شرایط یعنی هدایت زوج دیفرانسیل pMOS حاشیه فاز بالا می باشد، امکان این افزایش وجود دارد. از طرفی همانطور که قبلاً ذکر شد در زمان هدایت زوج دیفرانسیل nMOS در رابطه صفر سمت راست به جای C_n خازن C_p جایگزین می شود که چون در این حالت نیاز به افزایش حاشیه فاز است با ثابت نگه داشتن مجموع ظرفیت ها با کاهش C_p می توان صفر سمت راست را افزایش داد که منجر به افزایش حاشیه فاز در زمان هدایت زوج دیفرانسیل nMOS می شود. در این طراحی به ازای $C_n \cong 3.4C_p$ حاشیه فاز مطلوب با پهنای باند مورد نظر حاصل می شود.

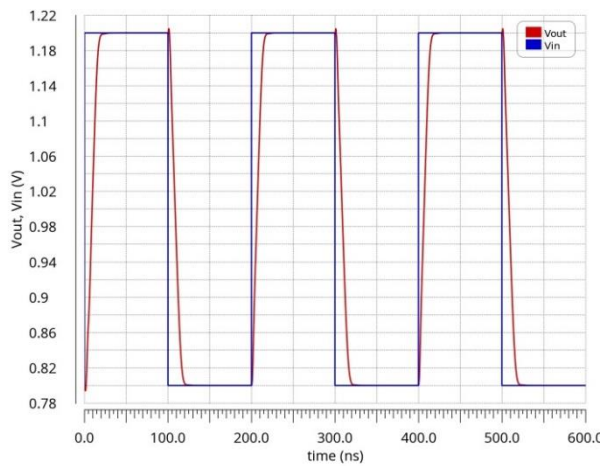
۴- نتایج شبیه سازی

در این بخش نتایج به دست آمده از شبیه سازی مدار در فن آوری سی ماوس ۱۸۰ نانومتر TSMC برای برخی از پارامترهای تقویت کننده عملیاتی ارائه می شود. تمامی افزارهای به کار رفته در این طرح از کتابخانه TSMC می باشد. خازن های به کار رفته برای جبران سازی پاسخ فرکانسی از نوع خازن های فلز-عایق-فلز با چگالی ظرفیت یک فمتوفاراد بر میکرومتر مربع هستند. شکل ۷ نمودار تغییرات ضریب هدایت انتقالی دو زوج دیفرانسیل ورودی به همراه ضریب هدایت انتقالی کل تقویت کننده عملیاتی را به ازای تغییرات ولتاژ حالت مشترک ورودی از صفر تا ولتاژ تغذیه ۱/۸ ولت نشان می دهد.

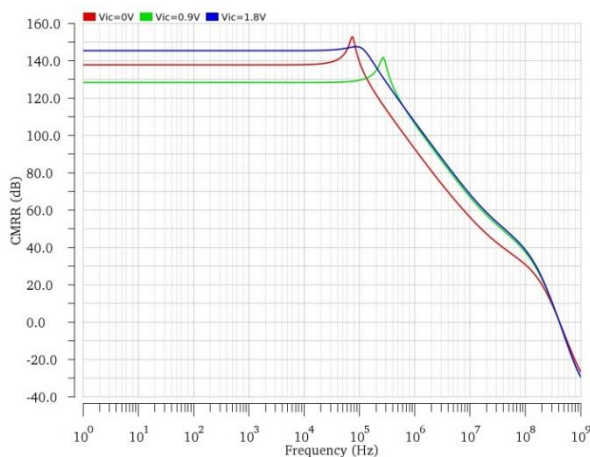
مطابق این شکل حداکثر تغییرات ضریب هدایت انتقالی تقویت کننده در



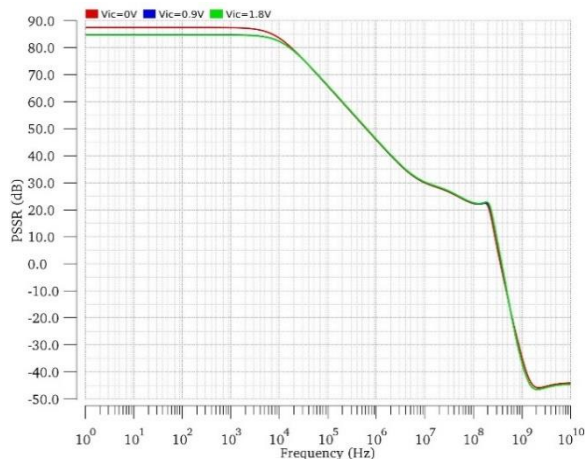
شکل ۷- ضریب هدایت انتقالی زوج های دیفرانسیل ورودی و ضریب هدایت انتقالی کل تقویت کننده



شکل ۱۲- پاسخ پله مدار بافر



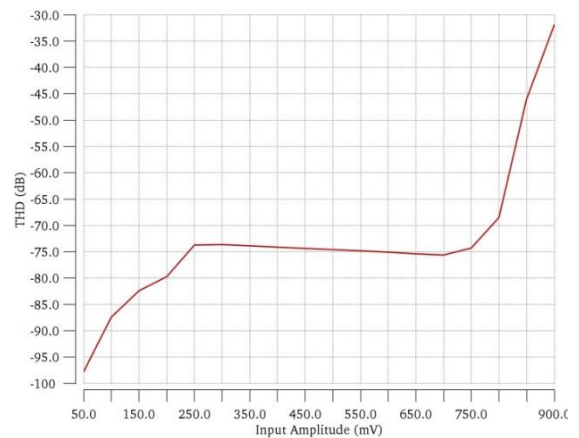
شکل ۱۳- نمودار تغییرات CMRR بر حسب ولتاژ حالت مشترک



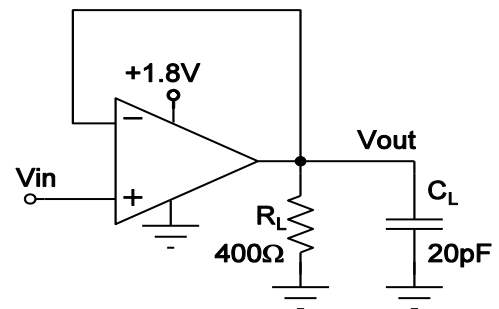
شکل ۱۴- منحنی تغییرات PSRR بر حسب ولتاژ حالت مشترک

نرخ چرخش (Slew Rate) پاسخ زمانی سیگنال بزرگ برابر ۳۱ ولت بر میکروثانیه و زمان استقرار^۷ برای رسیدن خروجی از ۱/۱۶۰ ولت به ۰.۰۱٪ مقدار نهایی در شرایط سیگنال کوچک برابر با ۱۳/۸ نانوثانیه می‌باشد.

نمودار ضریب حذف سیگنال حالت مشترک^۸ به‌ازای سه مقدار ولتاژ زمین، ولتاژ میانی و ولتاژ تغذیه برای ولتاژ حالت مشترک ورودی، در شکل ۱۳ نشان داده شده است. مقاومت معادل ac در دنباله زوج‌های nMOS و pMOS به همراه خازن‌های معادل دیده شده در گره سورس مشترک این زوج‌ها که متشکل از



شکل ۱۰- تغییرات THD بر حسب ولتاژ حالت مشترک ورودی

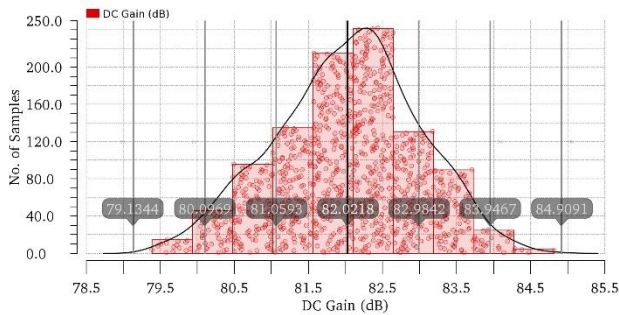


شکل ۱۱- مدار به کاررفته برای بدست آوردن اعوجاج هارمونیک کل

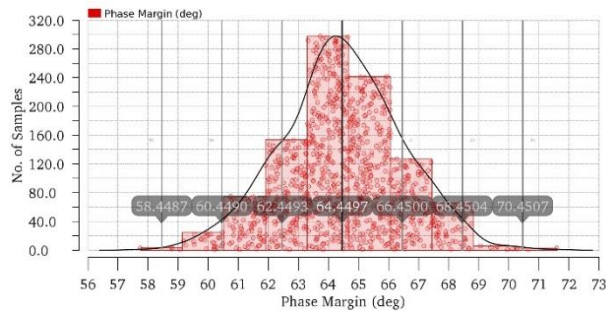
مقادیر ولتاژهای آستانه پائین و بالای مدار اشمیت تریگر به‌گونه‌ای انتخاب می‌شوند که به ترتیب از حداقل و حداکثر مقادیر مجاز ولتاژ حالت مشترک زوج‌های دیفرانسیل nMOS و pMOS ورودی، بیشتر و کمتر باشند. در این طراحی مطابق مشخصه انتقالی مدار اشمیت تریگر که در شکل ۹ نشان داده شده است، سطوح آستانه پائینی و بالایی در حالت نامی به ترتیب ۰/۶۶ و ۱/۰۴ ولت می‌باشند. حداقل و حداکثر سطوح آستانه پائین و بالا در گوشه‌های مختلف فرآیند و در دماهای حدی در بدترین شرایط به ترتیب ۰/۶۴ و ۱/۰۹ ولت می‌باشد که نشان می‌دهد این مدار سیگنال‌های کنترل Vcb و Vc برای کنترل هدایت دوزوج دیفرانسیل ورودی به‌درستی تولید می‌کند. به‌ازای ورودی ac با مقدار متوسط نصف تغذیه (۰/۹ ولت) و تا حداکثر دامنه ۲۰۰ میلی‌ولت به دلیل عدم تغییر هدایت بین دو زوج دیفرانسیل ورودی، هیچ پرش زمانی در شکل موج خروجی تقویت‌کننده مشاهده نمی‌شود. برای دامنه‌های بزرگتر از ۲۰۰ میلی‌ولت یک پرش کوچک به دلیل تغییر وضعیت خروجی مدار اشمیت تریگر و تغییر انتقال هدایت دو زوج ورودی اتفاق می‌افتد اما به دلیل کوچکی دامنه پرش نسبت به دامنه سیگنال اصلی تاثیر قابل ملاحظه‌ای روی اعوجاج هارمونیک کل تقویت‌کننده ندارد. این موضوع از منحنی تغییرات THD بر حسب ولتاژ حالت مشترک ورودی در شکل ۱۰ قابل مشاهده است. این نمودار حاصل شبیه‌سازی تقویت‌کننده بافر شکل ۱۱ می‌باشد. در دامنه‌های ورودی کم در بدترین حالت مقدار THD ۰/۰۲٪ (۷۴- دسی بل) است. افزایش THD برای دامنه‌های بزرگتر از ۰/۷۵ ولت مربوط به محدود شدن دامنه نوسان توسط طبقه خروجی است.

پاسخ پله مدار شکل ۱۱ به‌ازای مقاومت بار ۱۰ مگا اهم و خازن موازی ۲۰ پیکوفاراد در شکل ۱۲ نشان داده شده است. برای ورودی پله با دامنه ۰/۴ ولت،

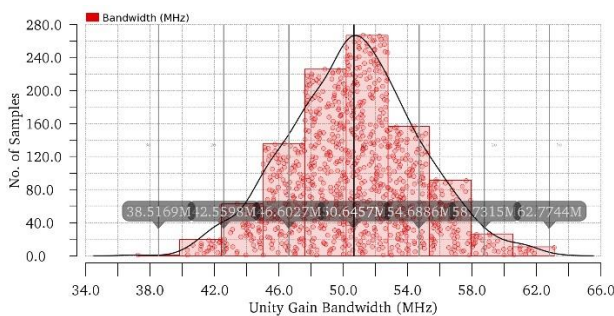
⁸ Common Mode Rejection Ratio (CMRR)⁷ Settling Time



(الف)

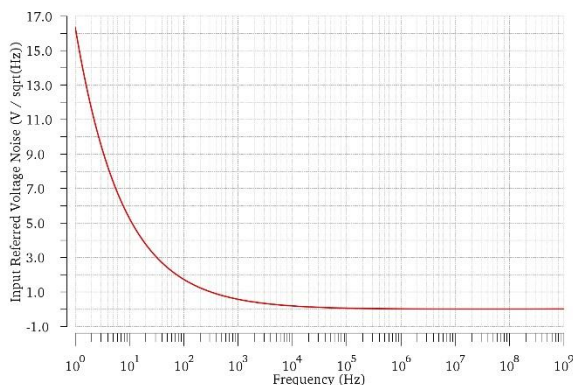


(ب)



(ج)

شکل ۱۵- نتایج شبیه سازی مونت کارلو (الف) بهره dc (ب) حاشیه فاز (ج) پهنای باند بهره واحد



شکل ۱۶- ولتاژ نویز ارجاعی به ورودی

ولتاژ نویز ظاهر می‌شوند و بیشترین سهم را در نویزولتاژ دارند، افزایش سطح گیت ترانزیستورهای طبقه دیفرانسیل با ثابت نگه داشتن نسبت عرض ترانزیستور به طول آن‌ها می‌تواند به کاهش نویزسوسوئی کمک کند.

جدول ۱- نتایج حاصل از شبیه سازی پارامترهای تقویت کننده در

گوشه های مختلف فرایند

گوشه پارامتر	ولتاژ حالت مشترک (ولت)	TT +۲۷ °C	SS +۱۰۰ °C	FF -۲۰ °C	SF +۲۷ °C	FS +۲۷ °C
پهنای باند (MHz)	۰	۵۱/۱	۳۹/۷	۶۴/۶	۵۳/۱	۴۹/۲
	۰/۹	۵۰/۹	۳۹/۴	۶۴/۰	۴۹/۰	۵۲/۶
	۱/۸	۵۱/۲	۳۹/۸	۶۴/۷	۴۹/۴	۵۳/۰
حاشیه فاز (درجه)	۰	۶۱/۷	۶۵/۶	۵۶/۸	۶۱/۳	۶۲/۴
	۰/۹	۶۳/۳	۶۹/۲	۵۷/۲	۶۵/۰	۶۲/۱
	۱/۸	۶۳/۱	۶۸/۸	۵۶/۹	۶۴/۷	۶۱/۹
بهره ولتاژ (دسی بل)	۰	۸۰/۸	۷۸/۸	۷۵/۲	۷۸/۲	۷۶/۸
	۰/۹	۷۹/۶	۷۷/۶	۷۳/۹	۷۳/۲	۷۹/۱
	۱/۸	۷۹/۶	۷۷/۶	۷۴/۰	۷۳/۲	۷۹/۷

خازن‌های سورس-بدنه ترانزیستورهای زوج دیفرانسیل و خازن درین-گیت ترانزیستور دنباله است، تشکیل یک صفر در تابع انتقال بهره حالت مشترک می‌دهند که چون این صفر بزرگتر از قطب اصلی تقویت کننده است افت CMRR از فرکانس این صفر که حول و حوش ۱۰۰ کیلوهرتز است، شروع می‌شود. منحنی تغییرات ضریب حذف منبع تغذیه^۹ به‌ازای سه مقدار ولتاژ زمین، ولتاژمیانی و ولتاژ تغذیه برای ولتاژ حالت مشترک ورودی، در شکل ۱۴ نشان داده شده است.

ولتاژ آفست ورودی در زمان هدایت دو زوج دیفرانسیل pMOS و nMOS در حدود ۱۰ میلی ولت می‌باشد که سهم عمده در این ولتاژ مربوط به ترانزیستورهای Mn4-Mn5 و Mp4-Mp5 است و لذا راهکار کاهش ولتاژ آفست افزایش سطح گیت این ترانزیستورها با افزایش یکسان طول و عرض این ترانزیستورها می‌باشد. البته انجام اینکار باعث افزایش خازن‌های این قسمت مدار شده که باعث کاهش اندازه قطب‌های مدار مربوط به این قسمت می‌شود که برای جبران آن لازم است ضریب هدایت انتقالی این ترانزیستورها از طریق افزایش جریان بایاس زیاد شود که این امر افزایش توان مصرفی تقویت کننده را به‌همراه دارد.

مقادیر پارامترهای مهم تقویت کننده شامل پهنای باند، حاشیه فاز و بهره dc در گوشه‌های مختلف فرایند در جدول ۱ نشان داده شده است.

در گوشه SS با بالاترین دما و حداکثر ظرفیت برای خازن‌های جبران ساز کمترین پهنای باند به‌دست می‌آید که چون زوج های دیفرانسیل ورودی در ناحیه زیر آستانه کاری‌کنند، عمده کاهش این پارامتر به دلیل افت ضریب هدایت انتقالی زوج دیفرانسیل ورودی در دمای بالا با افزایش ولتاژ حرارتی در رابطه این ضریب و همچنین افزایش ظرفیت خازن‌های جبران ساز در گوشه SS مربوط به خازن‌های فرایند می‌باشد.

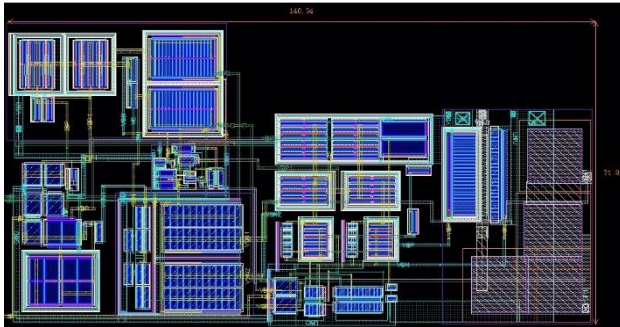
نتایج حاصل از شبیه سازی مونت کارلو برای بهره ولتاژ dc، حاشیه فاز و پهنای باند بهره واحد در شکل ۱۵ نشان داده شده است. براساس این نتایج مشخص است که با تعداد اجرای ۱۰۰۰ بار آنالیز مونت کارلو، تمامی پارامترها مقادیر معقول خود حول مقدار نامی را حفظ کرده‌اند.

شکل ۱۶ مقدار چگالی ولتاژ نویز ارجاع داده شده به ورودی تقویت کننده را نشان می‌دهد. در فرکانس‌های پائین به‌دلیل نویزسوسوئی^{۱۰} چگالی نویز بالا می‌باشد. از آنجا که نویز ترانزیستورهای زوج دیفرانسیل ورودی مستقیماً در این

¹⁰ Flicker's Noise⁹ Power Supply Rejection Ratio (PSRR)

شکل ۱۷ و جانمایی طرح در شکل ۱۸ نشان داده شده‌اند. کل ابعاد طول و عرض طرح به ترتیب در حدود ۱۴۰ در ۷۲ میکرومتر می‌باشد.

برخی از مشخصات مهم تقویت‌کننده عملیاتی طراحی شده با مشخصات



شکل ۱۷- جانمایی تقویت کننده

متناظر چند کارمشابه قبلی در جدول ۲ مقایسه شده است. به منظور ارائه یک شاخص کمی برای مقایسه عملکرد کار موجود با کارهای مشابه دیگر از ضریب شایستگی تعریف شده در [۱۰] که به صورت زیر تعریف می‌شود، استفاده شده است:

$$FoM = \frac{GBW}{P_{sup}} \frac{C_L}{C_{ref}} \quad (31)$$

که در آن GBW پهنای باند بهره واحد برحسب MHz، P_{sup} توان مصرفی منبع تغذیه در شرایط ایستادن بدون حضور سیگنال ac برحسب mW، C_{ref} خازن مرجع که در [۱۰]، ۱۰ پیکوفاراد در نظر گرفته شده است و C_L خازن بار برحسب pF در خروجی تقویت کننده است. FoM برحسب MHz/mW بیان می‌شود.

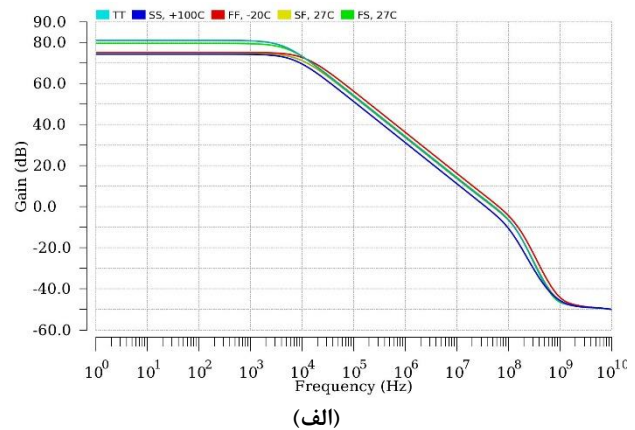
۵- نتیجه گیری

در این مقاله طراحی و تحلیل یک تقویت کننده عملیاتی با قابلیت تغییر ولتاژ بین زمین تا تغذیه در ورودی و خروجی آن ارائه شد. رابطه جریان درین ترانزیستورهای ورودی متناظر با نواحی زیر آستانه یا اشباع و اثرات کانال کوتاه تأثیری در تعیین ضریب هدایت انتقالی کل طبقه ورودی ندارد. یک تقویت کننده طبقه CMOS AB به عنوان طبقه خروجی استفاده شد که جریان های بایاس

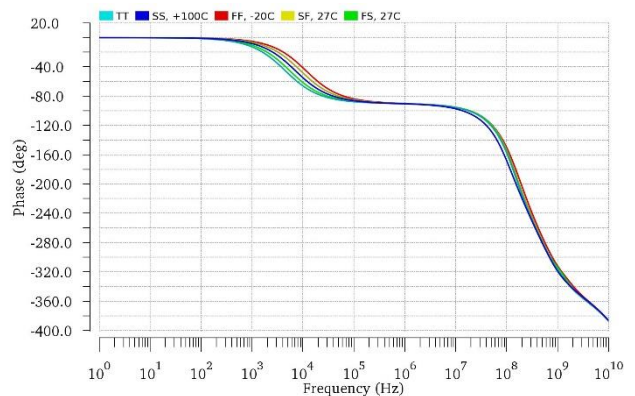
جدول ۲- مقایسه مشخصات مهم تقویت کننده عملیاتی طراحی شده با مشخصات متناظر چند کارمشابه

پارامترها	[۶]	[۱۱]	[۱۲]*	[۱۳]*	[۴]	کارموجود
فن آوری سی ماوس (μm)	۰/۸	۰/۱۳	۰/۱۸	۰/۳۵	۰/۶	۰/۱۸
ولتاژ تغذیه (ولت)	۳	۱/۸	۵	۰/۹	۳	۱/۸
خازن بار (pF)	۵	۵	۱۰۰	۱۰	۱	۲۰
بهره ولتاژ dc (dB)	۱۰۲	۷۰	۱۲۲	۶۵	۹۶/۷۶	۷۹/۶
پهنای باند بهره واحد (MHz)	۱۰۰	۹۰/۶	۱	۱	۵۹/۵۱	۵۰/۹
حاشیه فاز (درجه)	۶۰	۷۸/۳	N/A	۶۰	۸۳/۶۶	۶۳/۳
ضریب حذف سیگنال مشترک (dB)	۱۲۱	۱۱۵	N/A	۸۰	۹۰	۱۲۸/۴
نرخ چرخش ($V/\mu s$)	۱۵۰	۱۹	۲/۱	۰/۲۵	۳۱/۵	۳۱
تغییرات هدایت انتقالی ورودی (%)	۵	۲/۳	N/A	N/A	۱۳/۳	۰/۶۳
توان مصرفی (mW)	۱۰	۶/۱	۰/۲۲۶	۰/۰۲۴۳	۳/۷	۱/۰۹
ضریب شایستگی (FoM)	۵	۷/۴	۴۴/۲	۴۱/۲	۱/۶	۹۳/۴

*نتایج اندازه گیری



(الف)



(ب)

شکل ۱۷- نتایج شبیه سازی بعد از لی آوت پاسخ فرکانسی تقویت

کننده (الف) دامنه (ب) فاز

با استخراج تمامی مقاومت ها و خازن های پارازیت مربوط به لایه های فلزی و لایه پلی سیلیکن گیت ترانزیستورها در طرح جانمایی شده تقویت کننده، نتایج شبیه سازی بعد از لی آوت مدار مربوط به دامنه و فاز پاسخ فرکانسی در

- Symposium on Low Power Electronics and Design, ISLPED '03., pp. 353-358, 2003.
- [7] Minsheng Wang, T. L. Mayhugh, S. H. K. Embabi and E. Sanchez-Sinencio, "Constant-g/sub m/ rail-to-rail CMOS op-amp input stage with overlapped transition regions," *IEEE Journal of Solid-State Circuits*, vol. 34, no. 2, pp. 148-156, Feb. 1999.
- [8] R. Hogervorst, J. P. Tero and J. H. Huijsing, "Compact CMOS constant-g/sub m/ rail-to-rail input stage with g/sub m/-control by an electronic zener diode," *IEEE Journal of Solid-State Circuits*, vol. 31, no. 7, pp. 1035-1040, July 1996.
- [9] M. Yavari, O. Shoaee and F. Svelto, "Hybrid cascode compensation for two-stage CMOS operational amplifiers," *2005 IEEE International Symposium on Circuits and Systems*, Vol. 2, pp. 1565-1568, 2005.
- [10] K. J. De Langen and J. H. Huijsing, "Compact low-voltage power-efficient operational amplifier cells for VLSI," *IEEE Journal of Solid-State Circuits*, vol. 33, no. 10, pp. 1482-1496, Oct. 1998.
- [11] A. K. Dubey, R. K. Nagaria, P. K. Pal and R. K. Singh, "Enhanced slew rate, constant-gm rail-to-rail OpAmp using 1:2 current mirror biasing technique," *2016 International Conference on Computing, Communication and Automation (ICCCA)*, pp. 1612-1618, 2016.
- [12] L. Liu, M. Chen, W. Huang, X. Liao and J. Xu, "A High Current-Efficiency Rail-to-Rail Class-AB Op-Amp With Dual-Loop Control," in *IEEE Transactions on Circuits and Systems II: Express Briefs*, vol. 69, no. 11, pp. 4218-4222, Nov. 2022.
- [13] A. D. Grasso, S. Pennisi, G. Scotti and A. Trifiletti, "0.9-V Class-AB Miller OTA in 0.35- μm CMOS With Threshold-Lowered Non-Tailed Differential Pair," in *IEEE Transactions on Circuits and Systems I: Regular Papers*, vol. 64, no. 7, pp. 1740-1747, July 2017.
- و بار در آن توسط دو حلقه تراخطی فراهم شده است. با نوشتن و حل معادلات مربوطه برای مدار معادل ac، روابط تحلیلی برای بهره ولتاژ dc و موقعیت صفرها و قطبها به دست آمد. این روابط می‌تواند برای طراحی یک تقویت‌کننده با حاشیه فاز و پهنای باند مناسب و توان مصرفی کم استفاده شود.
- ### مراجع
- [۱] خلیل منفردی، یوسف بلقیس آذر، «تقویت‌کننده کسکود تمام تفاضلی بازاییی ناشده بهبودیافته ولتاژ و توان پایین»، *مجله مهندسی برق دانشگاه تبریز*، جلد ۸۴، شماره ۱، صفحات ۳۲۷-۳۳۴، بهار ۱۳۹۷.
- [۲] سعید بناگذار، مصطفی یارقلی، «تقویت‌کننده هدایت عملیاتی با شاخه‌های بازاییی جریان برای کاربردهای فوق کم توان»، *مجله مهندسی برق دانشگاه تبریز*، جلد ۵۰، شماره ۱، صفحات ۳۱-۴۰، بهار ۱۳۹۹.
- [3] C. Veselu, C. Stănescu and G. Brezeanu, "Low current constant-gm technique for rail-to-rail operational amplifiers," *2020 International Semiconductor Conference (CAS)*, pp. 253-256, 2020.
- [4] N. Baxeavanakis, I. Georgakopoulos and P. P. Sotiriadis, "Rail-to-rail operational amplifier with stabilized frequency response and constant-gm input stage," *2017 Panhellenic Conference on Electronics and Telecommunications (PACET)*, pp. 1-4, 2017.
- [5] L. L. Malavolta, R. L. Moreno and T. C. Pimenta, "A self-biased operational amplifier of constant gm for 1.5 V rail-to-rail operation in 130nm CMOS," *2016 28th International Conference on Microelectronics (ICM)*, pp. 45-48, 2016.
- [6] M. M. Ahmadi, R. Lotfi and M. Sharif-Bakhtiar, "A new architecture for rail-to-rail input constant-g/sub m/ CMOS operational transconductance amplifiers," *Proceedings of the 2003 International*