

# A Step-up Seven-Level Switched-Capacitor Inverter with Components Count Reduction for Grid-tied PV Systems Application

Behrouz Rozmeh, Jaber Fallah Ardashir\*

Department of Electrical Engineering, Tabriz Branch, Islamic Azad University, Tabriz, Iran  
E-mails: j.fallah@iaut.ac.ir; stu.behrouz.rozmeh@iaut.ac.ir

## Short Abstract

This paper proposes a seven-level grid-tied Photovoltaic (PV) inverter based on the switched-capacitor technique with input voltage boosting capability. This topology includes an electrolytic capacitor, eight power switches, and two input dc sources. The output peak magnitude of the proposed inverter is one-half times the input voltage sources. The components count of the proposed inverter is reduced in comparison to recent several-level inverters which are used for grid-tied PV applications. This topology does not require an independent control method for balancing voltage of capacitor and has a self-balancing mechanism for the capacitor voltage. Moreover, the Model Predictive Control (MPC) is utilized as current injection technique to produce proper output voltage levels. A capacitor optimal design for resistive load and inductive-resistive load has been analyzed to reduce of volume and size of the proposed inverter. The theoretical loss calculation of the proposed inverter under different load conditions has been analyzed. The performance of the proposed inverter is simulated by MATLAB/Simulink software and the results are presented under on-grid and off-grid conditions. Finally, a 200W laboratory prototype with 180V maximum output voltage is tested to validate the simulation and the theoretical analysis.

## Keywords

Multilevel inverter, switched-capacitor inverter, grid-tied PV inverter, self-balancing capacitor voltage, components count reduction.

## Short Introduction

The output voltage of multilevel inverters is close to the sinusoidal waveform using the small filter for various industry applications. Meanwhile, the main challenges of switched-capacitor-based multilevel inverters are full reactive power transfer feature, self-balancing of capacitors, components count, boosting capability, and high efficiency. Recently, many topologies are presented in this category to achieve mentioned aims. The main drawback of these structures is that they need many components which causes large losses. So, researching the deficiencies of presented structures has become the essential challenge to propose novel topologies.

## Proposed Work and Methodology

This paper proposes a new step-up seven-level inverter switched-capacitor based. The operational modes, simple modulation method (fundamental modulation technique), self-balancing of the capacitor, and loss calculation are discussed. The MPC scheme is used to closed-loop control of the injection current in to the grid. Moreover, a comparison section is explained to demonstrate the merits of the proposed inverter such as the reduced number of components compared with recent similar seven-level inverters. The operational and theoretical analyses of the proposed seven-level inverter are verified by main simulation and experimental waveforms.

## Conclusion

In this paper, a novel seven-level single-stage inverter with boost capability based on the switched-capacitor has been proposed. It has been shown that the output voltage of the proposed inverter is 1.5 times the input voltage sources. The capacitor voltage has been automatically balanced with symmetric switching in the different operation modes without any extra control method or extra circuit. The performance of the proposed grid-tied inverter was demonstrated through the MPC method in case of lagging and leading power factors. The magnitude of leakage current was restricted around the standard value by adding the additional term to the MPC strategy. Moreover, the components count reduction in the proposed inverter with compared to similar recent topologies has been shown. The loss, volume, and size reduction of the proposed inverter with efficiency increase are based on the optimal design of a capacitor. A small-scale prototype with input voltage source of 60V is constructed. The active and reactive power transferring of the proposed inverter is verified according to the theoretical, experimental, and simulation results. These results showed the on-grid and off-grid application of the proposed inverter.

## References

- 1- Hosseinpour M, Seifi A, Dejamkhooy A, Sedaghati F. Switch count reduced structure for symmetric bi-directional multilevel inverter based on switch-diode-source cells. *IET Power Electronics*. 2020 Jun;13(8):1675-86.
- 2- Y. P. Siwakoti, A. Mahajan, D. J. Rogers and F. Blaabjerg, "A Novel Seven-Level Active Neutral-Point-Clamped Converter With Reduced Active Switching Devices and DC-Link Voltage," in *IEEE Transactions on Power Electronics*, vol. 34, no. 11, pp. 10492-10508, Nov. 2019, doi: 10.1109/TPEL.2019.2897061.
- 3- S. S. Lee, M. Sidorov, N. R. N. Idris and Y. E. Heng, "A Symmetrical Cascaded Compact-Module Multilevel Inverter (CCM-MLI) With Pulsewidth Modulation," in *IEEE Transactions on Industrial Electronics*, vol. 65, no. 6, pp. 4631-4639, June 2018, doi: 10.1109/TIE.2017.2772209.

## ارائه ساختار اینورتر افزایشده هفت سطحی مبتنی بر خازن کلیدزنی-شده با کاهش تعداد المان‌ها جهت کاربرد در سیستم‌های خورشیدی متصل به شبکه

بهروز روزمه

کارشناسی ارشد، گروه مهندسی برق، واحد تبریز، دانشگاه آزاد اسلامی، تبریز، ایران

جابر فلاح اردشیر

استادیار، گروه مهندسی برق، واحد تبریز، دانشگاه آزاد اسلامی، تبریز، ایران

### چکیده

در این مقاله یک اینورتر خورشیدی متصل به شبکه هفت سطحی بر مبنای تکنیک خازن کلیدزنی-شده با قابلیت افزایش ولتاژ ورودی معرفی شده است. این ساختار شامل یک خازن الکترولیتی، هشت کلید قدرت و دو منبع ولتاژ ورودی است. دامنه پیک ولتاژ خروجی اینورتر پیشنهادی، یک و نیم برابر مجموع منابع ولتاژهای ورودی می‌باشد. تعداد المان‌های اینورتر پیشنهادی در مقایسه با اینورترهای هفت سطحی اخیر کاهش یافته است که مناسب برای کاربردهای متصل به شبکه در پانل‌های خورشیدی می‌باشد. این ساختار نیازی به روش کنترلی مستقل برای بالانس ولتاژ خازن نبوده و دارای بالانس خودی ولتاژ خازن می‌باشد. همچنین برای تزریق توان به شبکه، از روش کنترل مدل پیش‌بین جهت تولید ولتاژ با سطوح مختلف استفاده شده است. جهت کاهش حجم و اندازه ساختار اینورتر پیشنهادی، طراحی بهینه خازن تحت بارهای مهمی و اهمی-سلفی مورد بررسی قرار گرفته است. محاسبات تلفات اینورتر پیشنهادی به صورت تحلیل ریاضی تحت بارهای مختلف مورد بررسی قرار گرفته است. عملکرد اینورتر پیشنهادی در حالت متصل به شبکه و منفصل از شبکه، در محیط نرم افزار MATLAB/Simulink شبیه‌سازی شده و نتایج آن ارائه گردیده است. در نهایت، جهت اثبات عملکرد اینورتر پیشنهادی در محیط آزمایشگاهی، یک نمونه اولیه عملی از اینورتر پیشنهادی در توان ۲۰۰ وات با حداکثر ولتاژ خروجی ۱۸۰ ولت ساخته شده و تطابق نتایج حاصل از آن با نتایج شبیه‌سازی مورد بررسی قرار گرفته است.

### کلمات کلیدی

اینورتر چند سطحی، اینورتر خازن کلیدزنی-شده، اینورتر خورشیدی متصل به شبکه، تنظیم خودی ولتاژ خازن، کاهش تعداد المان‌ها.

نام نویسنده مسئول: دکتر جابر فلاح اردشیر

ایمیل نویسنده مسئول: j.fallah@iaut.ac.ir

تاریخ ارسال مقاله: ۱۴۰۱/۰۴/۱۳

تاریخ(های) اصلاح مقاله: ۱۴۰۱/۰۶/۱۷

تاریخ پذیرش مقاله: ۱۴۰۱/۰۷/۱۵

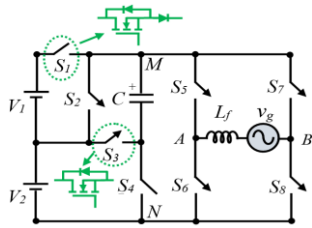
### ۱- مقدمه

هزینه ساخت می‌شود [۴]. در اینورترهای چند سطحی خازن شناور نیز، با توجه به رابطه مستقیم تعداد خازن‌های مورد استفاده درون ساختاری با تعداد سطوح ولتاژ خروجی، استفاده از این اینورترها در کاربردهای توان بالا با تعداد سطوح ولتاژ خروجی زیاد، به دلیل بازده کم و هزینه ساخت بالا، توصیه نشده است [۵]. لذا در اینورترهای چندسطحی، تولید سطوح ولتاژ بالا با حداقل منبع ولتاژ dc ورودی و حداقل کلیدهای نیمه‌هادی، یکی از چالش‌های اصلی محققین در این زمینه است.

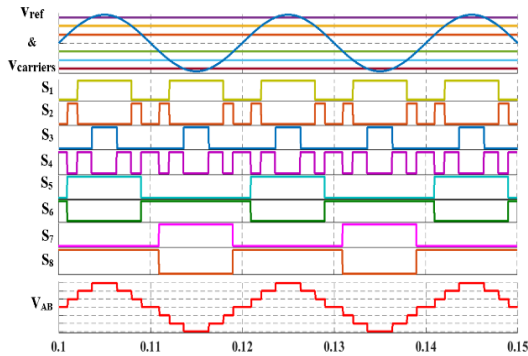
در [۶] اینورتر هفت سطحی با بهره واحد ارائه شده است که دارای تعداد منابع dc ورودی زیادی بوده و شرط عدم برابری ولتاژهای ورودی را دارد. همچنین، در [۷] اینورتر هفت سطحی دیگری با بهره ولتاژ واحد و با تعداد زیاد خازن معرفی شده است که این امر منجر به افزایش تلفات ریبیل خازنی شده است. همچنین این ساختار دارای چهار کلید یکطرفه جریان درون ساختاری می‌باشد که موجب افزایش تلفات شده و در نتیجه منجر به کاهش بازده کلی سیستم می‌شود.

اینورترهای چند سطحی مبتنی بر خازن کلیدزنی-شده بعنوان جایگزین مناسب از اینورترهای چند سطحی هستند که نیاز به سیستم کنترلی

اینورترهای چندسطحی با قابلیت کاربرد در انرژی‌های نو، قادر به تولید شکل موج پله‌ای با ضریب اعوجاج هارمونیکی کمتر در ولتاژهای متوسط و بالا بوده و نیازی به فیلترهای خروجی بزرگ‌تر در مقایسه با اینورتر دو سطحی متعارف ندارند. رایوهای موتورهای ac، سیستم‌های انتقال ac انعطاف‌پذیر (FACTS)، فیلترهای فعال (Active Filters)، جبران‌کننده دینامیکی ولتاژ (DVR)، سیستم‌های انتقال جریان مستقیم ولتاژ بالا (HVDC)، بهبود کیفیت توان از جمله کاربردهای توان بالا و ولتاژ متوسط اینورترهای چندسطحی می‌باشند. سه نوع مرسوم از اینورترهای چندسطحی شامل اینورتر دیود کلمپ‌شده [۱]، اینورتر خازن شناور [۲] و اینورتر تمام‌پل سری شده [۳] می‌باشد. مهمترین مزیت اینورترهای چند سطحی تمام پل سری شده، عدم نیاز به خازن و دیود الکترونیک قدرت می‌باشد. درحالی‌که عیب این ساختارها، استفاده از منابع ورودی زیاد می‌باشد که این یک چالش بزرگ در کاربردهای انرژی‌های نو محسوب می‌شود [۳]. اینورترهای چند سطحی کلمپ نقطه خنثی، قابلیت افزایش ولتاژ ورودی را نداشته، با این حال به دلیل استفاده از کلیدهای یکطرفه جریان، دارای تلفات بیشتری بوده و موجب کاهش راندمان و افزایش



شکل ۱- ساختار اینورتر هفت-سطحی پیشنهادی



شکل ۲- روش مدولاسیون پایه، شکل موج ولتاژ هفت سطحی

خروجی به همراه سیگنال‌های کنترلی کلیدهای اینورتر پیشنهادی

در مد کاری اول در نیم سیکل مثبت سیگنال مرجع، مطابق با شکل ۳- الف، از کلیدهای  $S_7$  و  $S_5$  و در نیم سیکل منفی مطابق با شکل ۳- ب، از کلیدهای  $S_6$  و  $S_8$  برای تولید سطح ولتاژ صفر در خروجی استفاده شده است ( $V_{AB}=0$ ). جهت تولید سطح ولتاژ  $V$  در خروجی اینورتر مطابق با شکل ۳- ب، کلیدهای  $S_2, S_5, S_8$  و همچنین جهت تولید سطح ولتاژ  $-V$  در خروجی اینورتر، کلیدهای  $S_2, S_6, S_7$  مطابق با آنچه در شکل ۳- ج مشاهده می‌شود، فعال شده‌اند. بر اساس آنچه که در شکل ۳- پ و شکل ۳- چ نشان داده شده است، با روشن کردن کلیدهای  $S_1, S_5, S_8$  و یا کلیدهای  $S_1, S_6, S_7$  به ترتیب ولتاژ خروجی اینورتر پیشنهادی برابر  $+2V$  و  $-2V$  می‌گردد. همچنین در این دو مدار، همزمان کلید  $S_4$  روشن شده و خازن را تا سطح ولتاژ  $+2V$  شارژ می‌کند. شکل ۳- ت و شکل ۳- ح مسیر جریان را برای تولید سطوح ولتاژ  $\pm 3V$  نشان می‌دهند که در این مدارهای کاری، همزمان با روشن کردن کلید  $S_3$  خازن به صورت سری با منبع  $V_1$  قرار گرفته که با روشن کردن کلیدهای  $S_8 - S_5$  و یا  $S_7 - S_6$  به ترتیب سطوح ولتاژ  $+3V$  و  $-3V$  در خروجی تولید می‌شود.

جدول ۱- حالات کلیدهای فعال<sup>۲</sup>، شارژ و تخلیه خازن و سطح ولتاژ خروجی

ولتاژ خروجی ( $V_{AB}$ )	وضعیت خازن (C)	کلیدهای قدرت فعال	حالات کاری
$0^+$	-	$S_7 - S_1$	الف
$V$	-	$S_8 - S_5 - S_2$	ب
$+2V$	شارژ	$S_8 - S_5 - S_4 - S_1$	پ
$+3V$	تخلیه	$S_8 - S_5 - S_3$	ت
$0^-$	-	$S_8 - S_6$	ث
$-V$	-	$S_7 - S_6 - S_2$	ج
$-2V$	شارژ	$S_7 - S_6 - S_4 - S_1$	چ
$-3V$	تخلیه	$S_7 - S_6 - S_3$	ح

متعادل کننده شارژ خازن‌ها نداشته و لذا دارای هزینه‌ی کمتری می‌باشند. با این حال، به تعداد زیادی کلید الکترونیک قدرت احتیاج داشته و بعضا نیاز به سلف درون ساختاری دارند تا ولتاژ ورودی بیشتری را به خروجی با تعداد کمتر منابع تغذیه ایزوله شده انتقال دهد. همچنین با استفاده از مفهوم مبدل ماتریسی و مفهوم روش خازن کلیدزنی-شده، نوع جدیدی از این اینورترها معرفی شده است که دارای ادوات نیمه‌هادی و منبع تغذیه ورودی کمتری بوده و در نتیجه هزینه کلی مدار کاهش یافته است. در این مورد، هر خازن بطور خودکار دارای تعادل در شارژ و تخلیه خازن می‌باشد، به گونه‌ای که اگر خازن‌های فوق، در حالت موازی در مدار قرار گیرند، شارژ شده و با قرار گرفتن بصورت سری در مدار، تخلیه می‌شوند [۸، ۹].

در این مقاله ساختار جدید اینورتر هفت سطحی تکفاز مبتنی بر خازن کلیدزنی-شده و با تعداد المان‌های کاهش یافته ارائه شده است. اینورتر پیشنهادی دارای تعادل خودکار ولتاژ خازن بوده و نیازی به روش مدولاسیون حلقه بسته و یا روش کنترلی اضافی جهت بالانس ولتاژ خازنی نبوده و همچنین دارای قابلیت افزایش ولتاژ می‌باشد. مدهای کاری و روش کنترلی اینورتر پیشنهادی در بخش ۲ آورده شده و طراحی بهینه خازن اینورتر پیشنهادی و محاسبات ریاضی تلفات در بارهای اهمی و اهمی-سلفی به ترتیب در بخش‌های ۳ و ۴ آورده شده است. کاهش تعداد المان‌های اینورتر پیشنهادی با مقایسه اینورترهای هفت سطحی ارائه شده در سال‌های اخیر در بخش ۵ نشان داده شده و در ادامه در بخش ۶ نیز جهت بررسی اینورتر در حالت متصل به شبکه، روش کنترلی مدل پیش‌بین جهت تزریق توان به شبکه استفاده شده است. در نهایت، در بخش ۶ جهت بررسی تحلیل‌های صورت گرفته، نتایج شبیه سازی و نتایج آزمایشگاهی با استفاده از نمونه اولیه آورده شده است.

## ۲- ساختار اینورتر هفت سطحی پیشنهادی

بلوک دیاگرام اینورتر تکفاز هفت سطحی خازن-کلیدزنی شده پیشنهادی در شکل ۱ نشان داده شده است. ساختار فوق از هشت کلید قدرت ( $S_1 \sim S_8$ )، یک خازن (C) و دو منبع dc ( $V_1, V_2$ ) تشکیل شده است. کلیدهای  $S_4$  و  $S_3$  به ترتیب مسیرهای شارژ و تخلیه خازن را ایجاد می‌کنند. روش کلیدزنی پایه<sup>۱</sup> جهت تولید سیگنال‌های کلیدزنی اینورتر پیشنهادی در این مقاله استفاده شده است. در روش مدولاسیون پایه مطابق با شکل ۲، مقایسه سیگنال مرجع ( $V_{ref}$ ) با شش سیگنال حامل ( $V_{C1} \sim V_{C6}$ ) منجر به تولید شکل موج فرمان کلیدها و ولتاژ خروجی هفت سطحی در خروجی اینورتر پیشنهادی ( $V_{AB}$ ) شده است. با متقارن در نظر گرفتن منابع ولتاژ ورودی،  $V_1 = V_2 = V$ ، مطابق با شکل ۲، ولتاژ خروجی دارای سطوح ولتاژ  $\pm V, \pm 2V, \pm 3V$  و صفر می‌باشد. مقدار موثر و مقدار بهره ولتاژ خروجی مطابق با رابطه (۱) بدست می‌آید.

$$V_{AB,rms} = 1.5V = \frac{3MV}{\sqrt{2}} \quad (1)$$

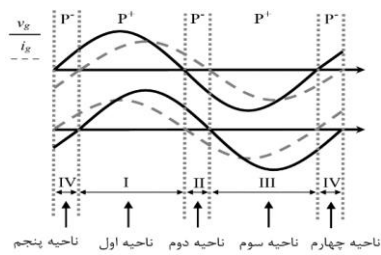
که M برابر شاخص مدولاسیون اینورتر پیشنهادی بوده و مطابق رابطه (۲) به مقادیر حداکثر ولتاژ حامل در نیم‌سیکل مثبت ( $V_{C3}$ ) و ولتاژ مرجع بستگی دارد. جدول (۱) کلیدهای فعال، ولتاژ خروجی اینورتر و همچنین زمان شارژ و تخلیه خازن در حالت‌های کلیدزنی مختلف برای اینورتر پیشنهادی را نشان می‌دهد. مطابق با حالات کاری جدول (۱)، مسیر شارش جریان برای بار اهمی خالص، بار اهمی-سلفی و همچنین حلقه شارژ خازن‌ها به ترتیب با رنگ‌های قرمز، آبی و سبز در مدهای کاری مختلف در شکل ۳، نشان داده شده است.

$$M = \frac{V_{C3}}{V_{ref,max}} \quad (2)$$

<sup>۲</sup> Active Switches

<sup>۱</sup> Fundamental Switching Method

جریان و المان‌های فعال در هر کدام از حالت‌های کاری در شکل ۳ نشان داده

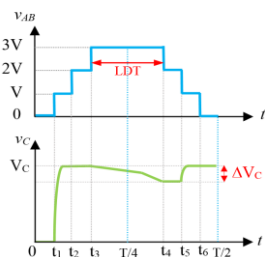


شکل ۴- نواحی مختلف تحت ضریب توان پسفاز و ضریب توان پیشفاز

شده است. با توجه به قابلیت کامل انتقال توان راکتیو در اینورتر پیشنهادی، جهت جریان مثبت و جهت جریان منفی در هر کدام از حالات کاری مختلف از خود کلید و یا دیود درونی آن کلید عبور می‌کند. برای کلیدهای یک‌طرفه استفاده شده در ساختار ( $S_4$  و  $S_1$ )، مسیر برگشت جریان تحت ضریب توان پس فاز و پیش‌فاز مطابق با شکل‌های ۳-پ و ۳-ج خواهد بود.

### ۳- طراحی بهینه خازن اینورتر پیشنهادی

طراحی بهینه خازن در اینورترهای چند سطحی خازن کلیدزنی شده، جهت دستیابی به حداقل ریبیل ولتاژ خازن و همچنین کاهش تلفات ناشی از آن از اهمیت ویژه‌ای برخوردار است. با توجه به اینکه ریبیل ولتاژ دو سر خازن در مدت زمان تخلیه اتفاق می‌افتد، لذا جهت طراحی بهینه خازن در اینورتر پیشنهادی، حداکثر مدت زمان تخلیه خازن ( $LDT^1$ ) مطابق با آنچه که در شکل ۵ دیده می‌شود، با توجه به روش مدولاسیون پایه، مورد تحلیل قرار گرفته است. به دلیل اینکه شارژ و تخلیه خازن در نیم‌سیکل‌های مثبت و منفی ولتاژ خروجی به صورت یکسان می‌باشد، لذا جهت تحلیل، فقط نیم سیکل مثبت در نظر گرفته شده است. مطابق با آنچه که در شکل ۳-ت و شکل ۵ دیده می‌شود، خازن C در سطح ولتاژ خروجی  $+3V$  در بازه زمانی  $t_3$  تا  $t_4$  تخلیه می‌شود و در سطوح ولتاژ خروجی  $+V$  در بازه‌های زمانی از  $t_1$  تا  $t_2$  و از  $t_5$  تا  $t_6$  شارژ می‌گردد.

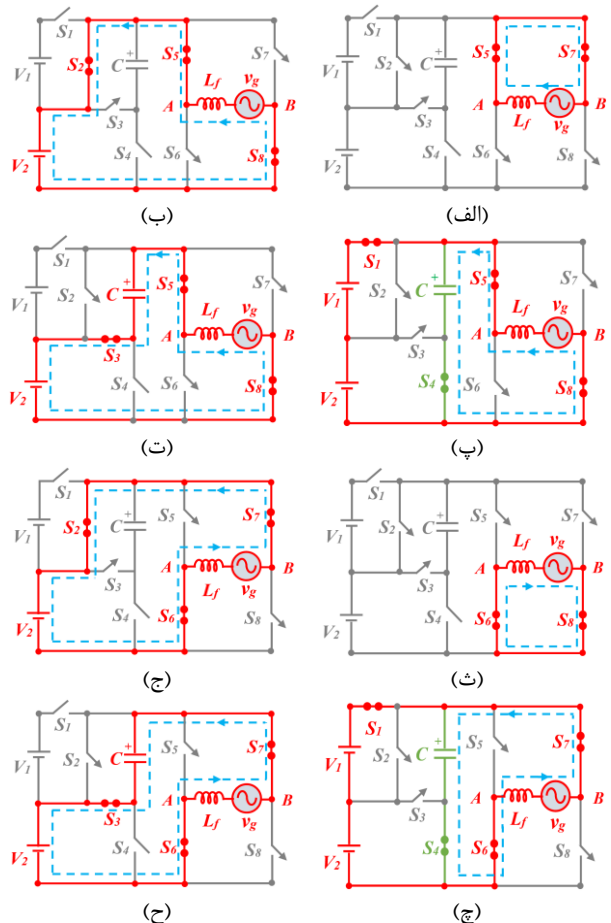


شکل ۵- شکل موج ولتاژ دوسر خازن در بازه‌های زمانی شارژ و تخلیه

با توجه به رابطه جریان لحظه‌ای عبوری از خازن ( $i_C(t)$ ) و بارهای الکتریکی روی صفحات خازن C در اینورتر پیشنهادی، حداکثر مقدار تخلیه خازن C ( $Q_C$ ) در مدت  $LDT$ ، با استفاده از رابطه (۳) محاسبه شده است.

$$Q_C = 2 \times \int_{t_3}^T i_C(t) dt = 2 \times \int_{t_3}^T \frac{dQ_C}{dt} dt \quad (3)$$

که زمان‌های  $T/4$  و  $t_3$  به ترتیب لحظه شروع تخلیه و لحظه پایان تخلیه خازن C، مطابق با شکل ۵ می‌باشد. مقدار ظرفیت بهینه خازن اینورتر پیشنهادی با توجه به میزان ریبیل ولتاژ دو سر خازن و جریان از رابطه (۴)



شکل ۳- مدار معادل حالات کاری اینورتر پیشنهادی با مسیرهای

جریان برای بار اهمی، بار اهمی سلفی و شارژ خازن: الف)  $V_{AB}=0^+$

ب)  $V_{AB}=V$  (پ)  $V_{AB}=2V$  (ت)  $V_{AB}=3V$  (ث)  $V_{AB}=0^-$  (ج)  $V_{AB}=-V$

ح)  $V_{AB}=-3V$  (چ)  $V_{AB}=-2V$  (ج)

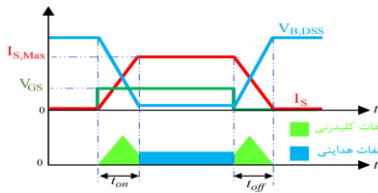
نواحی عملکرد مختلف کاری در اینورتر پیشنهادی تحت شرایط ضریب توان واحد، جریان پس‌فاز و جریان پیش‌فاز در شکل ۴ نشان داده شده است. مطابق با جهت ولتاژ و جهت جریان خروجی در اینورتر، عملکرد اینورتر پیشنهادی به چهار ناحیه مختلف مطابق با شکل ۴ قابل تقسیم می‌باشد که در ناحیه اول (I) ولتاژ و جریان خروجی اینورتر مثبت بوده و انرژی از طرف منابع dc به طرف شبکه انتقال می‌یابد. در ناحیه دوم (II) ولتاژ خروجی اینورتر منفی و جریان خروجی اینورتر مثبت بوده و انرژی از طرف شبکه به طرف منابع dc انتقال می‌یابد. در ناحیه سوم (III) ولتاژ و جریان خروجی اینورتر منفی بوده و انرژی از طرف منابع dc به طرف شبکه انتقال می‌یابد و در ناحیه چهارم (IV) ولتاژ خروجی اینورتر مثبت و جریان خروجی اینورتر منفی بوده و انرژی از طرف شبکه به طرف منابع dc انتقال می‌یابد. برای حالت‌های کاری مختلف ذکر شده، سه توالی را برای ولتاژ و جریان خروجی اینورتر پیشنهادی می‌توان در نظر گرفت که اگر توالی به صورت گذر از ناحیه اول به ناحیه سوم باشد، اینورتر تحت ضریب توان واحد عمل کرده و اگر ترتیب توالی به صورت گذر از نواحی چهارم، اول، دوم و سوم باشد، اینورتر تحت شرایط جریان پسفاز عمل می‌کند و همچنین اگر توالی به ترتیب به صورت گذر از نواحی اول، چهارم، سوم و دوم باشد، آنگاه اینورتر تحت شرایط جریان پسفاز عمل خواهد کرد. جهت شارش

<sup>1</sup> Long Discharge Time

هدایتی و تلفات ریپل خازنی بوده، لذا تلفات کل اینورتر پیشنهادی به صورت روابط تحلیلی مطابق زیر بخش‌های زیر قابل محاسبه است [۱۰].

#### ۴-۱- تلفات کلیدزنی

تلفات کلیدزنی در مدت زمان شارژ و تخلیه خازن خروجی ( $C_{OSS}$ ) در کلیدهای نیمه‌هادی اتفاق می‌افتد. در این مدت زمان، دامنه ولتاژ سدکنندگی درین سورس کلید ( $V_{B,DDS}$ ) و جریان گذرنده از کلید ( $I_L$ ) که همان جریان بار و یا جریان شارژ خازن می‌باشد، به صورت آبی تغییر پیدا نمی‌کنند، لذا باعث ایجاد تلفات کلیدزنی خواهد شد. با فرض خطی بودن ولتاژ و جریان کلید در مدت زمان روشن شدن کلید ( $t_{on}$ ) و خاموش شدن کلید ( $t_{off}$ ) مطابق با شکل ۷، ولتاژ سدکنندگی دو سر کلید در بازه  $t_{on}$  تا افت ولتاژ مستقیم کاهش یافته و خازن خروجی تخلیه می‌شود.



شکل ۷- نمودار تلفات کلیدزنی و هدایتی کلیدهای نیمه‌هادی

انرژی تلف شده ناشی از تخلیه خازن خروجی در طول این مدت زمان ( $W_{Turn-off}$ ) بوده و همچنین توان تلف شده در حالت خاموشی در یک دوره تناوب ( $P_{Turn-off}$ ) از رابطه (۹) محاسبه می‌شود.

$$P_{Turn-off} = f_{ref} W_{Turn-off} = \frac{1}{2} f_{ref} C_{OSS} V_{B,DDS}^2 \quad (9)$$

که در رابطه (۹)،  $f_{ref}$  فرکانس سیگنال مرجع می‌باشد. مطابق با رابطه (۱۰)، مقدار توان تلف شده در حالت روشن برابر با مقدار توان تلف شده در حالت خاموش بوده و تلفات کل کلیدزنی در طول یک دوره تناوب ( $P_{SW}$ ) مطابق با رابطه (۱۰) بدست می‌آید [۱۱].

$$2P_{Turn-off} = 2P_{Turn-on} = P_{SW} = f_s C_{OSS} V_{B,DDS}^2 \quad (10)$$

با توجه به مشخصات نمونه آزمایشگاهی و از روی دیتا شیت کلید  $\text{JRF740}$ ،  $C_{OSS} = 330\text{pF}$  بوده و ولتاژ هر کدام از منابع dc نیز برابر ۶۰ ولت می‌باشد، لذا مقدار تلفات کلیدزنی کل اینورتر پیشنهادی با توجه به روش مدولاسیون پایه و تحت توان خروجی ۲۰۰ وات، برابر ۰/۱ وات می‌باشد. همچنین، با توجه به اینکه جریان بازیافت معکوس دیودهای سری با کلیدها (کلیدهای یک‌طرفه) از نوع سیلیکون کارباید در اینورتر پیشنهادی تقریباً برابر صفر می‌باشد، لذا تلفات کلیدزنی این دیودها قابل صرف نظر کردن می‌باشد.

#### ۴-۲- تلفات هدایتی

چون عناصر نیمه‌هادی اینورتر پیشنهادی ایده‌آل نیستند، بنابراین می‌توان کلیدهای نیمه‌هادی اینورتر پیشنهادی را در زمان روشن بودن با یک مقاومت معادل  $R_{DS(on)}$  نمود. این مقاومت باعث وجود تلفات هدایتی می‌شود. جهت محاسبه تلفات هدایتی اینورتر پیشنهادی، مدار معادل هر مد کاری باید در نظر گرفته شود. با توجه به اینکه سطوح منفی ولتاژ خروجی توسط اینورتر تمام پل تولید می‌شوند، لذا مدهای کاری نیم سیکل مثبت با نیم سیکل منفی برابر هستند. بنابراین جهت محاسبه تلفات هدایتی، مطابق با شکل ۸، تنها مدهای کاری مثبت در نظر گرفته شده‌اند. در تمامی مدهای کاری مورد بررسی در شکل ۸، مقاومت داخلی حالت روشن کلیدها با  $R_{on-S}$ ، مقاومت داخلی حالت روشن دیودها با  $R_{on-D}$ ، منبع ولتاژ معادل ولتاژ ذخیره شده در خازن با  $V_C$  همراه

محاسبه می‌شود.

$$C_{op} \geq \frac{Q_c}{\rho \times V} \quad (4)$$

که در رابطه (۴)،  $\rho$  ضریب ریپل ولتاژ خازن و  $\rho \times V$  حداکثر ریپل مجاز ولتاژ خازن می‌باشد. از آنجاییکه حداکثر مقدار تخلیه خازن، بستگی به جریان بار و مدت زمان LDT دارد، لذا با توجه به نوع بار متصل به اینورتر پیشنهادی از نوع اهمی خالص و یا اهمی-سلفی، خازن اینورتر پیشنهادی در هر شرایط دارای مقدار طراحی بهینه متفاوتی خواهد بود. به ازای بار اهمی خالص در خروجی اینورتر پیشنهادی، جریان خروجی اینورتر با استفاده از رابطه (۵) به دست می‌آید.

$$i_o(t) = \frac{V_{t,i}}{R_L} \quad (5)$$

که  $R_L$  بار خروجی اهمی خالص و  $V_{t,i}$  سطح ولتاژ خروجی اینورتر در لحظه  $t_i$  می‌باشد. لذا با استفاده از روابط (۴) و (۵) مقدار بهینه ظرفیت خازن به ازای بار اهمی خالص از رابطه (۶) محاسبه می‌شود.

$$C_{op} \geq \frac{2.19}{\rho \times V \times R_L \times \omega} \quad (6)$$

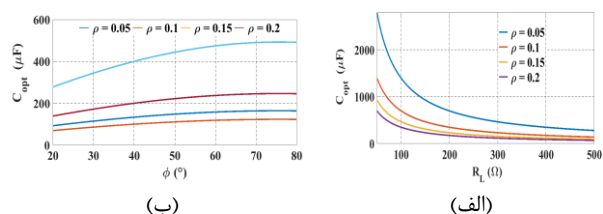
که  $\omega$  فرکانس زاویه‌ای بوده و برابر  $2\pi f$  می‌باشد که  $f$  نیز فرکانس پایه سیگنال مرجع است. در شکل ۶-الف، ظرفیت بهینه خازن به ازای بارهای مختلف اهمی خالص نشان داده شده است. قابل مشاهده است که ظرفیت بهینه خازن با مقادیر  $R_L$ ،  $\omega$  و ضریب ریپل رابطه معکوس دارد.

به ازای بار اهمی-سلفی جریان خروجی اینورتر پیشنهادی از رابطه (۷) قابل محاسبه است. با جایگذاری رابطه (۷) در رابطه (۴) در مدت زمان LDT، مقدار ظرفیت بهینه خازن به ازای بار اهمی-سلفی از رابطه (۸) به دست می‌آید.

$$i_o(t) = I_{max} \sin(\omega t - \phi) \quad (7)$$

$$C_{op} \geq \frac{I_{max}}{\omega \times \rho \times V} [\cos(263.76 - \phi) - \cos(722.2 - \phi)] \quad (8)$$

که  $I_{max}$  بیشترین دامنه جریان سینوسی خروجی اینورتر پیشنهادی به ازای بار اهمی-سلفی بوده و  $\phi$  اختلاف فاز بین جریان و ولتاژ خروجی می‌باشد. ظرفیت بهینه محاسبه شده به ازای مقادیر مختلف اختلاف فاز و ضرایب ریپل ولتاژ مختلف در شرایط بار اهمی-سلفی، برای خازن C در شکل ۶-ب نشان داده شده است. مطابق با شکل ۶، قابل مشاهده است که ظرفیت خازن با ضریب ریپل، رابطه معکوس و با حداکثر جریان خروجی، رابطه مستقیم دارد.



شکل ۶- نمودار ظرفیت بهینه خازن به ازای الف) بارهای اهمی مختلف ب) اختلاف فازهای مختلف در بار اهمی-سلفی

#### ۴-۳- تلفات اینورتر پیشنهادی

تلفات کل اینورتر خازن شناور پیشنهادی شامل تلفات کلیدزنی، تلفات

تخلیه می‌شود که در این حالت با استفاده از قانون KVL مطابق با رابطه (۱۹)، جریان موثر تخلیه خازن ( $i_{C,Disch}(t)$ ) از  $t_3$  تا  $t_4$  مطابق رابطه (۲۰) به دست می‌آید.

$$I_{L,3} = \frac{V + V_C}{3R_{on-S} + R_{load} + R_{ESR}} \quad (19)$$

$$I_{C,Disch,rms} = \sqrt{2f_{ref} \int_{t_3}^{t_4} (i_C(t) e^{\frac{-t}{\tau_{C,Disch}}})^2 dt} \quad (20)$$

که  $\tau_{C,Disch}$  ثابت زمانی تخلیه خازن از طریق رابطه (۲۱) محاسبه می‌شود.

$$\tau_{C,Disch} = (3R_{on-S} + R_{ESR}) C \quad (21)$$

با استفاده از تلفات هدایتی لحظه‌ای ( $P_{Con,3V}$ ) از رابطه (۲۲)، تلفات هدایتی متوسط ( $\overline{P_{Con,3V}}$ ) در یک دوره تناوب کامل مطابق با رابطه (۲۳) در سطح ولتاژ خروجی 3V برابر ۰/۶ وات بدست می‌آید [۱۰].

$$P_{Con,3V} = 3I_{C,Disch,rms}^2 R_{on-S} + I_{C,Disch,rms}^2 R_{ESR} \quad (22)$$

$$\overline{P_{Con,3V}} = \frac{2(t_4 - t_3)}{T} P_{Con,3V} \quad (23)$$

بنابراین تلفات هدایتی کل ( $P_{Con,Total}$ ) برای اینورتر پیشنهادی در توان خروجی ۲۰۰ وات از مجموع تلفات هدایتی متوسط در سطوح مختلف بدست آمده در یک دوره تناوب کامل مطابق رابطه (۲۴) برابر ۱/۹ وات بدست می‌آید.

$$P_{Con,Total} = \overline{P_{Con,V}} + \overline{P_{Con,2V}} + \overline{P_{Con,3V}} \quad (24)$$

### ۳-۴- تلفات ریپل خازن

در حالت شارژ خازن، تلفات ریپل خازن ( $P_{Rip-C}$ ) ناشی از اختلاف ولتاژ بین منابع ولتاژ dc و ولتاژ دو سر خازن اتفاق می‌افتد. در این راستا، با استفاده از رابطه (۲۵)، تلفات ریپل خازن در اینورتر پیشنهادی بدست می‌آید.

$$P_{Rip-C} = \frac{1}{2T} C \Delta V_C^2 = \frac{1}{2TC} \left( \int_{t_3}^{t_4} i_C dt \right)^2 \quad (25)$$

که T دوره تناوب ولتاژ خروجی، C ظرفیت بهینه خازن و  $\Delta V$  ریپل ولتاژ دو سر خازن می‌باشد. چون در اینورتر پیشنهادی، خازن در بازه زمانی  $t_3$  تا  $t_4$  تخلیه می‌شود، لذا تلفات ریپل ولتاژ دو سر خازن در شرایط آزمایشگاهی به ازای ۱۰ ولت تغییرات ولتاژ دوسر خازن برابر ۱/۶ وات بدست می‌آید [۱۰].

همچنین، تلفات اضافی توسط مقاومت سری  $R_{ESR}$  درون خازن ( $P_{CC}$ ) اتفاق می‌افتد. لذا تلفات هدایتی خازن و همچنین تلفات کل خازن به ترتیب توسط روابط (۲۶) و (۲۷) در توان نامی آزمایشگاهی محاسبه می‌شوند [۱۲]. به ازای  $R_{ESR} = 360 \text{ m}\Omega$  و جریان شارژ و جریان دشارژ خازن ( $i_C$ ) در توان آزمایشگاهی، مقدار تلفات هدایتی خازن برابر ۰/۵ وات به روش مدولاسیون پایه می‌باشد.

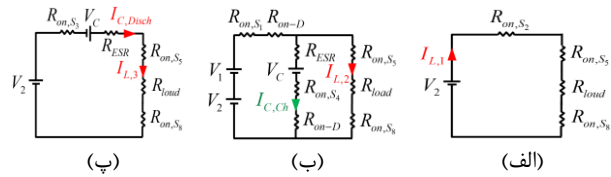
$$P_{CC} = 2f_{ref} R_{ESR} \int_{t_3}^{t_4} i_C^2 dt \quad (26)$$

$$P_{Loss-Cap} = P_{Rip-C} + P_{CC} \quad (27)$$

### ۵- مقایسه اینورتر هفت سطحی پیشنهادی با اینورترهای مشابه

در اینورترهای خازن کلیدزنی-شده، استفاده از المان‌های قدرت کم به دلیل کاهش تلفات، هزینه و اندازه سیستم، از اهمیت ویژه‌ای برخوردار است. لذا مطابق با جدول ۲، یک مقایسه کلی بر اساس تعداد کلیدها، تعداد دیودها، تعداد خازن‌ها، تعداد منابع ورودی dc، قابلیت افزایش ولتاژ ورودی، مجموع استرس ولتاژ کلیدها و دیودها بر حسب پریونیت (p.u.) (مجموع استرس ولتاژ

با مقاومت سری  $R_{ESR}$  در نظر گرفته شده‌اند. مدارهای معادل سطوح ولتاژ خروجی +۷V، +۲V و +۳V به همراه مقادیر پارازیتی کلیدها و مقاومت بار جهت محاسبه تلفات هدایتی در شکل ۸ نشان داده شده است.



شکل ۸- مدار معادل در نیم سیکل مثبت برای: الف) سطوح ولتاژ

خروجی ۷V، ب) سطوح ولتاژ خروجی ۲V، پ) سطوح ولتاژ

خروجی ۳V

مطابق با شکل ۸-الف، با استفاده از قانون KVL، جریان گذرنده از بار ( $I_{L,1}$ )

در مدار معادل سطوح ولتاژ  $\pm V$  از رابطه (۱۱) بدست می‌آید.

$$I_{L,1} = \frac{V}{3R_{on-S} + R_{load}} \quad (11)$$

از تلفات هدایتی لحظه‌ای ( $P_{Con,V}$ ) مطابق رابطه (۱۲)، تلفات هدایتی متوسط ( $\overline{P_{Con,V}}$ ) در یک دوره تناوب به ازای  $R_{on-S} = 0.55 \Omega$  از دیتا شیت کلید IRF740 و تحت توان خروجی ۲۰۰ وات، مطابق با رابطه (۱۳) با توجه به روش مدولاسیون پایه، در سطح ولتاژ خروجی ۷ برابر ۰/۱۴ وات بدست می‌آید.

$$P_{Con,V} = 3I_{L,1}^2 R_{on-S} \quad (12)$$

$$\overline{P_{Con,V}} = \frac{4(t_2 - t_1)}{T} P_{Con,V} \quad (13)$$

در حالت‌های کاری با ولتاژ خروجی  $\pm 2V$  نیز، مدار معادل مربوطه به همراه مقادیر پارازیتی المان‌ها، مطابق با شکل ۸-ب خواهد بود. در سطوح ولتاژ خروجی  $\pm 2V$ ، خازن C موازی با مجموع منابع ورودی  $V_1$  و  $V_2$  قرار گرفته که جریان گذرنده از بار ( $I_{L,2}$ ) در این حالات کاری از رابطه (۱۴) بدست می‌آید.

$$I_{L,2} = \frac{V}{3R_{on-S} + R_{load} + R_{on-D}} \quad (14)$$

که در این مدار کاری از  $t_2$  تا  $t_3$ ، جریان موثر شارژ خازن ( $I_{C,Ch,rms}$ ) از رابطه (۱۵) بدست می‌آید.

$$I_{C,Ch,rms} = \sqrt{2f_{ref} \int_{t_2}^{t_3} (i_C(t) e^{\frac{-t}{\tau_{C,Ch}}} )^2 dt} \quad (15)$$

که  $\tau_{C,Ch}$  ثابت زمانی شارژ خازن از طریق رابطه (۱۶) محاسبه می‌شود.

$$\tau_{C,Ch} = (R_{ESR} + 2R_{on-S} + 2R_{on-D}) C \quad (16)$$

با استفاده از تلفات هدایتی لحظه‌ای ( $P_{Con,2V}$ ) از رابطه (۱۷)، تلفات هدایتی متوسط ( $\overline{P_{Con,2V}}$ ) در یک دوره تناوب کامل مطابق با رابطه (۱۸) در سطح ولتاژ خروجی ۲V برابر ۰/۲۱ وات بدست می‌آید.

$$P_{Con,2V} = (R_{on-S} + R_{on-D})(I_{C,Ch,rms} + I_{L,2})^2 + (R_{ESR} + R_{on-S} + R_{on-D}) I_{C,Ch,rms}^2 + (2R_{on-S}) I_{L,2}^2 \quad (17)$$

$$\overline{P_{Con,2V}} = \frac{4(t_3 - t_2)}{T} P_{Con,2V} \quad (18)$$

در مدهای کاری  $\pm 3V$ ، خازن C به صورت سری با منبع ولتاژ ورودی  $V_1$

سطح ولتاژ به موقعیت جریان رفرنس بوده تا جریان برگردانده شود. در  $i_n$  سطح ولتاژ خروجی مثبت برای ولتاژ دو سر سلف  $L_f$  طبق رابطه (۲۸) بدست می‌آید.

$$\frac{di_{L_f}}{dt} = \frac{di_o}{dt} = \frac{nV_{DC-Link}}{L_f} - \frac{v_g}{L_f} \quad (28)$$

جدول ۲- مقایسه اینورتر پیشنهادی با اینورترهای هفت سطحی مشابه

$\frac{v_g}{V_{DC}}$	تعداد				قابلیت افزایشی	مجموع استرس ولتاژ کلیدها و دیودها (p.u.)	جریان نشتی (میلی آمپر)	راندمان (درصد) در توان ۲۰۰ وات
	کلیدها	خازن ها	منابع dc	منابع				
تمام پل [آبشاری ۳]	۱۲	۰	۰	۳	دارد	۸/۵	۱۰۰٪	۹۵/۸
[۹]	۹	۲	۳	۱	دارد	۷	۱۰۰٪	۹۵/۸
[۱۳]	۱۰	۰	۲	۲	دارد	۶	۱۵۰٪	۹۷/۲
[۱۴]	۱۵	۰	۳	۳	دارد	۸	۵۰٪	۹۵/۴
[۷]	۷	۱	۰	۳	دارد	۵/۵	۱۰۰٪	۹۷/۷
[۱۵]	۱۲	۰	۱	۱	ندارد	۹	۱۰۰٪	۹۵/۳
[۱۶]	۱۸	۰	۵	۱	ندارد	۶	۲۰۰٪	۹۴/۳
[۱۷]	۱۲	۰	۴	۱	ندارد	۹	۲۵۰٪	۷۶/۸
[۱۸]	۱۲	۰	۷	۱	ندارد	۸	۱۰۰٪	۹۶/۵
[۱۹]	۱۴	۰	۷	۱	ندارد	۸	۱۰۰٪	۹۵/۳
[۲۰]	۸	۰	۴	۱	دارد	۵/۵	۴۰٪	۹۵/۳
[۲۱]	۱۰	۰	۰	۳	ندارد	۷	۱۹۰٪	۹۷
[۲۲]	۱۲	۴	۴	۱	دارد	۷	۱۰۰٪	۹۶/۵
اینورتر پیشنهادی	۸	۰	۱	۲	دارد	۶	۱۷۰٪	۹۷/۹

کلیدها و دیودها تقسیم بر حداکثر ولتاژ خروجی، جریان نشتی و راندمان بین ساختارهای هفت سطحی اخیر با اینورتر پیشنهادی صورت گرفته است. بر اساس جدول ۲، اینورتر پیشنهادی نسبت به اینورتر تمام پل آبشاری [۳]، تعداد کلید قدرت کمتری داشته و برای تولید ولتاژ خروجی هفت سطحی در خروجی به تعداد منابع ورودی کمتری نیازمند است. با وجود اینکه ساختارهای ارائه شده در مراجع [۳، ۲۲، ۷]، تعداد خازن کمتر و یا برابر با اینورتر پیشنهادی را دارند، اما در این ساختارها از تعداد منابع ولتاژ dc ورودی بیشتری استفاده شده است. همچنین اگرچه ساختار ارائه شده در [۷] تعداد کلید قدرت و خازن کمتری با قابلیت افزایش ولتاژ و ولتاژ ورودی همانند اینورتر پیشنهادی دارد، اما در ساختار [۱۸] از یک دیود درون ساختاری استفاده شده است که این امر باعث افزایش تلفات کلیدزنی می‌شود. همچنین ساختارهای پیشنهادی در مراجع [۹، ۱۳، ۱۴، ۲۰، ۲۲] و همچنین ساختار تمام پل آبشاری [۳]، قابلیت افزایش ولتاژ ورودی را همانند اینورتر پیشنهادی داشته اما در این ساختارها از کلیدهای قدرت و همچنین خازن‌هایی با تعداد زیاد استفاده شده است. بدیهی است که تعداد کلید بیشتر باعث افزایش تلفات کلیدزنی و تعداد خازن بیشتر باعث افزایش تلفات ریپل خازن و در نتیجه کاهش بازده سیستم می‌شود. با وجود اینکه ساختارهای [۱۵-۲۰]، تعداد منابع ورودی کمتری دارند، اما علاوه بر نداشتن قابلیت افزایش ولتاژ و ولتاژ ورودی، تعداد المان‌های نیمه‌هادی و خازن بسیار بیشتری نسبت به سایر ساختارها و اینورتر پیشنهادی دارند. همچنین بین اینورترهای مشابه مورد مقایسه در جدول، دیده می‌شود که مجموع استرس ولتاژ کلیدها و دیودها بر حسب پریونیت در اینورتر پیشنهادی از اکثر آن‌ها بهتر بوده، در حالیکه ساختارهای ارائه شده در [۷] و [۲۰] دارای مقدار حداقل می‌باشد. با توجه به اینکه مقدار جریان نشتی و راندمان در برخی مراجع گزارش نشده (گ.ن) است با این حال با توجه به مقایسه‌های صورت گرفته، قابل مشاهده است که مقدار جریان نشتی اینورتر پیشنهادی با توجه به روش کنترلی اعمال شده در بخش‌های قبل، در حد استاندارد بوده و قابل مقایسه با ساختارهای اخیر هفت سطحی می‌باشد. همچنین با توجه به محاسبات انجام گرفته از روی روابط ریاضی تلفات در بخش‌های قبل، دیده شد که راندمان کل اینورتر پیشنهادی ۹۷/۹٪ بوده که قابل مقایسه با ساختارهای مشابه طبق جدول ۲ می‌باشد. همچنین اگرچه تعداد کلید قدرت ساختار ارائه شده در [۲۱] با اینورتر پیشنهادی برابر است و از نظر تعداد منبع ورودی نسبت به ساختار پیشنهادی برتری دارد، اما از تعداد خازن بیشتری در ساختار آن استفاده شده که علاوه بر افزایش اندازه سیستم باعث افزایش تلفات می‌شود. با توجه به مطالب فوق، اینورتر خازن کلیدزنی-شده پیشنهادی نسبت به ساختارهای مورد مقایسه در جدول ۲ برتری نسبی از بابت تعداد المان‌ها با قابلیت افزایش ولتاژ دارد.

#### ۶- طراحی کنترل مدل پیش‌بین با ترم کاهش جریان نشتی در

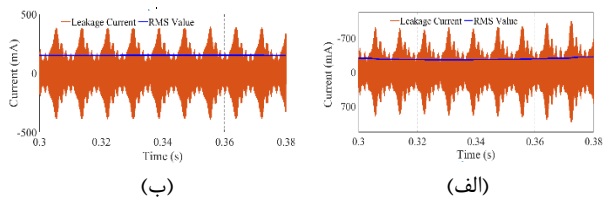
##### اینورتر پیشنهادی متصل به شبکه

در اینورتر متصل به شبکه پیشنهادی، روش کنترل مدل پیش‌بین (MPC) برای کنترل کلیدها جهت تولید ولتاژ با سطوح مختلف استفاده شده است [۲۳]. با مقایسه جریان مرجع ( $i_{ref}$ ) با جریان واقعی ( $i_s$ )، با وجود تغییرات بین این دو جریان، کلیدهایی روشن خواهد شد که سطح ولتاژ انتخابی (سطوح ولتاژ مثبت، صفر و منفی) با کمترین خطا جهت تغییرات جریان، تغییر وضعیت دهند. در مد کاری اول، در نیم سیکل مثبت شبکه، اگر  $i_{ref} > i_s$  باشد، در این حالت جهت تزریق جریان به شبکه، بایستی کلیدزنی حالات مثبت فعال شده تا جریان  $i_s$  افزایش یافته و به مقدار  $i_{ref}$  برسد. در غیر این صورت بسته به موقعیت جریان رفرنس، بایستی حالتی از کلیدزنی انتخاب شود که مربوط به نزدیک‌ترین

همانطور که از رابطه (۳۴) دیده می‌شود، از جمله روش‌های کاهش جریان نشتی، کاهش مقدار ولتاژ مد مشترک و کاهش تغییرات ولتاژ مد مشترک می‌باشد. با اضافه کردن ترم‌های این دو پارامتر به تابع هزینه کنترل پیش‌بین، مطابق با رابطه (۳۵) و تنظیم ضرایب وزنی ( $\lambda_1$  و  $\lambda_2$ ) مربوط به هر کدام از این پارامترها، مقدار جریان نشتی می‌تواند در محدوده استاندارد 1-1-VDE0126 قرار گیرد.

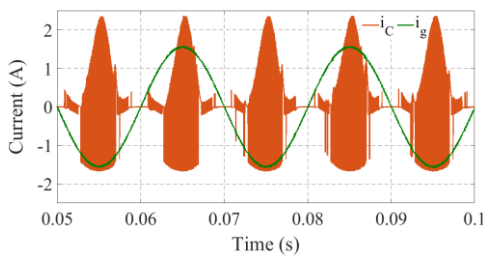
$$J_{Z=0,1}^{P=0,1, N=0,1} = w \left| i_o(k+1)_{Z,P,N} - i_{ref} \right|^2 + \lambda_1 |v_{cm}(k+1)|^2 + \lambda_2 |v_{cm}(k+1) - v_{cm}(k)|^2 \quad (35)$$

به ازای  $\lambda_1 = 0.009$  و  $\lambda_2 = 0.13$  مربوط به ترم‌های کاهش جریان نشتی در رابطه ۳۵، مطابق با شکل ۱۰ با اعمال این ترم‌ها، مقدار مؤثر جریان نشتی از ۴۰۰ میلی آمپر به ۱۸۰ میلی آمپر کاهش یافته است.



شکل ۱۰- نتایج شبیه‌سازی مقدار جریان نشتی (الف) بدون اعمال و (ب) با اعمال ترم کنترلی جریان نشتی در روش کنترلی

از آنجاییکه در اینورترهای خازن-کلیدزنی شده مشکل جریان‌های هجومی به دلیل موازی شدن خازن‌های درون ساختاری وجود دارد، در اینورتر پیشنهادی با توجه به عدم ایجاد چنین حالتی به دلیل استفاده از یک خازن در ساختار، شکل موج جریان خازن در حالت متصل به شبکه در شکل ۱۱ نشان داده شده است. مشاهده می‌شود که حداکثر جریان خازن تقریباً محدود به حداکثر جریان تزریقی به شبکه می‌باشد که منجر به کاهش تلفات و کاهش اثر تداخل امواج الکترومغناطیسی می‌شود.



شکل ۱۱- شکل موج جریان عبوری از خازن و جریان تزریقی به شبکه

### ۷- نتایج شبیه‌سازی و آزمایشگاهی

به منظور بررسی صحت تحلیل‌های انجام شده در بخش‌های قبل، ابتدا ساختار اینورتر هفت سطحی پیشنهادی در محیط نرم‌افزار Matlab/Simulink شبیه‌سازی شده و سپس جهت تایید دوباره عملکرد اینورتر پیشنهادی، نمونه اولیه آزمایشگاهی آن ساخته شده است. پانل PV در نتایج شبیه‌سازی و نتایج آزمایشگاهی توسط منبع ولتاژ dc مدل‌سازی شده است. نتایج شبیه‌سازی و نتایج آزمایشگاهی به ازای خروجی بار اهمی و بار اهمی-سلفی به همراه استرس ولتاژ کلیدها و ولتاژ دو سر خازن و پاسخ به تغییرات ناگهانی بار آورده شده است. در محیط شبیه‌سازی از منابع ولتاژ ورودی متقارن ۱۲۰ ولت، فرکانس مدولاسیون پایه ۵۰ هرتز و خازن با ظرفیت ۴۷۰ میکروفاراد استفاده شده است.

که مطابق با شکل ۱،  $V_{DC-Link} = V_{MN}$  و با گسسته‌سازی معادلات زمان پیوسته رابطه (۲۸)، به ازای زمان نمونه‌برداری  $T_s$  داریم:

$$\frac{di_{Lf}}{dt} = \frac{di_o}{dt} = \frac{nV_{DC-Link}}{L_f} - \frac{v_g}{L_f} \quad (29)$$

در نیم سیکل مثبت، جریان تزریقی به شبکه در لحظه بعدی  $i_o(k+1)$  در سطوح ولتاژ مختلف از رابطه (۳۰) بدست می‌آید که  $i_o(k)$  جریان فعلی تزریقی به شبکه و  $n$  نیز سطح ولتاژ لینک dc در هر نیم‌سیکل مخصوص به خود را نشان می‌دهد.

$$i_o(k+1)_p = i_o(k)_p + \frac{T_s}{L_f} \sum_{n=1}^3 nV_{DC-Link}(k)_p - \frac{T_s}{L_f} v_g(k) \quad (30)$$

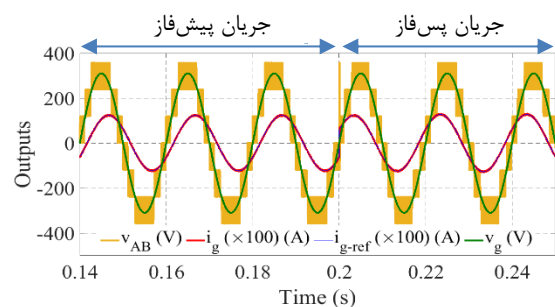
که برای سطوح ولتاژ خروجی مثبت،  $P=1$ ، برای سطوح ولتاژ خروجی صفر،  $Z=1$  و برای سطوح ولتاژ خروجی منفی،  $N=1$ ، مطابق با رابطه (۳۱) می‌باشد.

$$i_o(k+1)_{P,Z,N} = i_o(k)_{P,Z,N} + P \left( \frac{T_s}{L_f} \sum_{n=1}^3 (nV_{DC-Link}(k) - v_g(k)) \right) - N \left( \frac{T_s}{L_f} \sum_{n=1}^3 (nV_{DC-link}(k) + v_g(k)) \right) + Z \left( \frac{T_s}{L_f} v_g(k) \right) \quad (31)$$

طبق معادلات فوق، در زمان نمونه برداری بعدی  $k+1$  متغیر کنترلی  $i_s$  به واسطه جریان در لحظه  $k$ ام پیش‌بینی می‌شود. طبق رابطه (۳۲)، تابع هزینه تعریف شده  $z$  در لحظه  $k$ ام، نحوه کلیدزنی حالات کلیدزنی را به ازای حداقل مقدار آن در حالات مختلف تعیین می‌کند.

$$J_{Z=0,1}^{P=0,1, N=0,1} = W \left| i_o(k+1)_{Z,P,N} - i_{ref} \right|^2 \quad (32)$$

شکل ۹، جریان تزریقی اینورتر پیشنهادی متصل به شبکه با استفاده از روش کنترل پیش‌بین را تحت تغییرات ناگهانی از حالت جریان پیش‌فاز به جریان پس‌فاز نشان می‌دهد.



شکل ۹- شکل موج جریان تزریقی به شبکه در حالت پس‌فاز و پیش‌فاز

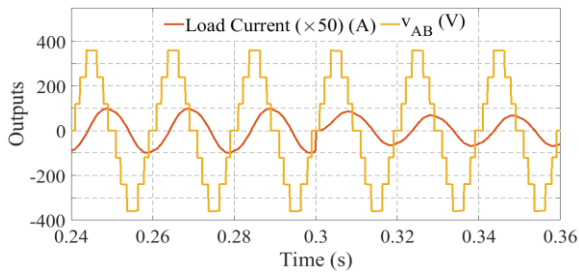
همچنین جهت کاهش جریان نشتی، از روش کنترل مدل پیش‌بین مطابق با مرجع [۲۴] استفاده شده است. مقدار جریان نشتی مطابق با رابطه (۳۳) به مقدار ظرفیت خازن پراکنده و همچنین به  $dv/dt$  روی آن بستگی دارد.

$$i_{Leakage} = C_p \frac{dv_{cm}}{dt} \quad (33)$$

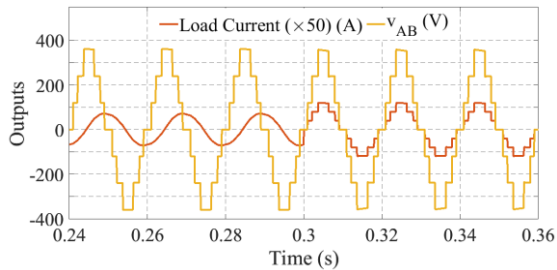
با گسسته‌سازی معادلات زمان پیوسته رابطه (۳۳)، به ازای زمان نمونه برداری  $T_s$  برای رابطه جریان نشتی داریم:

$$i_{Leakage} = C_p \frac{v_{cm}(k+1) - v_{cm}(k)}{T_s} \quad (34)$$





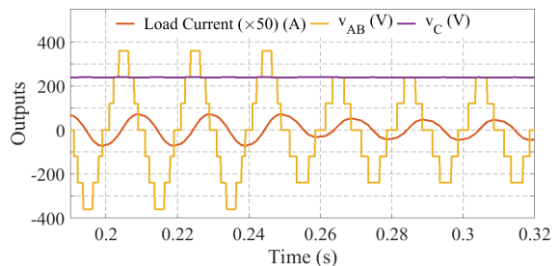
(الف)



(ب)

شکل ۱۴- شکل موج ولتاژ و جریان هفت‌سطحی خروجی تحت تغییرات ناگهانی بار (الف) اهمی-سلفی، (ب) از بار اهمی-سلفی به بار اهمی خالص

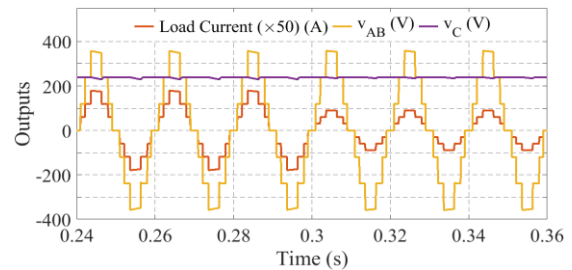
شکل ۱۵ ولتاژ و جریان هفت‌سطحی اینورتر پیشنهادی تحت شاخص‌های مدولاسیون مختلف را نشان داده است. با تغییر شاخص مدولاسیون از ۰/۹ به ۰/۷۵ در بارگذاری اهمی-سلفی به مقدار ۵۰ اهم و ۷۰۰ میلی‌هانی، ولتاژ خروجی هفت‌سطحی به ولتاژ خروجی پنج‌سطحی تبدیل شده و دامنه جریان خروجی کاهش یافته است. همچنین مشاهده می‌شود که ولتاژ دو سر خازن در این حالت بدون تغییرات باقی مانده است.



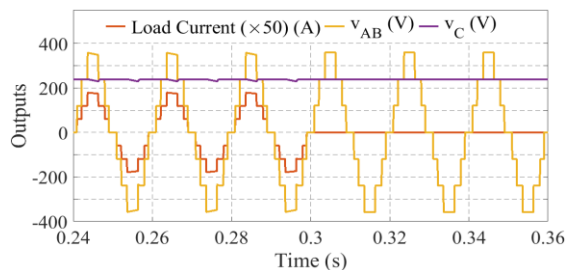
شکل ۱۵- شکل موج ولتاژ دو سر خازن تحت بار اهمی-سلفی با تغییرات شاخص مدولاسیون از ۰/۹ به ۰/۷۵

نمونه آزمایشگاهی اینورتر هفت‌سطحی پیشنهادی که ساختار آن مورد تست واقع شده است، با توجه به امکانات آزمایشگاهی و مسائل ایمنی به‌ازای منابع ورودی هرکدام ۶۰ ولت مطابق با شکل ۱۶ ساخته شده است. مشخصات و پارامترهای استفاده شده در سیستم مورد تست آزمایشگاهی به‌ازای بار اهمی خالص و بار اهمی-سلفی در جدول ۳ آورده شده است. مطابق با شکل ۱۶، لازم به ذکر است برای کلیدهای یک طرفه  $S_1$  و  $S_4$  از کلید سری شده با دیود استفاده شده است. شکل‌های ۱۷ تا ۲۱، نتایج آزمایشگاهی به‌ازای ولتاژهای متقارن ورودی dc هرکدام ۶۰ را نشان می‌دهد. همانگونه که در شکل ۱۶ مشاهده می‌شود برای جلوگیری از ایجاد حالت زمین مشترک، ترانسفورماتور ایزوله چند خروجی به کار گرفته شده است. همچنین در نتایج آزمایشگاهی از پردازشگر ARM جهت تولید پالس فرمان کلیدها استفاده شده است.

مطابق با شکل ۱۲، جهت بررسی عملکرد دینامیکی اینورتر پیشنهادی تحت تغییرات لحظه‌ای بار اهمی خالص از ۱۰۰ اهم به ۲۰۰ اهم در زمان ۰/۳ ثانیه، مشاهده می‌شود که ولتاژ هفت‌سطحی خروجی بدون تغییرات بوده و تحت تاثیر این تغییرات ناگهانی قرار نگرفته است. درحالی‌که جریان خروجی هفت‌سطحی تولید شده، از مقدار ۳/۶ آمپر به ۱/۸ آمپر، تغییر وضعیت داده است. همچنین تحت تغییرات فوق مشاهده می‌شود که تغییرات ولتاژ دو سر خازن اینورتر پیشنهادی تحت بار ۲۰۰ اهمی دارای ریبیل کمتری نسبت به بارگذاری با مقدار ۱۰۰ اهمی می‌باشد که باید کننده تحلیل‌های صورت گرفته در انتخاب بهینه ظرفیت خازن در بخش‌های قبلی است. همچنین بر اساس شکل ۱۲ قابل مشاهده است که خازن در سطوح ولتاژ  $2 \pm V$  شارژ شده و در سطوح ولتاژ  $3 \pm V$  تخلیه می‌شود که تطابق مناسبی با تحلیل‌های انجام شده در بخش‌های قبلی دارد. رفتار دینامیکی ساختار پیشنهادی در برابر تغییرات لحظه‌ای از حالت بار اهمی خالص ۱۰۰ اهم به حالت بی‌باری در شکل ۱۳ نشان داده شده است. مشاهده می‌شود که در حالت بی‌باری تغییرات ولتاژ دو سر خازن برابر صفر بوده و بدون ریبیل می‌باشد.



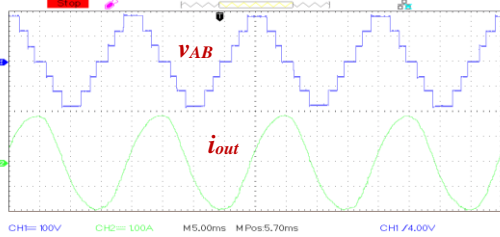
شکل ۱۲- شکل موج نتایج شبیه‌سازی تحت تغییرات ناگهانی بار اهمی



شکل ۱۳- شکل موج‌های نتایج شبیه‌سازی تحت تغییرات لحظه‌ای بار

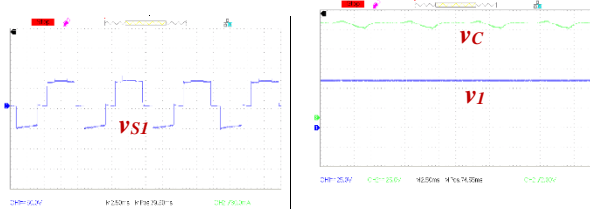
مطابق با شکل ۱۴-الف، جهت بررسی رفتار دینامیکی اینورتر پیشنهادی در ضریب توان غیر واحد، بار اهمی-سلفی از مقدار ۵۰ اهم و ۵۰۰ میلی‌هانی به مقدار ۱۰۰ اهم و ۷۰۰ میلی‌هانی در زمان ۰/۳ ثانیه در خروجی اینورتر پیشنهادی تغییر داده شده است. مطابق با آنچه در شکل ۱۴-الف دیده می‌شود، تحت بارگذاری‌های فوق، ولتاژ خروجی هفت‌سطحی به همراه جریان سینوسی خروجی نشان داده شده است، که حداکثر ولتاژ خروجی برابر با ۳۶۰ ولت و مقدار موثر جریان خروجی برابر با ۱/۵ آمپر می‌باشد.

با توجه به آنچه که شکل ۱۴-الف مشاهده می‌شود، اختلاف فاز از ۷۲ درجه به ۵۴ درجه رسیده است که این امر قابلیت انتقال توان راکتیو را در اینورتر پیشنهادی به وضوح نشان می‌دهد. همچنین پاسخ دینامیکی اینورتر پیشنهادی به تغییرات لحظه‌ای بار از بار اهمی-سلفی با مقدار ۵۰ اهم و ۷۰۰ میلی‌هانی به بار اهمی خالص ۱۵۰ اهم در شکل ۱۴-ب، نشان داده شده است.



شکل ۱۸- نتایج آزمایشگاهی ساختار اینورتر پیشنهادی با بار اهمی-سلفی، ولتاژ خروجی [100 V/div]، جریان خروجی  $(i_{out})$  [1 A/div].

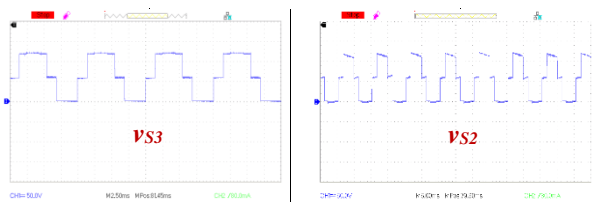
در ادامه شکل‌های نتایج آزمایشگاهی، شکل موج ولتاژ کلیدهای  $S_5-S_1$  تحت ولتاژ ورودی ۶۰ ولت در شکل‌های ۱۹-ب و ۲۰ و ۲۱ نشان داده شده است.



(الف) (ب)

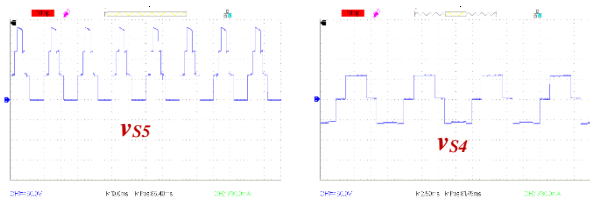
شکل ۱۹- نتایج آزمایشگاهی اینورتر پیشنهادی، (الف) ولتاژ منبع dc ورودی [25 V/div]،  $(V_1)$  ولتاژ خازن [1 A/div]  $(V_C)$  (ب)  $(V_{S1})$  [50 V/div]

مطابق با نتایج شبیه‌سازی و نتایج عملی، استرس ولتاژ کلیدهای  $S_1$  تا  $S_4$  و  $S_5$  تا  $S_8$  به ترتیب ۱ و ۱/۵ برابر مجموع منابع ولتاژ ورودی، مطابق با شکل‌های ۲۰ و ۲۱ می‌باشد. مشاهده می‌شود که تمامی نتایج بدست آمده در محیط آزمایشگاهی با نتایج شبیه‌سازی شده و تحلیل‌های صورت گرفته در بخش‌های قبلی مطابقت دارد. همچنین شکل ۲۲، منحنی بازده بر حسب توان‌های مختلف خروجی، از حداقل توان تا توان نامی را در شرایط آزمایشگاهی نشان می‌دهد.



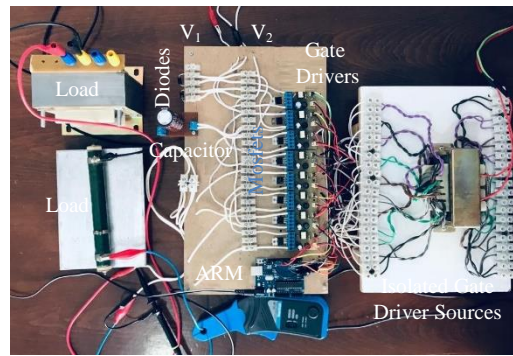
(الف) (ب)

شکل ۲۰- نتایج آزمایشگاهی (الف)  $(V_{S2})$ ، (ب)  $(V_{S3})$  [50 V/div]



(الف) (ب)

شکل ۲۱- نتایج آزمایشگاهی (الف)  $(V_{S4})$ ، (ب)  $(V_{S5})$  [50 V/div]



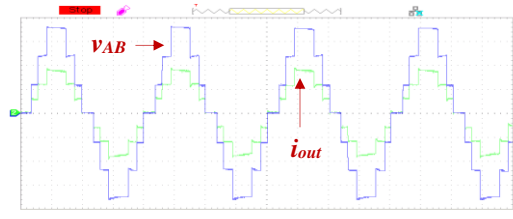
شکل ۱۶- ساختار پیاده‌سازی شده آزمایشگاهی

جدول ۳- پارامترهای مورد استفاده در محیط

آزمایشگاهی

مقادیر	پارامترها
ولت ۶۰	ولتاژ ورودی dc
ولت ۱۸۰	بیشترین ولتاژ خروجی
IRF740	کلیدهای ماسفت
TLP250	درایور فرمان
ARM	پردازشگر
۴۷۰ میکروفاراد	ظرفیت خازنی

شکل موج ولتاژ و جریان خروجی هفت سطحی اینورتر پیشنهادی به ازای بار اهمی خالص ۱۰۰ اهم جهت بررسی آنالیزهای صورت گرفته و همچنین مقایسه با نتایج شبیه‌سازی در شکل ۱۷ نشان داده شده است. بر اساس شکل ۱۷، شکل موج جریان خروجی با حداکثر دامنه ۱/۸ آمپر مطابق با سطوح ولتاژ تولیدی در خروجی اینورتر می‌باشد. ولتاژ هفت سطحی خروجی حداکثر دامنه ۱۸۰ ولت دارد که تأیید کننده بهره ۱/۵ برابری اینورتر پیشنهادی است. همچنین برای بررسی عملکرد اینورتر پیشنهادی در ضریب توان غیر واحد، از یک بار اهمی-سلفی به میزان ۳۰ اهم و ۳۰۰ میلی‌هانری به عنوان بار خروجی اینورتر استفاده شده است. شکل موج ولتاژ هفت سطحی و جریان سینوسی خروجی اینورتر پیشنهادی در ضریب توان غیر واحد، در شکل ۱۸ نشان داده شده است. شکل فوق توانایی انتقال توان راکتیو اینورتر پیشنهادی را نشان می‌دهد. بر اساس شکل ۱۵، اختلاف فاز ۷۲ درجه ناشی از بارگذاری فوق، دیده می‌شود. همچنین در شکل ۱۹-الف ولتاژ دوسر خازن مورد استفاده در ساختار به همراه ولتاژ ورودی  $V_1$  نشان داده شده است. مطابق با آنچه که در شکل ۱۹-الف نشان داده شده است، ولتاژ دو سر خازن C برابر  $V_1+V_2$  می‌باشد که به صورت بالانس خودی، تنظیم شده است. ولتاژ خازن تحت بارگذاری فوق، حدوداً ۱۱ ولت ریپل دارد که منطبق با تحلیل‌های انجام شده در بخش‌های قبل می‌باشد.

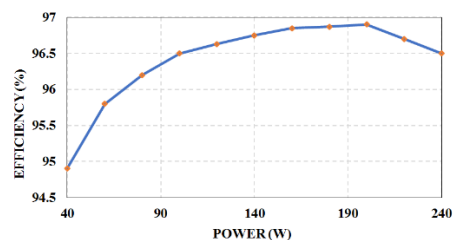


شکل ۱۷- نتایج آزمایشگاهی اینورتر پیشنهادی با بار اهمی خالص، ولتاژ خروجی [50 V/div]،  $(V_{AB})$ ، جریان خروجی  $(i_{out})$  [1 A/div].

- [8] S. Islam, M. D. Siddique, A. Iqbal, S. Mekhilef and M. Al-Hitmi, "A Switched Capacitor-Based 13-Level Inverter with Reduced Switch Count", in *IEEE Transactions on Industry Applications*, 2022, doi: 10.1109/TIA.2022.3191302.
- [9] T. Roy, M. W. Tesfay, B. Nayak, C. K. Panigrahi, "A 7-Level Switched Capacitor Multilevel Inverter With Reduced Switches and Voltage Stresses", in *IEEE Transactions on Circuits and Systems II: Express Briefs*, vol. 68, no. 12, pp. 3587-3591, 2021.
- [10] J. F. Ardashir, M. Sabahi, S. H. Hosseini, F. Blaabjerg, E. Babaei, G. B. Gharehpetian, "A Single-Phase Transformerless Inverter With Charge Pump Circuit Concept for Grid-Tied PV Applications", in *IEEE Transactions on Industrial Electronics*, vol. 64, no. 7, pp. 5403-5415, July 2017, doi: 10.1109/TIE.2016.2645162.
- [11] Kazimierczuk MK, "Pulse-width modulated DC-DC power converters", John Wiley & Sons, 2015 Aug 24.
- [12] A. Taghvaie, J. Adabi, M. Rezaejanad, "A Self-Balanced Step-Up Multilevel Inverter Based on Switched-Capacitor Structure", in *IEEE Transactions on Power Electronics*, vol. 33, no. 1, pp. 199-209, 2018.
- [13] A. K. Sadigh, V. Dargahi, K. A. Corzine, "Analytical Determination of Conduction and Switching Power Losses in Flying-Capacitor-Based Active Neutral-Point-Clamped Multilevel Converter", in *IEEE Transactions on Power Electronics*, vol. 31, no. 8, pp. 5473-5494, 2016.
- [14] X. Sun, B. Wang, Y. Zhou, W. Wang, H. Du, Z. Lu, "A Single DC Source Cascaded Seven-Level Inverter Integrating Switched-Capacitor Techniques", in *IEEE Transactions on Industrial Electronics*, vol. 63, no. 11, pp. 7184-7194, 2016.
- [15] H. Tian, Y. W. Li, "An Active Capacitor Voltage Balancing Method for Seven-Level Hybrid Clamped (7L-HC) Converter in Motor Drives", in *IEEE Transactions on Power Electronics*, vol. 35, no. 3, pp. 2372-2388, 2020.
- [16] W. Sheng, Q. Ge, "A Novel Seven-Level ANPC Converter Topology and Its Commutating Strategies", in *IEEE Transactions on Power Electronics*, vol. 33, no. 9, pp. 7496-7509, 2018.
- [17] L. He, C. Cheng, "A Bridge Modular Switched-Capacitor-Based Multilevel Inverter With Optimized SPWM Control Method and Enhanced Power-Decoupling Ability", in *IEEE Transactions on Industrial Electronics*, vol. 65, no. 8, pp. 6140-6149, 2018.
- [18] C. Feng, J. Liang, V. G. Agelidis, "Modified Phase-Shifted PWM Control for Flying Capacitor Multilevel Converters", in *IEEE Transactions on Power Electronics*, vol. 22, no. 1, pp. 178-185, 2007.
- [19] W. Sheng, Q. Ge, "A Novel Seven-Level ANPC Converter Topology and Its Commutating Strategies", in *IEEE Transactions on Power Electronics*, vol. 33, no. 9, pp. 7496-7509, 2018.
- [20] Y. P. Siwakoti, A. Mahajan, D. J. Rogers, F. Blaabjerg, "A Novel Seven-Level Active Neutral-Point-Clamped Converter With Reduced Active Switching Devices and DC-Link Voltage", in *IEEE Transactions on Power Electronics*, vol. 34, no. 11, pp. 10492-10508, 2019.
- [21] S. S. Lee, M. Sidorov, N. R. N. Idris, Y. E. Heng, "A Symmetrical Cascaded Compact-Module Multilevel Inverter (CCM-MLI) With Pulsewidth Modulation", in *IEEE Transactions on Industrial Electronics*, vol. 65, no. 6, pp. 4631-4639, 2018.
- [22] Y. C. Fong, K. W. E. Cheng, S. R. Raman, "A Modular Concept Development for Resonant Soft-Charging Step-Up Switched-Capacitor Multilevel Inverter for High-Frequency AC Distribution and Applications", in *IEEE Journal of Emerging and Selected Topics in Power Electronics*, vol. 9, no. 5, pp. 5975-5985, 2021.

[۲۳] عباس کتابی، شیدا صفایی، «استفاده از مبدل چند سطحی ماژولار با استفاده از روش کنترل پیش‌بین در سیستم‌های فتوولتائیک متصل به شبکه»، *مجله مهندسی برق دانشگاه تبریز*، جلد ۴۸، شماره ۴، صفحات ۱۷۳۰-۱۷۱۹، زمستان ۹۷.

[۲۴] محمد مرشدلو، رضا قاضی، «کاهش جریان نشتی در اینورتر فتوولتائیک بدون ترانسفورماتور سه‌فاز با استفاده از روش کنترل پیش‌بین مبتنی بر مدل تک‌برداری و دوبرداری توأم با کمینه‌کردن THD و فرکانس کلیدزنی»، *مجله مهندسی برق دانشگاه تبریز*، جلد ۵۰، شماره ۴، صفحات ۱۸۳۲-۱۸۱۹، زمستان ۹۹.



شکل ۲۲- منحنی راندمان در مقابل توان خروجی در شرایط آزمایشگاهی

#### ۸- نتیجه‌گیری

در این مقاله، با استفاده از مفهوم اینورترهای خازن کلیدزنی-شده، یک اینورتر جدید تک‌فاز هفت سطحی به صورت افزاینده ارائه شد. مشاهده شد که ولتاژ خروجی اینورتر پیشنهادی، یک و نیم برابر مجموع منابع ولتاژهای dc ورودی می‌باشد. ولتاژ دو سر خازن اینورتر پیشنهادی به صورت خودکار و با کلیدزنی متقارن در حالات کلیدزنی مختلف و بدون استفاده از مدار جانبی و مدار کنترلی اضافی، در حالت تعادل قرار گرفت. عملکرد اینورتر پیشنهادی با استفاده از روش کنترل پیش‌بین در حالت متصل به شبکه در حالت پس‌فار و پیش‌فاز نشان داده شد. با اضافه کردن ترم کنترل به روش کنترل پیش‌بین، مشاهده شد که مقدار جریان نشتی با استفاده از این روش در حد استاندارد نگه داشته می‌شود. همچنین، دیده شد که ساختار فوق دارای تعداد المان‌های قدرت کاهش یافته نسبت به سایر ساختارهای مشابه بوده و کاهش تلفات، افزایش راندمان و کاهش حجم و وزن اینورتر پیشنهادی براساس طراحی بهینه خازن امکان‌پذیر است. یک نمونه اولیه از اینورتر پیشنهادی با منابع ورودی هر کدام ۶۰ ولت در محیط آزمایشگاهی ساخته شد. از نتایج تحلیلی، شبیه‌سازی و آزمایشگاهی بدست آمده، مشاهده شد که اینورتر پیشنهادی دارای قابلیت انتقال توان اکتیو و راکتیو بوده و لذا در کاربردهای منفصل از شبکه و متصل از شبکه می‌تواند مورد استفاده قرار گیرد.

#### مراجع

- [1] J. F. Ardashir, B. Rozmeh, M. Gasemi, A. M. Shotorbani and A. A. Ghavifekr, "A Novel Boost Fifteen-Level Asymmetrical Flying-Capacitor Inverter with Natural Balancing of Capacitor Voltages", 2021 12th Power Electronics, Drive Systems, and Technologies Conference (PEDSTC), 2021, pp. 1-5, doi: 10.1109/PEDSTC52094.2021.9405887.
- [2] J. F. Ardashir, H. V. Ghadim and A. M. Ogly, "A Novel Step-up Common Ground Five-Level Inverter with Inherent Balance of Capacitors Voltage", 2022 IEEE Kansas Power and Energy Conference (KPEC), 2022, pp. 1-5, doi: 10.1109/KPEC54747.2022.9814729.
- [3] Hadi Vatankhah Ghadim, Jaber Fallah Ardashir, "Technical design and environmental analysis of 100-kWp on-grid photovoltaic power plant in north-western Iran", *Clean Energy*, vol. 6, no. 2, pp. 362-371, 2022, <https://doi.org/10.1093/ce/zkac013>.
- [4] Fallah Ardeshir, J., Ajami, A., Jalilvand, A., Mohammadpour, "Flexible Power Electronic Transformer for Power Flow Control Applications", *Journal of Operation and Automation in Power Engineering*, vol. 1, no. 2, pp. 147-155, 2007.
- [5] P. S. V. Kishore, N. Jayaram, S. Jakkula, Y. R. Sankar, J. Rajesh and S. Halder, "A New Reduced Switch Seven-Level Triple Boost Switched Capacitor Based Inverter", in *IEEE Access*, vol. 10, pp. 73931-73944, 2022, doi: 10.1109/ACCESS.2022.3190546.
- [6] R. Anjali Krishna, L. Padma Suresh, "A brief review on multi level inverter topologies", in 2016 international conference on circuit, power and computing technologies (ICCPCT), 2016, IEEE.
- [7] Hosseinpour, M., et al., "Switch count reduced structure for symmetric bi-directional multilevel inverter based on switch-diode-source cells", *IET Power Electronics*, vol. 13, no. 8, pp. 1675-1686, 2020.

- [25] J. F. Ardashir, M. Gasemi, S. Peyghami, B. Rozmeh, F. Blaabjerg, "A Novel Five-Level Transformer-less Inverter Topology with Common-Ground for Grid-Tied PV Applications", 2021 23rd European Conference on Power Electronics and Applications (EPE'21 ECCE Europe), 2021, pp. 1-10, doi: 10.23919/EPE21ECCEurope50061.2021.9570654.