

# طراحی و بررسی یک جمع کننده با مسیر فرعی رقم نقلی در فناوری آتوماتای کوانتومی سلولی

محسن شاطر مفیدی<sup>۱</sup>، کارشناسی ارشد؛ رضا فقیه میرزایی<sup>۲</sup>، استادیار

۱- گروه مهندسی کامپیوتر - واحد تهران شمال - دانشگاه آزاد اسلامی - تهران - ایران - m\_mofidi2004@yahoo.com

۲- گروه مهندسی کامپیوتر - واحد شهرقدس - دانشگاه آزاد اسلامی - تهران - ایران - r.f.mirzaee@qodsiau.ac.ir

**چکیده:** جمع کننده‌ها از پرکاربردترین مدارهای داخل ریزپردازنده‌ها هستند. از آن‌ها می‌توان برای طراحی سایر عملگرهای حسابی نیز استفاده کرد. این مدارها معمولاً با فناوری CMOS ساخته می‌شوند، که در مقیاس نانو با مشکلاتی از جمله کاهش کنترل پذیری گیت و نشت زیاد جریان مواجه هستند. فناوری آتوماتای کوانتومی سلولی یکی از گزینه‌های مطرح برای پیاده سازی نسل آینده مدارهای الکترونیک دیجیتال است. در این مقاله، یک جمع کننده با مسیر فرعی رقم نقلی برای اولین بار با استفاده از این فناوری نوظهور ارائه می‌گردد. تا آنجا که بررسی شده است، تا اکنون جمع کننده با مسیر فرعی رقم نقلی با فناوری آتوماتای کوانتومی سلولی طراحی نشده و مورد بررسی قرار نگرفته است. جمع کننده با مسیر فرعی رقم نقلی سرعت بیشتری نسبت به جمع کننده موج دارد. نتایج شبیه سازی نشان از برتری عملکرد طرح پیشنهادی نسبت به جمع کننده‌های موج و با پیش بینی رقم نقلی که در سال‌های اخیر ارائه شده‌اند، دارد؛ به طوری که حتی در بدترین سناریو نیز حداقل ۳ کلاک QCA جواب جمع را سریع تر آماده می‌کند. به علاوه، جمع کننده پیشنهادی در فناوری آتوماتای کوانتومی سلولی در عوامل سرعت و توان مصرفی نسبت به معادل CMOS برتری قابل ملاحظه‌ای دارد.

**واژه‌های کلیدی:** جمع کننده، جمع کننده با مسیر فرعی رقم نقلی، نانوالکترونیک، آتوماتای کوانتومی سلولی.

## Design and Evaluation of a Carry-Skip Adder in Quantum Cellular Automata Technology

M. Shater Mofidi<sup>1</sup>, M.Sc; R. Faghieh Mirzaee<sup>2</sup>, Assistant Professor

1- Department of Computer Engineering, North Tehran Branch, Islamic Azad University, Tehran, Iran  
Email: m\_mofidi2004@yahoo.com

2- Department of Computer Engineering, Shahr-e-Qods Branch, Islamic Azad University, Tehran, Iran  
Email: r.f.mirzaee@qodsiau.ac.ir

**Abstract:** Adders are among the most practical and useful circuits in microprocessors. They could also be used in other arithmetic operators. Traditionally, they are fabricated using CMOS technology. However, CMOS has faced some challenges in the nanoscale regime such as reduced gate controllability and high leakage currents. In contrast, Quantum Cellular Automata (QCA) is a promising alternative for the challenges of the next generation digital circuits. Based on QCA idea, in this paper a Carry-Skip Adder (CSA) is designed, which as far as investigated, has not been previously presented in related works. As CSA adders are generally faster than ripple ones, our simulation results also confirm that the proposed CSA outperforms the state-of-the-art ripple and carry lookahead adders and produces the result three QCA clock cycles faster even in the worst-case scenario. In addition, the proposed QCA adder outperforms its CMOS counterpart in terms of speed and power consumption.

**Keywords:** Adder, Carry-Skip Adder, Nanoelectronics, Quantum Cellular Automata.

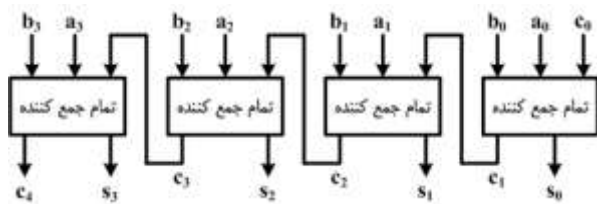
تاریخ ارسال مقاله: ۱۳۹۷/۰۷/۲۹

تاریخ اصلاح مقاله: ۱۳۹۷/۱۲/۰۸

تاریخ پذیرش مقاله: ۱۳۹۸/۰۳/۰۸

نام نویسنده مسئول: رضا فقیه میرزایی

نشانی نویسنده مسئول: تهران، شهرقدس، بلوار شهید کلهر، دانشگاه آزاد اسلامی واحد شهرقدس، دانشکده فنی و مهندسی



شکل ۱: جمع‌کننده موج چهار بیتی

## ۱- مقدمه

عمل جمع پایه و اساس تمام عملگرهای ریاضی است و عملکرد آن بر سایر مدارهای حسابی تأثیرگذار است. مدارهای نیم جمع‌کننده و تمام جمع‌کننده برای جمع ارقام هم ارزش کاربرد دارند، اما برای جمع اعداد نیاز به جمع‌کننده‌های چند بیتی است. از شناخته شده‌ترین آن‌ها جمع‌کننده موج است که از کنارهم قرار دادن تمام جمع‌کننده‌ها به وجود می‌آید (شکل ۱). در این جمع‌کننده، رقم نقلی خروجی در هر طبقه به عنوان رقم نقلی ورودی برای طبقه بعد در نظر گرفته می‌شود. به همین دلیل، خروجی آخرین تمام جمع‌کننده تا زمان عملکرد تمام جمع‌کننده‌های پیشین نامعتبر خواهد بود. جمع‌کننده موج علی‌رغم ساختاری ساده، سرعت پایینی دارد. افزایش سرعت همواره یکی از اهداف مهم طراحان مدارهای دیجیتال بوده است.

در این مقاله، با استفاده از فناوری اتوماتای کوانتومی سلولی، یک جمع‌کننده با مسیر فرعی رقم نقلی طراحی خواهد شد. در مقالات منتشر شده سال‌های قبل، نمونه مشابهی یافت نشد. در حالی که جمع‌کننده‌های موج [۱۷-۱۳] و با پیش‌بینی رقم نقلی قبلاً طراحی شده‌اند [۱۸، ۱۹]، طبق جستجوهای صورت گرفته، جمع‌کننده با مسیر فرعی رقم نقلی با فناوری اتوماتای کوانتومی سلولی هرگز ارائه نشده است. بنابراین، طرح پیشنهادی این مقاله نمونه منحصر به فردی است که برای اولین بار ارائه می‌گردد.

در ادامه، در بخش دوم به مرور اطلاعات اولیه این کار تحقیقاتی پرداخته خواهد شد. بخش سوم به ارائه طرح پیشنهادی اختصاص دارد. نتایج شبیه‌سازی در بخش چهارم آورده می‌شود. در نهایت، در بخش پنجم نتیجه‌گیری بیان می‌گردد.

## ۲- اطلاعات اولیه

در ابتدا اطلاعات اولیه برای خوانندگانی که احتمالاً با مباحث این مقاله آشنا نیستند ارائه می‌شود.

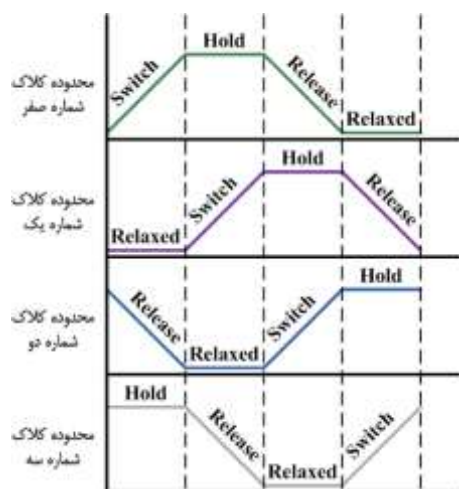
## ۲-۱- فناوری اتوماتای کوانتومی سلولی

اتوماتای کوانتومی سلولی، یا به اختصار Quantum-dot QCA (Cellular Automata)، نوعی فناوری محاسباتی است که برای ساخت مدارهای الکترونیکی در ابعاد نانو به کار برده می‌شود. سلول‌های این فناوری مربعی شکل و دارای چهار نقطه کوانتومی هستند، که مطابق شکل ۲ (الف) در کنار یکدیگر قرار می‌گیرند. اندازه ضلع هر سلول ۱۸ نانومتر و فاصله بین سلول‌ها ۲ نانومتر است. در هر سلول دو الکترون اضافی وجود دارد که می‌توانند آزادانه بین نقاط کوانتومی حرکت کنند. برخلاف فناوری رایج امروزی که مبتنی بر ترانزیستور است، برهم‌کنش سلول‌های QCA است که باعث ایجاد منطق مورد نظر می‌شود.

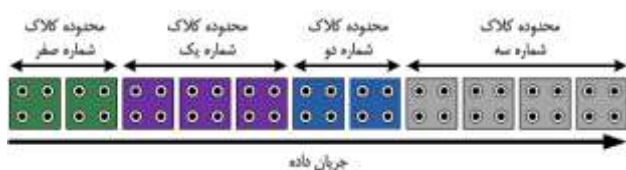
به‌طور کلی می‌توان شش حالت برای قرارگیری الکترون‌ها درون نقاط کوانتومی متصور بود (شکل ۳) [۲۰]، اما با وجود نیروی دافعه کولومب (جاذبه و دافعه الکترواستاتیک)، همه این حالت‌ها پایدار نیستند. الکترون‌ها همواره در دورترین فاصله نسبت به هم قرار می‌گیرند [۲۱]، یعنی تنها حالت‌های اول و دوم در شکل ۳ پایدار هستند. در محاسبات به ترتیب مقادیر ۰ و ۱ منطقی به این دو حالت نسبت داده می‌شوند. همچنین می‌توان هر سلول را ۴۵ درجه در جهت خلاف عقربه‌های ساعت چرخاند؛ که این کار برای عبور دو سیم از روی هم و ساختن معکوس‌کننده کاربرد دارد. سلول‌های چرخیده (شکل ۲ (ب)) لوزی شکل هستند.

در صورت کندی جمع‌کننده‌ها، سرعت سایر مدارهای حسابی نیز تحت تأثیر قرار خواهد گرفت [۱]. برای مثال، سعی می‌شود تا با موازی‌سازی و انجام جمع ستونی حاصل ضرب‌های جزئی، فاز دوم عمل ضرب با سرعت بیشتری پایان یابد. این در حالی است که کندی جمع‌نهایی در فاز سوم عمل ضرب بر موازی‌سازی صورت گرفته در فاز دوم سایه افکننده و در نهایت منجر به تأخیر بالای ضرب‌کننده می‌شود [۲]. در این راستا، معمولاً به جای استفاده از جمع‌کننده موج، از جمع‌کننده‌های سریع مانند جمع‌کننده با پیش‌بینی رقم نقلی [۳، ۴]، جمع‌کننده با انتخاب رقم نقلی [۴]، یا جمع‌کننده با مسیر فرعی رقم نقلی [۴، ۵] استفاده می‌شود. در میان انواع جمع‌کننده‌های سریع، آخرین مورد با کمترین سربار و هزینه عمل جمع را تسریع می‌بخشد. مقایسه انجام شده در [۲] نشان می‌دهد که جمع‌کننده با مسیر فرعی رقم نقلی نسبت به دو جمع‌کننده سریع دیگر مساحت کمتری اشغال می‌کند.

به‌طور معمول، طراحی مدارهای دیجیتال با استفاده از ترانزیستورها صورت می‌پذیرد. پیاده‌سازی CMOS یکی از روش‌های شناخته شده مدارها است. اما ترانزیستورها در مقیاس نانو با مشکلاتی از جمله کاهش اثر بخشی پایه گیت در ایجاد یا حذف کانال، تونل‌زنی الکترون‌ها درون گیت و زیرلایه، و کاهش قابلیت تحرک الکترون‌ها درون کانال، مواجه شده‌اند [۶]. برای رفع این مشکلات، محققان المان‌های جدیدی برای طراحی مدارها در مقیاس نانو پیشنهاد داده‌اند. ترانزیستورهای نانو لوله کربنی [۷]، ترانزیستورهای تک الکترونی [۸]، و فناوری اتوماتای کوانتومی سلولی [۹] از این جمله‌اند. مورد آخر، به دلیل عدم وجود جریان الکتریکی، در کاهش توان مصرفی عملکرد قابل توجهی دارد [۱۰]. علاوه بر توان مصرفی، قابلیت افزایش فرکانس کلاک این فناوری تا مقیاس تریلیون هرتز (THz) وجود دارد [۱۱]. همچنین، اندازه المان‌های این فناوری بین ۲ الی ۱۸ نانومتر تخمین زده شده است [۱۲]، که این مقدار قابل مقایسه و حتی کمتر از مدارهای CMOS امروزی است. علی‌رغم برتری‌های مذکور، این فناوری همچنان با مشکلات و چالش‌های ساخت فیزیکی مواجه است [۱۰].

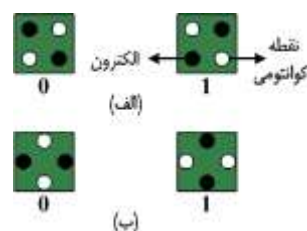


شکل ۵: سیگنال‌های کلاک در فناوری اتوماتای کوانتومی سلولی [۱۱]



شکل ۶: جهت جریان داده با توجه به نحوه کلاک‌بندی

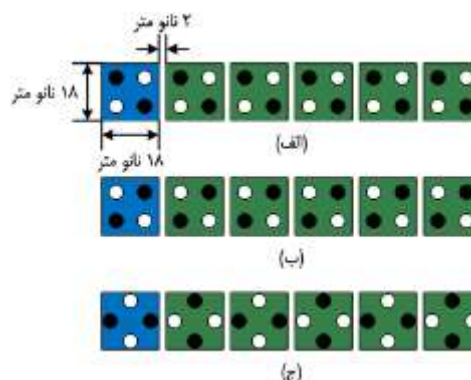
۱. فاز Switch: نیروهای مانع حرکت الکترون‌ها در داخل سلول افزایش یافته و حرکت الکترون‌ها به تدریج کند می‌شود.  
 ۲. فاز Hold: نیروهای مذکور به بیشترین اندازه خود رسیده و مکان الکترون‌ها تقریباً ثابت باقی می‌ماند.  
 ۳. فاز Release: مقدار نیروی مانع‌شونده کم شده و آرام آرام الکترون‌ها آزاد می‌شوند.  
 ۴. فاز Relaxed: نیروی مانع‌شونده به کمترین حد خود رسیده و الکترون‌ها آزادانه در داخل سلول حرکت می‌کنند.  
 با توجه به پیچیدگی مدارهای بزرگ، عبور دو سیم از روی هم اجتناب‌ناپذیر است. در فناوری اتوماتای کوانتومی سلولی، عبور دو سیم از روی یکدیگر چالش‌هایی به همراه دارد. سه روش متفاوت برای این کار وجود دارد. روش اول (شکل ۷ الف)) ترکیب استفاده از سیم‌های مربع و لوزی است. روش دوم (شکل ۷ ب)) با استفاده از قابلیت چندلایه‌ای فناوری اتوماتای کوانتومی سلولی انجام‌پذیر است. روش سوم (شکل ۷ ج)) نیز با توجه به مناطق زمانی که روی هم تأثیر ندارند، انجام می‌شود. سلول‌هایی که دو فاز کلاک با هم اختلاف داشته باشند، روی یکدیگر تأثیر نمی‌گذارند. روش سوم مطمئن‌ترین و کم هزینه‌ترین روش عبور سیم‌ها از روی هم است [۲۲].  
 ساده‌ترین تابع منطقی معکوس‌کننده است، که شکل ۸ روش‌های متداول پیاده‌سازی آن را نشان می‌دهد [۲۳]. دروازه‌های AND و OR با استفاده از تابع رأی اکثریت (شکل ۹ الف)) قابل پیاده‌سازی هستند. تابع رأی اکثریت (رابطه ۱) با ورودی‌های دودویی a, b, و c یک دروازه پایه در این فناوری است [۲۴]. برای ایجاد توابع AND و OR یکی از ورودی‌های تابع رأی اکثریت به ترتیب برابر مقدار ثابت ۰ (قطبش -۱) و ۱ (قطبش +۱) قرار داده می‌شود (شکل ۹ ب) و (ج)).



شکل ۲: سلول QCA: (الف) مربعی شکل، (ب) لوزی شکل



شکل ۳: حالت‌های قرارگیری الکترون‌ها درون نقاط کوانتومی [۲۰]



شکل ۴: سیم QCA: (الف) انتشار منطبق ۰، (ب) انتشار منطبق ۱، (ج)

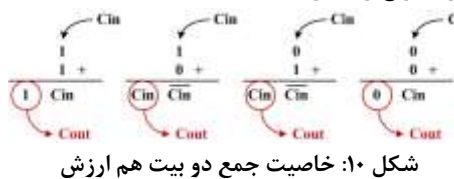
انتشار توسط سلول‌های لوزی شکل

نیروی دافعه کولومب نه تنها در داخل سلول بلکه روی سلول‌های مجاور نیز تأثیرگذار است. هنگامی که دو سلول در مجاورت یکدیگر قرار می‌گیرند، الکترون‌ها به صورتی در نقاط کوانتومی جابه‌جا می‌شوند که نیروی دافعه کولومبی در کل مجموعه به حداقل برسد. در نتیجه مطابق شکل ۴ (الف) و (ب)، در یک آرایه پشت سر هم از سلول‌ها، هر تغییری در سلول اول بر روی سلول‌های بعدی نیز تأثیر می‌گذارد. بدین ترتیب، سیم QCA ساخته می‌شود. قرارگیری سلول‌های لوزی در کنار هم (شکل ۴ ج)) زنجیره‌ای از معکوس‌کننده‌ها را ایجاد می‌کند. سیم ابتدایی‌ترین ابزار برای ساخت مدارات الکترونیکی است. اندازه سلول‌ها نیز در شکل ۴ مشخص شده است.  
 برای کنترل جهت جریان داده از کلاک‌بندی سلول‌ها استفاده می‌شود. در این روش سلول‌ها به یکی از مناطق چهارگانه کلاک (با رنگ‌بندی متفاوت) متصل می‌شوند (شکل ۵). هر کلاک نسبت به کلاک‌های مجاور به اندازه  $\frac{1}{2}\pi$  اختلاف فاز دارد. ترتیب اثر گذاری بدین صورت است که سلول‌ها با محدوده کلاک  $i$  ( $0 \leq i \leq 3$ ) بر روی سلول‌ها با محدوده کلاک  $(i+1) \bmod 4$  تأثیر می‌گذارد. بنابراین، همان‌طور که در شکل ۶ نشان داده شده است، جهت جریان داده در مدارهای QCA مشخص می‌شود. با استفاده از کلاک می‌توان الکترون‌های داخل سلول‌ها را آزادانه به حال خود رها کرد، سرعت حرکت آن‌ها را کم کرد، یا حتی الکترون‌ها را در جای خود ثابت نگه داشت. هر کلاک نیز دارای چهار فاز است [۱۱]:

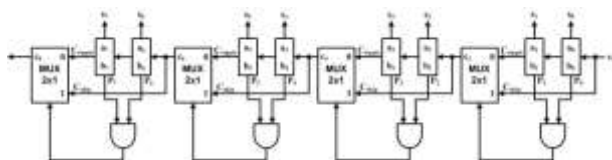
در شکل ۱۱ مدار جمع‌کننده با مسیر فرعی رقم نقلی نشان داده شده است. در این جمع‌کننده با استفاده از یک دروازه AND شرط عبور رقم نقلی از مسیر فرعی چک می‌شود، تا در صورت فعال بودن همه  $P_i$  ها، رقم نقلی ورودی به خروجی انتقال یابد. خروجی دروازه AND به‌عنوان ورودی انتخابگر به یک مالتی‌پلکسر وارد می‌شود. مالتی‌پلکسر بین رقم نقلی جمع‌کننده موج (Cripple) و رقم نقلی مسیر فرعی ( $C_{skip}$ ) یکی را انتخاب می‌کند. برای افزایش احتمال استفاده از مسیر فرعی، جمع‌کننده به قسمت‌های کوچک‌تر تقسیم می‌شود. ادامه موارد زیر پاسخ داده می‌شوند:

۱. نحوه تقسیم‌بندی جمع‌کننده با مسیر فرعی رقم نقلی باید به چه صورت باشد؟

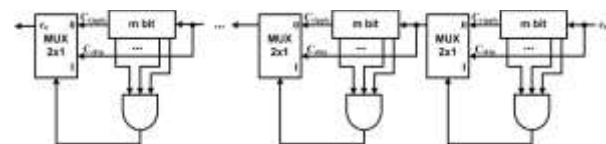
۲. آیا جمع‌کننده با مسیر فرعی رقم نقلی نسبت به جمع‌کننده موج عملکرد سریع‌تری دارد؟



شکل ۱۰: خاصیت جمع دو بیت هم ارزش



شکل ۱۱: جمع‌کننده با مسیر فرعی رقم نقلی [۴، ۵]



شکل ۱۲: تقسیم‌بندی جمع‌کننده با مسیر فرعی رقم نقلی  $n$  بیتی به  $k$  قسمت  $m$  بیتی [۴]

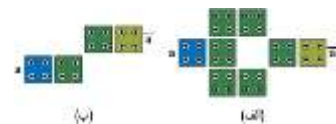
برای پاسخ به سؤالات بالا شکل ۱۲ مدنظر قرار گرفته می‌شود. در این شکل جمع‌کننده  $n$  بیتی به  $k$  قسمت  $m$  بیتی تقسیم شده است (رابطه ۵). هر قسمت کوچک‌تر در واقع یک جمع‌کننده موج  $m$  بیتی است. بدترین تأخیر برای جمع دو عدد  $n$  بیتی در کل جمع‌کننده با مسیر فرعی رقم نقلی رخ می‌دهد که در قسمت‌های اول و آخر از مسیر جمع‌کننده موج و در قسمت‌های میانی از مسیرهای فرعی گذر شود [۴]. در بدترین سناریو، تأخیر کل قسمت‌های اول و آخر نیز باید تحمل گردند. بنابراین، باید دو بیت اول قسمت اول و دو بیت آخر قسمت آخر یکسان باشند. این زمان از رابطه ۶ به‌دست می‌آید [۴]، که در آن  $\tau_{FA}$  و  $\tau_{skip}$  به‌ترتیب برابر با تأخیر تمام جمع‌کننده و مالتی‌پلکسر است.

$$n = k \times m \quad (5)$$

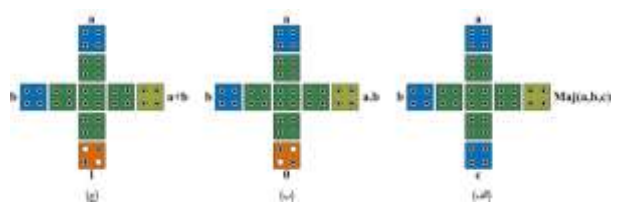
$$\tau_{worst-case} = (m-1)\tau_{FA} + (k-1)\tau_{skip} + (m-1)\tau_{FA} \quad (6)$$



شکل ۷: روش‌های عبور دو سیم QCA از روی یکدیگر؛ (الف) با استفاده از ترکیب سلول‌های مربع و لوزی، (ب) با استفاده از قابلیت پیاده‌سازی چندلایه، (ج) با استفاده از اختلاف فاز مناطق زمانی



شکل ۸: انواع روش‌های متداول پیاده‌سازی معکوس‌کننده [۲۳]



شکل ۹: پیاده‌سازی دروازه‌های منطقی [۲۳]؛ (الف) تابع رأی اکثریت، (ب) تابع AND، (ج) تابع OR

$$Majority(a,b,c) = ab + ac + bc \quad (1)$$

## ۲-۲- جمع‌کننده با مسیر فرعی رقم نقلی

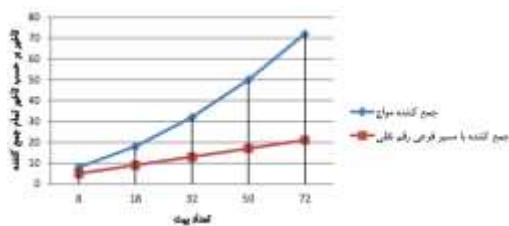
یکی از جمع‌کننده‌های سریع، جمع‌کننده با مسیر فرعی رقم نقلی است. این جمع‌کننده مشابه جمع‌کننده موج است، با این تفاوت که در آن مسیری فرعی برای انتقال رقم نقلی وجود دارد [۴]. طبق خاصیت جمع دو بیت هم‌ارزش، که در شکل ۱۰ نشان داده شده است، هرگاه دو بیت ورودی با یکدیگر متفاوت باشند رقم نقلی خروجی معادل رقم نقلی ورودی است. در این حالت رقم نقلی انتشار می‌یابد، اما اگر بیت‌های ورودی یکسان باشند، رقم نقلی جدید تولید می‌گردد. تساوی بیت‌های ورودی با دروازه XOR قابل تشخیص است.

اگر همه بیت‌های ورودی دو به دو متفاوت باشند، می‌توان رقم نقلی ورودی را از مسیر فرعی به خروجی رساند و تأخیر انتشار رقم نقلی را حذف کرد. این موضوع با اضافه کردن یک خروجی سوم به تمام جمع‌کننده بررسی می‌شود. تمام جمع‌کننده‌ای که در اینجا به کار برده می‌شود دارای سه ورودی و سه خروجی است. علاوه بر خروجی‌های معمول (روابط ۲ و ۳)، خروجی  $P_i$  برای تشخیص متفاوت بودن یا نبودن ورودی‌ها است (رابطه ۴).

$$SUM = a \oplus b \oplus c \quad (2)$$

$$CARRY = Maj(a,b,c) = ab + ac + bc \quad (3)$$

$$P = a \oplus b \quad (4)$$



شکل ۱۳: مقایسه بیشینه تأخیر جمع کننده موج و جمع کننده با سیر فرعی رقم نقلی

### ۳- طرح پیشنهادی

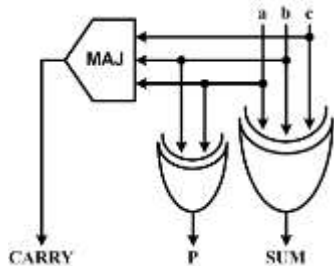
همان‌طور که در بخش‌های قبل توضیح داده شد، تمام جمع‌کننده‌ای که در جمع‌کننده با مسیر فرعی رقم نقلی استفاده می‌شود با تمام جمع‌کننده‌های مرسوم کمی تفاوت دارد. این تمام جمع‌کننده دارای یک خروجی  $P_i$  است که برای به‌دست آوردن آن به یک دروازه XOR علاوه‌بر آنچه که در یک تمام جمع‌کننده معمولی وجود دارد، نیاز است (شکل ۱۴). بنابراین، ساختار داخلی تمام جمع‌کننده‌های مورد استفاده در مدار جمع‌کننده با مسیر فرعی رقم نقلی مجدداً طراحی شده است. بدین منظور:

۱. برای پیاده‌سازی خروجی CARRY از تابع رأی اکثریت شکل ۹ (الف) استفاده خواهد شد.

۲. برای پیاده‌سازی خروجی SUM از تابع XOR سه ورودی شکل ۱۵ (الف) استفاده خواهد شد [۲۵]. این مدار بدون دخالت و آمیختن توابع رأی اکثریت، مقدار XOR ورودی‌ها را محاسبه می‌کند [۲۵].

۳. برای پیاده‌سازی خروجی P از تابع XOR دو ورودی شکل ۱۵ (ب) استفاده خواهد شد [۲۵]. کافی است تا در تابع XOR سه ورودی، مقدار یکی از ورودی‌ها صفر در نظر گرفته شود تا مقدار خروجی برابر تابع XOR دو ورودی باشد.

در پیاده‌سازی تابع رأی اکثریت (شکل ۹ (الف)) و دروازه‌های XOR (شکل ۱۵)، با هدف همگام‌سازی، ورودی‌ها نسبت به ه‌سته مرکزی سلول (که در شکل‌های ۹ (الف) و ۱۵ به شکل یک به‌علاوه (+) قرار گرفته‌اند و به ترتیب با رنگ‌های سبز و بنفش مشخص شده‌اند) در یک فاز عقب‌تر قرار می‌گیرند.



شکل ۱۴: تمام جمع‌کننده مورد نیاز در جمع‌کننده با سیر فرعی رقم نقلی

رابطه ۶ از جمع سه بخش تشکیل شده است. بخش اول زمان محاسبه اولین جمع‌کننده موج است، که دو بیت اول آن مساوی باشند. بخش دوم زمان محاسبه مالتی پلکس‌های میانی برای گذر رقم نقلی از مسیر فرعی است. بخش سوم نیز زمان محاسبه آخرین جمع‌کننده موج است که دو بیت آخر آن مساوی باشند. با فرض تساوی  $\tau_{FA}$  و  $\tau_{skip}$  ( $\tau = \tau_{FA} = \tau_{skip}$ )، رابطه ۶ را می‌توان به فرم رابطه ۷ بازنویسی کرد [۴]. این فرض با توجه به این واقعیت که پیاده‌سازی سطح گیت هر دو مدار تمام جمع‌کننده و مالتی پلکسر در ۲ طبقه انجام‌پذیر است، تخمینی نزدیک به واقعیت است.

$$\tau_{worst-case} = (2m + k - 3)\tau \quad (7)$$

در ادامه می‌توان با ادغام روابط ۵ و ۷ به رابطه ۸ رسید [۴]، و برای پیداکردن بیشینه مقدار تأخیر مشتق آن برحسب  $m$  را برابر صفر قرار داد (رابطه ۹) [۴]. بدین ترتیب رابطه بین  $m$  و  $n$  مشخص می‌شود.

$$\tau_{worst-case} = \left(2m + \frac{n}{m} - 3\right)\tau \quad (8)$$

$$\frac{d}{dm} \left(2m + \frac{n}{m} - 3\right) = 2 + \frac{-n}{m^2} = 0 \Rightarrow m = \sqrt{\frac{n}{2}} \quad (9)$$

با جا گذاری نتیجه رابطه ۹ در رابطه ۵، مقدار  $k$ ، یعنی تعداد قسمت‌های جمع‌کننده با مسیر فرعی رقم نقلی، مشخص می‌شود (رابطه ۱۰) [۴]. به‌عنوان مثال اگر قرار بر جمع دو عدد هشت بیتی با استفاده از جمع‌کننده با مسیر فرعی رقم نقلی باشد، کل جمع‌کننده باید به چهار قسمت دو بیتی تقسیم شود.

$$k = \frac{n}{\sqrt{\frac{n}{2}}} \quad (10)$$

به‌علاوه، با ادغام روابط ۷ و ۹ و ۱۰، بیشینه تأخیر جمع‌کننده با مسیر فرعی رقم نقلی برحسب  $n$  به‌دست می‌آید (رابطه ۱۱) [۴]. در یک جمع‌کننده موج  $n$  بیتی تأخیر برابر  $n \times \tau_{FA}$  است. در نتیجه، محاسبات بالا نشان می‌دهد که حتی در بدترین سناریو هم باز جمع‌کننده با مسیر فرعی رقم نقلی از جمع‌کننده موج سریع‌تر است. برای مثال، برای جمع دو عدد ۳۲ بیتی، بیشینه تأخیر جمع‌کننده با مسیر فرعی رقم نقلی برابر ۱۳۲ و تأخیر جمع‌کننده موج ۳۲۲ می‌باشد. مطابق شکل ۱۳ اختلاف تأخیر در جمع‌کننده‌های بزرگ‌تر بیشتر است.

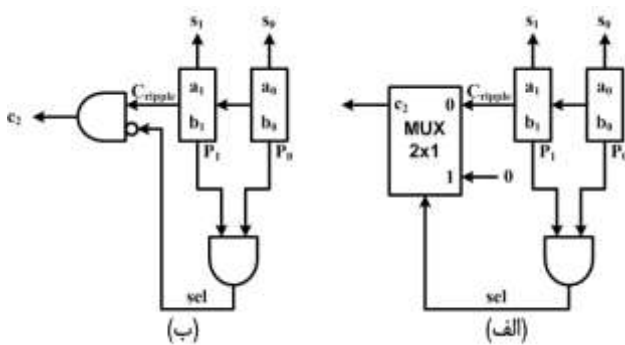
$$\tau_{worst-case} = \left(2\sqrt{\frac{n}{2}} + \frac{n}{\sqrt{\frac{n}{2}}} - 3\right)\tau = \left(\frac{2n}{\sqrt{\frac{n}{2}}} - 3\right)\tau \quad (11)$$



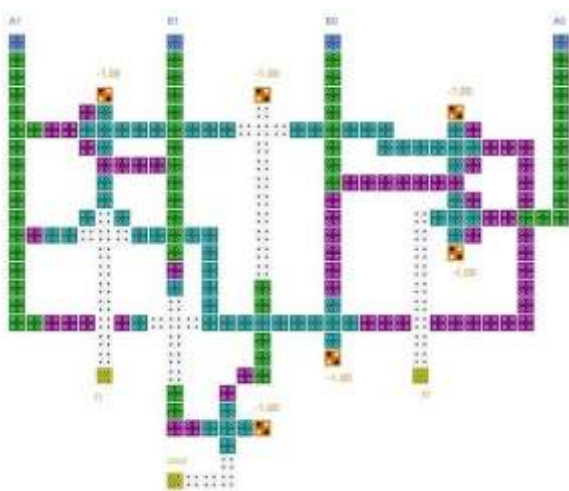
دروازه AND جایگزین کرد. رابطه ۱۲ در واقع معادله عملکرد مالتی‌پلکسر است که در آن عبارت sel.0 قابل حذف است. مدار ساده شده طرح پیشنهادی نیز در شکل ۱۸ نشان داده شده است.

$$c_2 = \overline{sel}.C_{ripple} + sel.0 = \overline{sel}.C_{ripple} \quad (12)$$

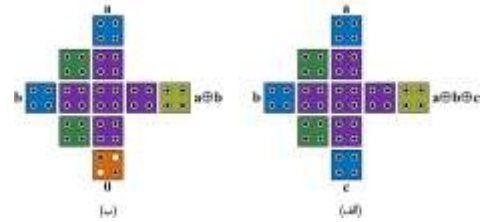
از کنارهم قراردادن طرح‌های شکل ۱۶ و ۱۸، یک جمع‌کننده با مسیر فرعی رقم نقلی هشت بیتی طراحی شده است (شکل ۱۹). کل ساختار پیشنهادی منطبق با شکل ۱۱ می‌باشد، با این تفاوت که در دو بیت اول طبق آنچه توضیح داده شد، ساده‌سازی صورت گرفته است. بنابراین، در هر دو بیت متوالی احتمال عبور رقم نقلی از مسیر فرعی وجود دارد. در این مدار، برای عبور سیم‌ها از روی یکدیگر از ترکیب روش‌های مربع و لوزی (شکل ۷ (الف)) و اختلاف فاز مناطق زمانی (شکل ۷ (ج)) استفاده شده است.



شکل ۱۷: نحوه ساده‌سازی جمع‌کننده با مسیر فرعی رقم نقلی برای دو بیت اول؛ (الف) مرحله اول ساده‌سازی، (ب) مرحله دوم ساده‌سازی

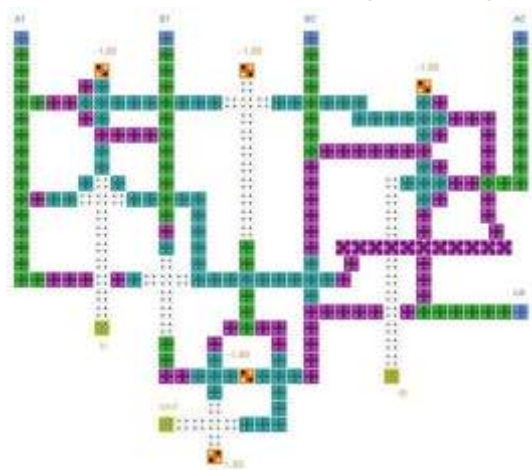


شکل ۱۸: طرح پیشنهادی برای جمع‌کننده با مسیر فرعی رقم نقلی دو بیتی بدون رقم نقلی ورودی



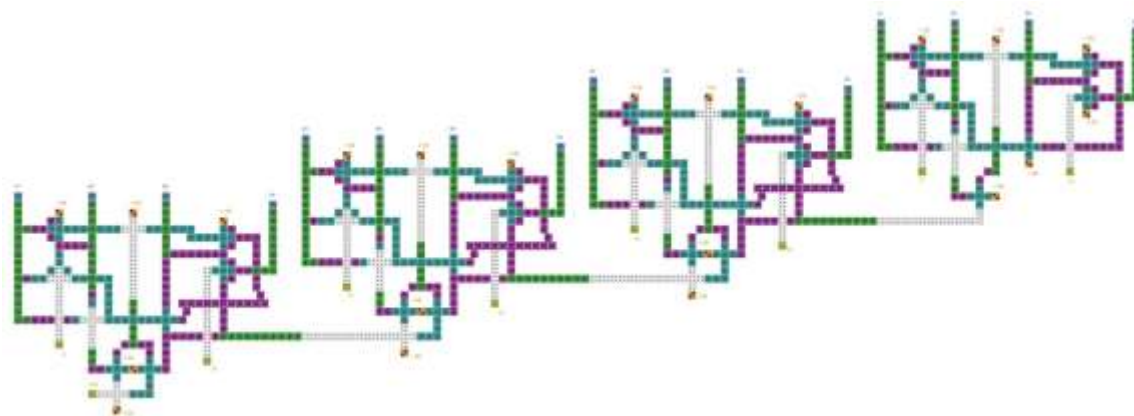
شکل ۱۵: پیاده‌سازی دروازه XOR؛ (الف) سه ورودی [۲۵]، (ب) دو ورودی [۲۵]

درحالی‌که پیاده‌سازی‌های بسیاری برای تابع XOR وجود دارد، استفاده از دروازه‌های شکل ۱۵ این مزیت را به همراه خواهند داشت که تمامی خروجی‌های تمام جمع‌کننده مورد نیاز (شکل ۱۴) تنها پس از گذشت یک فاز کلاک تولید خواهند شد. این کمترین میزان تأخیر ممکن است. طرح پیشنهادی جمع‌کننده با مسیر فرعی رقم نقلی برای جمع دو عدد دو بیتی (A1A0 و B1B0) در شکل ۱۶ نشان داده شده است. این شکل دقیقاً منطبق بر دو بیت اول شکل ۱۱ می‌باشد. رقم نقلی ورودی در صورت عدم تساوی زوج‌های (A0, B0) و (A1, B1) از مسیر فرعی به رقم نقلی خروجی منتقل می‌شود. در حالت دیگر، رقم نقلی خروجی نهایی برابر رقم نقلی تمام جمع‌کننده دوم خواهد بود. در جمع‌کننده‌های چند بیتی، با توجه به این واقعیت که رقم نقلی ورودی همواره صفر است، این قابلیت وجود دارد که اولین تمام جمع‌کننده با نیم جمع‌کننده جایگزین گردد. این امر، مطابق با شکل ۱۷ (الف)، منجر به ساده‌سازی مدار جمع‌کننده می‌شود. در این حالت، ورودی دوم مالتی‌پلکسر رقم ثابت صفر است. در واقع رقم نقلی که از مسیر فرعی گذر داده می‌شود همواره صفر است.



شکل ۱۶: طرح پیشنهادی برای جمع‌کننده با مسیر فرعی رقم نقلی دو بیتی با رقم نقلی ورودی

این مدار را می‌توان باز هم ساده‌تر کرد. مطابق با آنچه در رابطه ۱۲ و شکل ۱۷ (ب) آمده است، کل مدار مالتی‌پلکسر را نیز می‌توان با یک

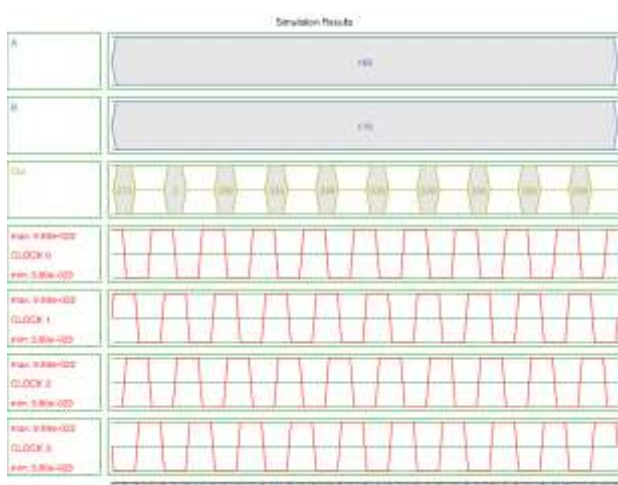


شکل ۱۹: طرح پیشنهادی برای جمع کننده با مسیر فرعی رقم نقلی هشت بیتی

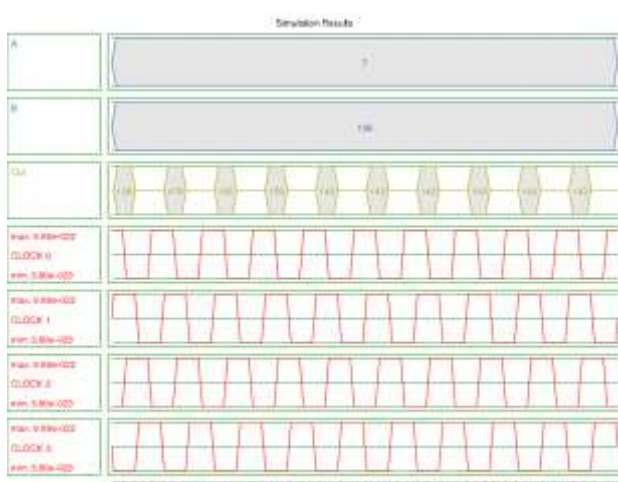
#### ۴- نتایج شبیه سازی

طرح پیشنهادی با نرم افزار QCA Designer و مفروضات نشان داده شده در جدول ۱ شبیه سازی شده است. به دلیل فضای حالت بسیار بزرگ، امکان تست تمام الگوهای ورودی برای جمع کننده هشت بیتی وجود ندارد، اما سعی شده است علاوه بر تست تعداد زیادی از ورودی های تصادفی، انتخاب الگوهای ورودی هوشمندانه نیز با شند. بدین منظور، بهترین و بدترین سناریوی ممکن بررسی می شود.

برخلاف جمع کننده موج، عملکرد و سرعت جمع کننده با مسیر فرعی رقم نقلی به الگوی ورودی ها مربوط است. بدترین سناریوی ممکن در بخش ۲-۲ شرح داده شد. این سناریو زمانی رخ می دهد که دو عدد در دو بیت ابتدایی و انتهایی با یکدیگر یکسان بوده و سایر بیت ها متفاوت باشند. برای مثال، دو عدد  $A=(11111111)_2=(255)_{10}$  و  $B=(10000001)_2=(129)_{10}$  این ویژگی را دارند. در این حالت، تأخیر مدار شکل ۱۹ برابر پنج سیکل کامل کلاک است. نتایج شبیه سازی نیز این موضوع را تصدیق می کند (شکل ۲۰).



شکل ۲۱: نتایج شبیه سازی برای جمع دو عدد ۱۶۹ و ۱۷۰ (مثالی از بهترین سناریو ممکن)



شکل ۲۲: نتایج شبیه سازی برای جمع دو عدد ۷ و ۱۳۶ (مثالی از یک حالت میانی)



شکل ۲۰: نتایج شبیه سازی برای جمع دو عدد ۲۵۵ و ۱۲۹ (مثالی از بدترین سناریو ممکن)

۲. سلول‌های ورودی و خروجی مدار مابین سلول‌های میانی بلوکه نشده و قابل انتشار و مسیریابی هستند.

۳. نتیجه جمع نسبت به سایر جمع‌کننده سریع‌تر آماده شود.

جدول ۲: مقایسه نتایج طرح پیشنهادی با جمع‌کننده‌های موج ۸

بیتی				
نوع طرح	مساحت ( $\mu\text{m}^2$ )	تعداد سلول	تأخیر (کلاک)	طرح و سال انتشار
مسطح	۲/۷۹	۱۰۵۰	۵ (بدترین حالت)	پیشنهادی (جمع‌کننده با مسیر فرعی رقم نقلی)
مسطح	۰/۴۵۲	۵۱۳	۹	جمع‌کننده موج [۱۳] (۲۰۱۸)
چند لایه	۰/۱۱	۲۵۷	۹	جمع‌کننده موج [۱۴] (۲۰۱۷)
چند لایه	۰/۵۹	۵۱۷	۱۰	جمع‌کننده موج [۱۵] (۲۰۱۶)
مسطح	۰/۴۹۲	۵۷۲	۱۱	جمع‌کننده موج [۱۶] (۲۰۱۵)
چند لایه	۱/۱۳	۱۶۰۶	۸	جمع‌کننده موج [۱۷] (۲۰۱۴)
چند لایه	۱/۵۴	۱۹۸۲	۱۰	جمع‌کننده با پیش بینی رقم نقلی [۱۸] (۲۰۱۲)
چند لایه	۳/۱۲	۱۷۸۵	۹	جمع‌کننده با پیش بینی رقم نقلی [۱۹] (۲۰۱۲)

جدول ۳: مقایسه نتایج طرح پیشنهادی با جمع‌کننده با مسیر فرعی رقم نقلی ۸ بیتی در فناوری CMOS

طرح	فناوری	تأخیر (ps)	توان (nW)	مساحت ( $\mu\text{m}^2$ )
پیشنهادی [۲۶]	QCA CMOS 45 nm	۵	۰/۰۹۴	۲/۷۹
		۵۰۰	۲۳۰۰۰	گزارش نشده

توان و انرژی مصرفی از دیگر عوامل مهم سنجش مدارهای الکترونیکی است. در این مقاله، با استفاده از نرم‌افزار QCAPro انرژی مصرفی برای جمع‌کننده‌های پیشنهادی با مسیر فرعی رقم نقلی دو بیتی با و بدون رقم نقلی ورودی (شکل‌های ۱۶ و ۱۸) اندازه‌گیری شده است. متوسط انرژی مصرفی در میزان انرژی تونلی  $1E_k$  و در دمای ۲ درجه کلوین برای طرح‌های نشان داده‌شده در شکل‌های ۱۶ و ۱۸ به ترتیب برابر  $1.28 \times 10^{-22}$  و  $8.49 \times 10^{-23}$  ژول می‌باشد. نقشه اتلاف انرژی آن‌ها نیز در شکل‌های ۲۳ و ۲۴ نشان داده شده است. در این شکل‌ها سلول‌های با رنگ‌های تیره‌تر انرژی بیشتری مصرف می‌کنند.

جدول ۱: مقادیر پارامترهای شبیه‌سازی

مقدار	نام پارامتر
Bistable Approximation	Simulation Engine
18 nm	Cell Size
200000	Number of Samples
0.001	Convergence Tolerance
65 nm	Radius of Effect
12.9	Relative Permittivity
$9.8 \times 10^{-22}$ J	Clock High
$3.8 \times 10^{-23}$ J	Clock Low
0	Clock Shift
2	Clock Amplitude Factor
11.5	Layer Separation
100	Maximum Iterations per Sample

جمع‌کننده با مسیر فرعی رقم نقلی این قابلیت را دارد که در سایر الگوهای ورودی جواب جمع را سریع‌تر آماده کند. در بهترین سناریو قسمت‌های مختلف جمع‌کننده شکل ۱۹ به موازات هم کار می‌کنند. این حالت زمانی رخ می‌دهد که به جز قسمت اول، سایر قسمت‌ها تولیدکننده رقم نقلی با شند؛ و نه انت شاردهنده آن. برای مثال، دو عدد دارا هستند. عملکرد موازی قسمت‌ها باعث می‌شود تا تأخیر مدار از پنج سیکل کامل کلاک به سه کاهش یابد. حاصل جمع این دو عدد مطابق با شکل ۲۱ در سه کلاک به دست آمده است. شکل ۲۲ نیز یک حالت میانی را نشان می‌دهد که جمع دو عدد  $A=(10101001)_2=(169)_{10}$  و  $B=(10101010)_2=(170)_{10}$  این ویژگی را  $A=(10001000)_2=(136)_{10}$  در چهار سیکل کلاک به دست آمده است. همان‌طور که پیش‌تر نیز اشاره شد، جمع‌کننده با مسیر فرعی رقم نقلی تاکنون با فناوری اتوماتای کوانتومی سلولی طراحی نشده است. بنابراین، نمونه مشابهی برای مقایسه وجود ندارد، اما عملکرد طرح پیشنهادی مطابق با آنچه در جدول ۲ آمده است با برخی از جمع‌کننده‌های موج و برخی از جمع‌کننده‌های با پیش‌بینی رقم نقلی مورد مقایسه قرار گرفته است. در این جدول تأخیر، تعداد سلول، مساحت، و نوع طرح‌ها آمده است.

علیرغم اشغال مساحت بیشتر، جمع‌کننده با مسیر فرعی رقم نقلی جواب جمع را سریع‌تر از جمع‌کننده‌های موازی که در سال‌های اخیر ارائه شده‌اند، محاسبه می‌کند. عملکرد مدار پیشنهادی حتی در بدترین سناریو هم از سایر مدارها سریع‌تر است. اشغال مساحت بیشتر نیز طبیعتاً به دلیل سربار اضافی موجود در جمع‌کننده با مسیر فرعی رقم نسبت به جمع‌کننده موج است. مسطح بودن طرح از دیگر مزایای مدار پیشنهادی است.

عملکرد جمع‌کننده پیشنهادی از جمع‌کننده‌های با پیش‌بینی رقم نقلی نیز بهتر است. جمع‌کننده با پیش‌بینی رقم نقلی به دلیل سربار زیاد، تعداد سلول زیادی دارد و مساحت زیادی نیز اشغال می‌کند. به طور خلاصه:

۱. طرح پیشنهادی کاملاً مسطح است.



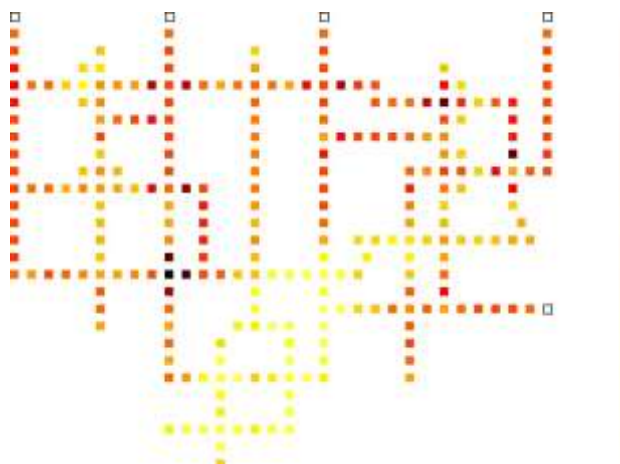
## ۵- نتیجه‌گیری

در این مقاله یک جمع‌کننده با مسیر فرعی رقم نقلی با استفاده از فناوری اتوماتای کوانتومی سلولوی طراحی گردید. طرح پیشنهادی مسطح بوده، ورودی‌ها و خروجی‌های آن قابل دسترس هستند، و نسبت به جمع‌کننده‌های موج و با پیش‌بینی رقم نقلی عملکرد سریع‌تری دارد. از معایب طرح پیشنهادی می‌توان به تعداد سلول و مساحت زیاد آن اشاره کرد، که البته این موضوع با وجود سربار ذاتی جمع‌کننده با مسیر فرعی رقم نقلی نسبت به جمع‌کننده موج قابل توضیح است. طرح پیشنهادی در فناوری QCA، در مقایسه با نمونه CMOS نیز بهبود بسیاری زیادی را نشان می‌دهد.

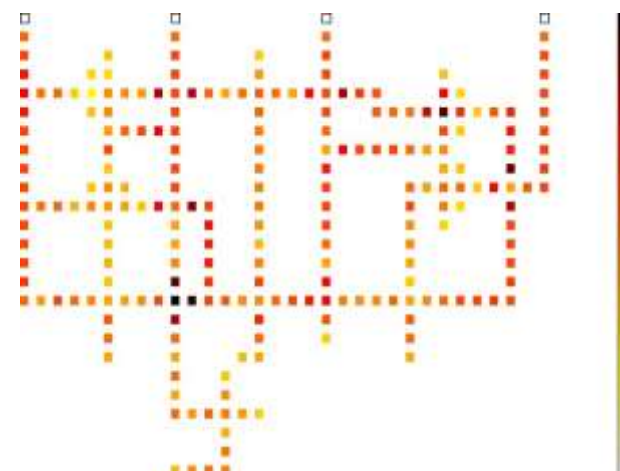
## مراجع

- [1] A. M. Shams and M. Bayoumi, "Performance evaluation of 1-bit CMOS adder cell," Proceedings of the IEEE International Symposium on Circuits and Systems VLSI, pp. 27-30, May 1999.
- [2] S. Mehrabi, R. Faghieh Mirzaee, S. Zamanzadeh and A. Jamalian, "Multiplication with m:2 and m:3 compressors: A comparative review," Canadian Journal of Electrical and Computer Engineering, vol. 40, no. 4, pp. 303-313, 2017.
- [3] G. B. Rosenberger, *Simultaneous carry adder*, U.S. Patent 2,966,305, 1960.
- [4] B. Parhami, *Computer Arithmetic: Algorithms and Hardware Design. Part II*, Oxford University Press, 2000.
- [5] M. Alioto and G. Palumbo, "A simple strategy for optimized design of one-level carry-skip adders," IEEE Transactions on Circuits and Systems I, vol. 50, no. 1, pp. 141-148, 2003.
- [6] Y. -B. Kim, "Challenges for nanoscale MOSFETs and emerging nanoelectronics," Transactions on Electrical and Electronic Materials, vol. 11, no. 3, pp. 93-105, 2010.
- [7] R. Martel, T. Schmidt, H. R. Shea, T. Hertel and P. Avouris, "Single- and multi-wall carbon nanotube field-effect transistors," Applied Physics Letters, vol. 73, no. 17, pp. 2447-2449, 1998.
- [8] K. Matsumoto, M. Ishii, K. Segawa, Y. Oka, B. J. Vartanian and J.S. Harris, "Room temperature operation of a single electron transistor made by the scanning tunneling microscope nanooxidation process for the TiO<sub>x</sub>/Ti system," Applied Physics Letters, vol. 68, no. 1, pp. 34-36, 1995.
- [9] C. S. Lent, P. D. Tougaw, W. Porod and G. H. Bernstein "Quantum cellular automata," Nanotechnology, vol. 4, pp. 49-57, 1993.
- [10] D. A. Reis, C. A. T. Campos, T. R. B. S. Soares, O. P. V. Neto and F. S. Torres, "A methodology for standard cell design for QCA," IEEE International Symposium on Circuits and Systems, pp. 2114-2117, May 2016.
- [11] K. Kim, K. Wu and R. Karri, "Quantum-dot cellular automata design guideline," IEICE Transactions on Fundamentals of Electronics, Communications and Computer Science, vol. E89-A, no. 6, pp. 1607-1614, 2006.
- [12] W. Lin, E. E. Swartzlander Jr. and M. O'Neill, *Design of semiconductor QCA systems. Part II*, Artech House, 2013.
- [13] T. N. Sasamal, A. K. Singh and U. Ghanekar, "Efficient design of coplanar ripple carry adder in QCA," IET Circuits, Devices & Systems, vol. 12, no. 5, pp. 594-605, 2018.

در انتها، یک مقایسه بین جمع‌کننده نهایی پیشنهادی با مسیر فرعی رقم نقلی (شکل ۱۹) با معادل هشت بیتی آن در فناوری CMOS [۲۶] انجام شده است. نتایج مقایسه برای عوامل بیشینه تأخیر و متوسط توان مصرفی در جدول ۳ آورده شده است. محاسبه تأخیر و توان مصرفی برای طرح پیشنهادی با توجه به اینکه فرکانس کلاک مدارهای QCA برابر یک تراهرتز گزارش شده است [۱۱]، صورت گرفته است. بیشینه تأخیر مدار پیشنهادی برابر پنج سیکل کلاک است که معادل ۵ پیکو ثانیه می‌شود. برای محاسبه توان مصرفی، محدودیت عدم توانایی نرم‌افزار QCAPro برای اندازه‌گیری انرژی مدارهای بزرگ وجود دارد. بنابراین، توان مصرفی به صورت تخمینی با جمع انرژی مصرفی مدارهای دو بیتی محاسبه شده است. همان‌طور که در جدول ۳ مشاهده می‌شود، طرح پیشنهادی در فناوری QCA در همه عوامل نسبت به معادل آن در فناوری CMOS عملکرد بسیار بهتری دارد.



شکل ۲۳: نقشه اتلاف انرژی مربوط به شکل ۱۶



شکل ۲۴: نقشه اتلاف انرژی مربوط به شکل ۱۸

- automaton circuits,” *International Journal of Circuits Theory and Applications*, vol. 29, no. 1, pp. 37-47, 2001.
- [21] C. S. Lent and P.D. Tougaw, “A device architecture for computing with quantum dots,” *Proceedings of IEEE*, vol. 85, no. 4, pp. 541-541, 1997.
- [22] C. Labrado and H. Thapliyal, “Design of adder and subtractor circuits in majority logic-based field-coupled QCA nanocomputing,” *Electronics Letters*, vol. 52, no. 6, pp. 464-466, 2016.
- [23] J. C. Das and D. De, “Optimized multiplexer design and simulation using quantum dot-cellular automata,” *Indian Journal of Pure & Applied Physics*, vol. 54, pp. 802-811, 2016.
- [24] R. Zhang, P. Gupta and N. K. Jha, “Majority and minority network synthesis with application to QCA-, SET-, and TPL-based nanotechnologies,” *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems*, vol. 26, no. 7, pp. 1233-1245, 2007.
- [25] T. N. Sasamal, A. K. Singh and U. Ghanekar, “Design of non-restoring binary array divider in majority logic-based QCA,” *Electronics Letters*, vol. 52, no. 24, pp. 2001-2003, 2016.
- [26] P. Verma, S. Jaishwal and S. Rathora, “Design of high-speed and low power carry skip adder,” *International Journal of Advanced Research in Computer and Communication Engineering*, vol. 6, no. 11, pp. 272-275, 2017.
- [14] M. Mahad and M. Waje, “Implementation of ripple carry adder using advanced multilayer three input XOR gate (TIEO) technique in QCA technology,” *International Journal of Electronics and Communication Engineering and Technology*, vol. 8, no. 4, pp. 60-67, 2017.
- [15] M. Mohammadi, M. Mohammadi and S. Gorgin, “An efficient design of full adder in quantum-dot cellular automata,” *Microelectronics Journal*, vol. 50, pp. 35-43, 2016.
- [16] D. Abedi, G. Jaberipur and M. Sangsefidi, “Coplanar full adder in quantum-dot cellular automata via clock-zone-based crossover,” *IEEE Transactions on Nanotechnology*, vol. 14, no. 3, pp. 497-504, 2015.
- [17] S. Perri, P. Corsonello and G. Cocorullo, “Area-delay efficient binary adders in QCA,” *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*, vol. 22, no. 5, pp. 1174-1179, 2014.
- [18] V. Pudi and K. Sridharan, “Low complexity design of ripple carry and Brent-Kung adders in QCA,” *IEEE Transactions on Nanotechnology*, vol. 11, no. 1, pp. 105-119, 2012.
- [19] V. Pudi and K. Sridharan, “New decomposition theorems on majority logic for low-delay adder designs in quantum dot cellular automata,” *IEEE Transactions on Circuits and Systems II*, vol. 59, no. 10, pp. 678-682, 2012.
- [20] M. Macucci, G. Iannaccone, S. Francaviglia and B. Pellegrini, “Semiclassical simulation of quantum cellular