

طراحی تغییر دهنده فاز باند Ku نوع غیرفعال در تکنولوژی CMOS 0.18 μ m

امیر بشارتی راد^۱، کارشناس ارشد؛ علی مدی^۲، دانشیار

۱- دانشکده مهندسی برق - دانشگاه شریف - تهران - ایران - amir.besharati@ee.sharif.ir

۲- دانشکده مهندسی برق - دانشگاه شریف - تهران - ایران - medi@sharif.edu

چکیده: در این مقاله، یک شیفت دهنده فاز باند Ku برای استفاده در سیستم فرستنده-گیرنده مبتنی بر آرایه فازی در تکنولوژی CMOS 0.18 μ m طراحی شده است. مشخصات طراحی برای این بلوک خطای مؤثر فاز کمتر از ۲/۵ در پهنای باند ۱۵/۳GHz تا ۱۸/۳GHz و تلفات کمتر از ۱۲dB برای شش بیت شیفت دهنده فاز است. برای پیاده سازی این شیفت دهنده فاز از ساختار متداول فیلتر بالاگذر-پایین گذر استفاده شده است. در شبیه سازی این بلوک از ابزار تحلیل الکترومغناطیسی نرم افزار ADS استفاده شده است. ساختار طراحی شده ساخته و اندازه گیری شده است و انطباق خوبی بین نتایج اندازه گیری و ساخت وجود دارد.

واژه های کلیدی: شیفت دهنده فاز، باند فرکانسی Ku، خطای مؤثر فاز، پروسه CMOS 0.18 μ m، شبیه سازی الکترومغناطیسی.

Design of Ku-band Passive Phase shifter in 0.18 μ m CMOS Technology

A. Besharati Rad¹, Master of Science; A. Medi², Associate Professor

1- Faculty of Electrical and Computer Engineering, Sharif University of Technology, Tehran, Iran, Email: amir.besharati@ee.sharif.ir

2- Faculty of Electrical and Computer Engineering, Sharif University of Technology, Tehran, Iran, Email: medi@sharif.edu

Abstract: This paper presents a 0.18 μ m CMOS Ku-band 6-bit phase shifter for phased array transceiver applications. Design specifications of proposed phase shifter are less than 2.5 σ RMS phase error (less than half LSB) in 15.3 GHz to 18.3 GHz frequency band (16.8 GHz center frequency) and less than 12 dB insertion loss for phased array applications. Phase shifter blocks are designed in high - pass and low - pass topology and ADS software has been used for conducting electromagnetic simulations. Designed phase shifter has been fabricated in 180nm TSMC process and measured. There is excellent matching between simulation and measured results.

Keywords: Phase shifter, Ku frequency band, Effective phase error, CMOS 0.18 μ m process, Electromagnetic simulation.

تاریخ ارسال مقاله: ۱۳۹۷/۰۷/۱۸

تاریخ اصلاح مقاله: ۱۳۹۷/۰۹/۲۹ و ۱۳۹۷/۱۰/۱۶

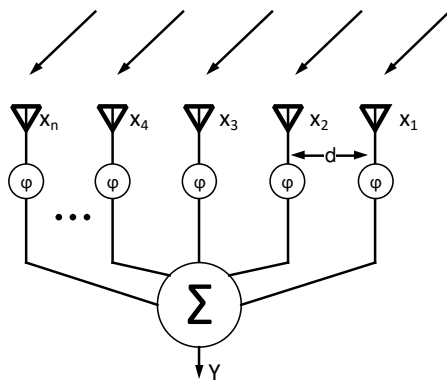
تاریخ پذیرش مقاله: ۱۳۹۸/۰۳/۲۹

نام نویسنده مسئول: علی مدی

نشانی نویسنده مسئول: دانشکده مهندسی برق - دانشگاه شریف - تهران - ایران

۱- مقدمه

آنچه که از شیفت دهنده فاز انتظار می‌رود، این است که در همه حالت‌های شیفت فاز تلفات ثابت داشته باشد. بخش کنترلی یک شیفت دهنده فاز می‌تواند یک ولتاژ آنالوگ باشد که فاز را به‌طور پیوسته کنترل کند [۴] و یا یک بخش دیجیتال که به‌صورت گسسته و با گام‌های مشخصی فاز را تغییر دهد [۵]. همچنین شیفت دهنده فاز نوع فعال علاوه بر تغییر فاز می‌تواند دارای بهره مثبت باشد. معیاری که کیفیت عملکرد تغییر فاز یک شیفت دهنده فاز دیجیتال را مشخص می‌کند خطای مؤثر فاز نام دارد. به این ترتیب که مقدار خطای هر حالت از شیفت فاز نسبت به حالت مطلوب محاسبه می‌شود و در نهایت مقدار مؤثر خطابه دست می‌آید. همچنین معیاری که در درجه دوم اهمیت است تغییرات تلفات یا بهره با تغییر فاز مورد نظر است. از انواع مختلف بلوک‌های شیفت دهنده فاز می‌توان به نوع RTPS [۶، ۷]، فیلتر بالاگذر-پایین گذر [۸، ۹]، IQ و نوع تأخیر زمانی اشاره کرد [۹].



شکل ۱ ساختار آنتن‌ها و شیفت دهنده‌های فاز یک سیستم آنتن آرایه فازی.

پیاده‌سازی سیستم‌های فرستنده و گیرنده آرایه فازی به دلیل تعداد زیاد آنتن‌ها در آرایه قیمت بالایی دارد. به همین دلیل لازم است از تکنولوژی‌هایی برای این کار استفاده شود که هم قابلیت اطمینان بالایی داشته باشند و هم ارزان باشند. به همین دلیل حتی با وجود کارایی بالاتر از بابت تلفات در تکنولوژی‌هایی مانند GaAs یا GaN همچنان تکنولوژی CMOS 180nm و به‌ویژه CMOS برای طراحی است. [۱۰-۱۳]

در این مقاله هدف پیاده‌سازی یک شیفت دهنده آنتن آرایه فازی در پهنای باند ۱۵/۳GHz تا ۱۸/۳GHz و تلفات کمتر از ۱۲dB برای شش بیت شیفت‌دهنده فاز است.

۲- پیاده‌سازی خط انتقال

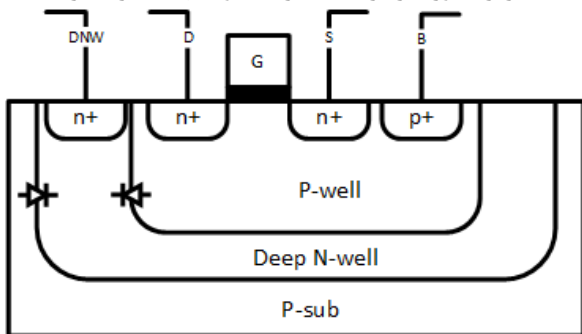
برای اتصال بلوک‌های شیفت‌دهنده فاز از خط انتقال میکرواستریپ استفاده شده است. پیاده‌سازی خط انتقال میکرواستریپ روی تراشه در شکل ۲ نشان داده شده است. همان‌طور که در شکل ۲ مشاهده می‌شود از فلز لایه ۶ که دارای ضخامت بیشتری است، برای مسیر سیگنال و از فلزهای لایه ۱ و ۲ به‌صورت متصل‌شده به هم برای مسیر زمین استفاده شده است. انتخاب لایه ضخیم برای مسیر گذر سیگنال باعث کاهش

سیستم‌های آنتن آرایه فازی برای تبادل اطلاعات به‌جای استفاده از یک آنتن در گیرنده و یک آنتن در فرستنده از چندین آنتن برای هر یک بهره می‌برند. این کار مزایای زیادی را به سیستم فرستنده گیرنده می‌افزاید. از جمله مزایای سیستم آنتن آرایه فازی می‌توان به امکان افزایش ظرفیت کانال، افزایش نسبت سیگنال به نویز، امکان چرخش پرتو بدون نیاز به چرخش فیزیکی آنتن [۱] و جمع شدن فضایی توان خروجی فرستنده‌ها اشاره کرد. این سیستم‌ها علیرغم مزیت‌هایی که دارند دشواری‌هایی از قبیل افزایش هزینه و پیچیدگی طراحی، نیاز به کالیبراسیون سیستم و نیاز به پیاده‌سازی الگوریتم‌های شکل‌دهی پرتو^۲ دارند. امروزه کاربردهای سیستم آنتن آرایه فازی بسیار افزایش یافته است. چند نمونه از این کاربردها، سیستم‌های هواشناسی، سیستم‌های مراقبت پرواز و اتومبیل‌های هوشمند هستند.

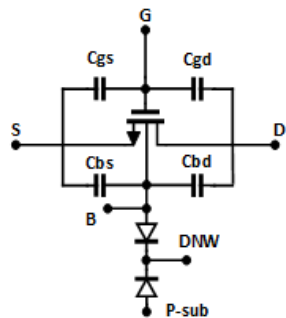
سیستم‌های فرستنده و گیرنده آرایه فازی دارای بخش‌های مختلفی از قبیل تقویت‌کننده کم نویز [۲]، تقویت‌کننده توان و شیفت دهنده فاز هستند. در سیستم‌های آنتن آرایه فازی برای شکل‌دهی پرتو آنتن در جهت مطلوب باید فاز و بهره سیگنال ارسالی یا دریافتی از هر آنتن به‌صورت مجزا کنترل شود. با فرض حالت گیرندگی و این که همه آنتن‌ها ایزوتروپیک باشند و با توجه به شکل ۱ اگر فاز سیگنال دریافتی آنتن شماره ۱ از جهت نشان داده شده در شکل مرجع فرض شود، فاز سیگنال دریافتی توسط آنتن ۲ به میزان اختلاف مدت زمان رسیدن سیگنال به آنتن‌های ۱ و ۲ دچار تأخیر فاز خواهد شد. به همین ترتیب با فرض فاصله مساوی بین آنتن‌ها اختلاف فاز یکسانی بین هر دو آنتن مجاور خواهد بود. حال اگر فاز سیگنال رسیده به هر آنتن توسط بلوک شیفت دهنده فاز، به میزان تأخیر فاز نسبت به سیگنال آنتن نخست و در خلاف جهت آن بچرخد، تمامی سیگنال‌ها در بلوک ترکیب‌کننده توان هم‌فاز جمع خواهند شد و به این ترتیب مجموعه آنتن‌ها، سیگنال ورودی در این جهت خاص را دریافت خواهند کرد. در اصطلاح پرتو اصلی^۳ آرایه آنتن‌ها در این جهت قرار گرفته است. علاوه بر این کار با انتخاب بهره‌ها و فازهای مختلف برای سیگنال هر آنتن می‌توان سیگنال‌های مطلوب را در جهت‌های مختلف با ویژگی‌های مورد نظر دریافت کرد. حتی می‌توان به مسئله انتخاب بهره‌ها و فازهای مختلف برای هر آنتن به‌صورت یک مسئله بهینه‌سازی با هدف‌های مختلف نگاه کرد [۳]. برای مثال، حالت بهینه برای دریافت بیشینه توان، یا کم کردن پرتوهای کناری^۴ و مسائل دیگری از این دست، با استفاده از رویکرد بهینه‌سازی در سیستم آنتن آرایه فازی قابل پیاده‌سازی هستند.

با توجه به آنچه گفته شد می‌توان تعریف کلی از یک شیفت دهنده فاز ایده‌آل را بیان کرد. شیفت دهنده فاز غیرفعال ایده‌آل، دو دهانه منطبق و بدون تلف در فرکانس کاری مورد نظر است که می‌تواند فاز سیگنال ورودی را نسبت به حالت مرجع خود به میزان مطلوب که توسط بخش کنترلی مشخص می‌شود، تغییر دهد. البته هیچ‌یک از شیفت دهنده‌های فاز غیرفعال در عمل بی تلف نیستند. اما با پذیرش تلفات

اثر بارگذاری خازن‌های ایجاد شده توسط دیودها و خازن‌های Cbs، Cbd، Cgd و Cgs، پایه‌های بدنه و گیت ترانزیستور به ترتیب توسط مقاومت $10\text{ K}\Omega$ به زمین و ولتاژ کنترلی وصل شده‌اند. همچنین برای بهبود عملکرد سیگنال بزرگ کلیدهای ترانزیستوری، پایه‌های سورس و درین با مقاومت $10\text{ K}\Omega$ به بایاس $1/5$ ولت متصل شده‌اند و به این ترتیب ولتاژ $3/3$ ولت برای روشن کردن کلید و صفر ولت برای خاموش کردن کلید استفاده می‌شوند. این کار باعث می‌شود تا ترانزیستور در حالت خاموش دارای ولتاژ گیت سورس منفی باشد و اعمال ولتاژ با دامنه بالا به سورس یا درین ترانزیستور به راحتی باعث تغییر وضعیت خاموش به روشن کلید نشود. در نهایت با بایاس کردن و استفاده از مقاومت‌های $10\text{ K}\Omega$ می‌توان ابعاد کلید ترانزیستوری را برای عملکرد مطلوب بهینه‌سازی کرد.



(الف)

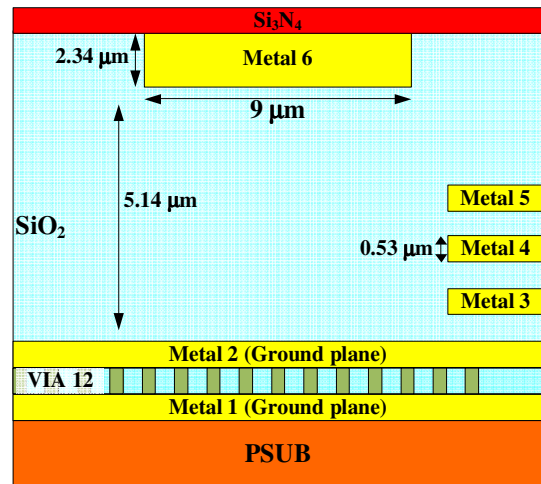


(ب)

شکل ۲ الف) ساختار کلید ترانزیستوری nmos-1T1R روی تراشه، ب) مدل مداری به همراه خازن‌ها و دیودهای پارازیتیک

در شکل ۴ ضریب ازوا^۵ و تلفات کلید برحسب عرض گیت ترانزیستور و به ازای تعداد fingerهای مختلف از ۱ تا ۲۰، نمایش داده شده است. همان‌طور که در نمودار قابل مشاهده است با بزرگ‌تر شدن کلید تلفات و ضریب ازوا کمتر می‌شوند. در عین حال که کاهش تلفات مطلوب است اما کاهش ضریب ازوا باعث می‌شود که بخشی از سیگنال وارد مسیر ناخواسته شود و همچنین اثر کلیدزنی در بیت‌های مجاور عملکرد بیت شیفتردهنده فاز را تحت تأثیر قرار دهد. در نتیجه انتظار می‌رود که برای کاهش تلفات نمی‌توان سایز ترانزیستور را تا هر اندازه‌ای افزایش داد، ضمن این‌که نمودارهای شکل ۴ نشان می‌دهند افزایش سایز ترانزیستور بعد از یک حد خاص تغییر خاصی در تلفات ایجاد نمی‌کند. با این استدلال‌ها و توجه به نمودار، انتظار می‌رود با انتخاب سایز ترانزیستور به صورت $18 < \text{number of finger (N)} < 11$ و $8\text{ }\mu\text{m} < \text{Width (W)} < 6/5\text{ }\mu\text{m}$ ، برای کلیدهای SPDT بتوان ایزولاسیون را در

تلفات خط انتقال می‌شود. همچنین سطح مسیر زمین زیر خط انتقال سه برابر ضخامت فلز لایه ۶ انتخاب شده است. با استفاده از شبیه‌سازی الکترومغناطیسی عرض فلز لایه ۶ برای دستیابی به امپدانس مشخصه $50\text{ }\Omega$ به میزان $9\text{ }\mu\text{m}$ انتخاب شده است. نتایج شبیه‌سازی الکترومغناطیسی تلفات حدود $0/5\text{ dB}$ به ازای هر 1 mm طول خط را نشان می‌دهند.



شکل ۲ ساختار خط انتقال پیاده‌سازی شده روی تراشه

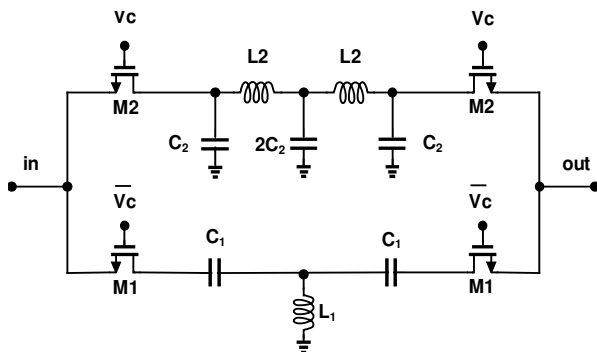
۳- ساختار پیاده‌سازی کلیدهای ترانزیستوری

با توجه به این‌که در تمامی انواع شیفتردهنده‌های فاز با کنترل دیجیتال، انتخاب دو حالت مسیر عبور سیگنال با استفاده از کلیدهای ترانزیستوری انجام می‌پذیرد، لازم است در ابتدا و پیش از شروع طراحی نگاهی به عملکرد کلیدهای ترانزیستوری داشت. آنچه که در حالت ایده آل از یک کلید انتظار می‌رود همان دو سری است که توسط یک پایه کنترلی بتواند بدون تأخیر دو حالت مدار باز و اتصال کوتاه را محقق سازد. البته با توجه به این‌که در کاربرد مورد نظر فرکانس بخش کنترل دیجیتال بسیار پایین‌تر از بخش آنالوگ مدار است محدودیتی از بابت تأخیر روشن و خاموش شدن کلید وجود ندارد. ولی تحقق دو حالت مدار باز و اتصال کوتاه به ترتیب برای داشتن تلفات اندک و کمینه کردن اثر بارگذاری بیت‌های مجاور روی هر بیت شیفتردهنده فاز از اهمیت ویژه‌ای برخوردار است. در شکل ۳ الف) ساختار کلی یک ترانزیستور nmos-1T1R در پروسه $0.18\text{ }\mu\text{m}$ CMOS قابل مشاهده است. با توجه به نمایش برش عرضی مشاهده می‌شود که دو عدد دیود به واسطه قرار گرفتن ناحیه Deep N-well در بین ناحیه P-well و P-substrate وجود دارند. جهت عملکرد صحیح ترانزیستور، ناحیه P-substrate به زمین مدار وصل می‌شود و بالاترین ولتاژ موجود در مدار به ناحیه Deep N-well وصل می‌شود. بایاس معکوس دیودهای موجود باعث ایجاد اثر خازنی بین دو سر دیود می‌شود. به این ترتیب در فرکانس کاری بخش آنالوگ، این خازن‌ها باعث بارگذاری و افت عملکرد کلیدها می‌شوند. خازن‌های پارازیتیک ترانزیستور nmos-1T1R در شکل ۳ ب) نشان داده شده است. برای کاهش

لازم است اشاره شود در تمام روابطی که در ادامه وجود دارند مقدار $\omega_0 = \pi \times 16/8 \text{ Grad/s}$ و $Z_0 = 50 \Omega$ است.

۴-۱- بیت‌های پرارزش (۰۹۰ و ۰۱۸۰)

شماتیک ساختار معمول برای بیت ۰۹۰ و ۰۱۸۰ در شکل ۵ نشان داده شده است. مسیر بالاگذر، شامل سلف $L1$ و خازن‌های $C1$ و به صورت T-section است و مسیر پایین‌گذر، شامل سلف‌های $L2$ و خازن‌های $C2$ که به صورت دو طبقه π -section است. لازم به ذکر است که در مسیر پایین‌گذر می‌توان فقط با استفاده از یک طبقه π -section نیز بیت ۰۱۸۰ را پیاده‌سازی کرد اما دو طبقه کردن این بخش باعث افزایش پهنای باند شیفت فاز می‌شود. به طور کلی هرچه مسیری که برای پیاده‌سازی فیلتر بالاگذر یا پایین‌گذر طراحی می‌شود از بخش‌های بیشتری تشکیل شود پهنای باند شیفت فاز بیشتری به دست می‌آید. اما آنچه که با افزایش بخش‌ها رخ می‌دهد، افزایش مساحت مصرفی است.



شکل ۵ ساختار پیاده‌سازی بلوک‌های شیفت فاز ۰۹۰ و ۰۱۸۰

برای انتخاب مسیر عبور سیگنال ورودی، دو سمت مدار کلیدهای ترانزیستوری SPDT قرار گرفته‌اند. با صرف‌نظر از اثر پارازیتیکی حالت روشن و خاموش کلیدهای SPDT برای محاسبه مقادیر المان‌های مدار باید چهار شرط را در نظر گرفت تا مقدار چهار مجهول $L1$ ، $C1$ ، $L2$ و $C2$ به دست آید. در تحلیل این ساختارها از روش تحلیل زوج و فرد^۷ استفاده شده است. این چهار شرط عبارتند از:

- تطبیق برای مسیر بالاگذر [۱۴]

$$\Gamma_{e,HPF} = \frac{1 - 2L_1C_1\omega^2 - Z_0C_1\omega j}{1 - 2L_1C_1\omega^2 + Z_0C_1\omega j} \quad (1)$$

$$\Gamma_{o,HPF} = \frac{1 - Z_0C_1\omega j}{1 + Z_0C_1\omega j} \quad (2)$$

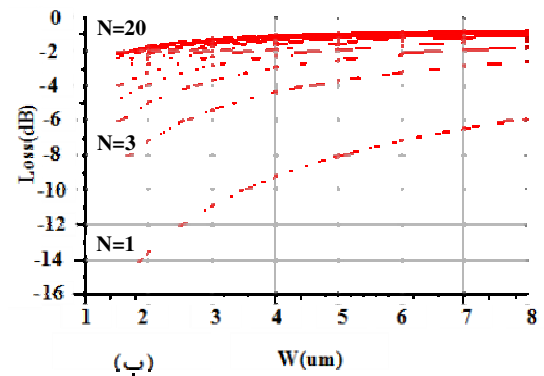
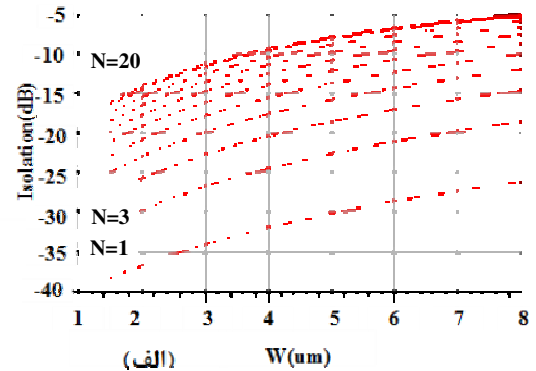
$$S_{11HPF} = \frac{1}{2} [\Gamma_{e,HPF} + \Gamma_{o,HPF}] = 0 \quad (3)$$

در نتیجه:

$$C_1^2 Z_0^2 \omega^2 + 1 = 2L_1C_1\omega^2 \quad (3)$$

تطبیق برای مسیر پایین‌گذر،

حد قابل قبولی به دست آورد و در نهایت اندکی تلفات را برای حالت روشن کلید پذیرفت. لازم به ذکر است برای ترانزیستورهایی که خازن پارازیتیکی حالت خاموش آن‌ها جذب مدار می‌شود نمی‌توان با این نمودار به تحلیل مناسبی دست یافت و باید با رویکرد دیگری به بررسی آن‌ها پرداخت.



شکل ۴ نمودارهای الف) ضریب انزوا، ب) تلفات کلیدهای ترانزیستوری بر حسب عرض و تعداد finger

۴- پیاده‌سازی بلوک‌های شیفت فاز

ساختار مدار پیاده‌سازی بلوک‌های شیفت دهنده فاز برای تمام بیت‌ها به صورت مدار بالاگذر و پایین‌گذر انتخاب شده است. به صورتی که هر ساختار دارای دو حالت بالاگذر و پایین‌گذر است. حالت پایین‌گذر به عنوان حالت مرجع و حالت بالاگذر به عنوان حالت شیفت فاز انتخاب می‌شود. در هر یک از حالت‌های مدار باید شرط تطبیق ورودی و خروجی رعایت شود. همچنین شرط اختلاف فاز S_{21} بین حالت‌های بالاگذر و پایین‌گذر برابر با مقدار مطلوب پیاده‌سازی آن بیت و شرط صفر شدن مشتق اختلاف فاز بین دو حالت مدار برای دستیابی به اختلاف تأخیر گروه صفر و داشتن اختلاف فاز مطلوب در پهنای باند بیشتر باید ارضا شوند. به طور کلی برای طراحی و با توجه به قابلیت‌های تکنولوژی و ویژگی ساختارهای مختلف شیفت دهنده‌های فاز دیجیتال بالاگذر-پایین‌گذر (HLPF) بیت‌ها به سه دسته تقسیم بندی شده‌اند:

- بیت‌های پر ارزش (۰۹۰ و ۰۱۸۰)
- بیت‌های میانی (۰۴۵ و ۰۲۲/۵)
- بیت‌های کم ارزش (۰۱۱/۵۲۵ و ۰۵/۶۲۵)

پایین گذر مدار در شکل ۷ نمایش داده شده است. همانند طراحی برای بیت‌های پر ارزش در این ساختار هم باید چهار شرط برقرار باشد:

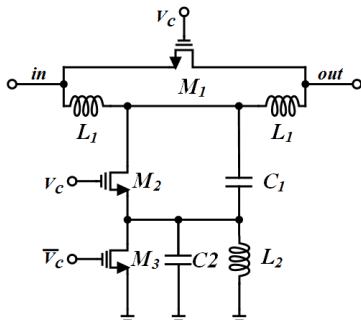
- تطبیق برای مسیر پایین گذر [۱۴]

$$\Gamma_{e,LPF} = \frac{(L_1 C_1 \omega^2 - 2)j - Z_0 C_1 \omega}{(L_1 C_1 \omega^2 - 2)j + Z_0 C_1 \omega} \quad (14)$$

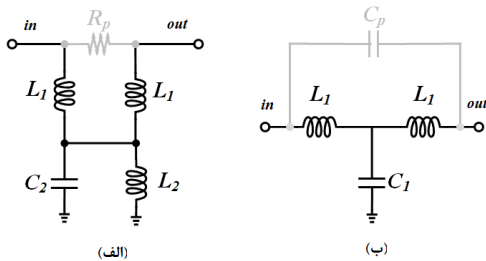
$$\Gamma_{o,LPF} = \frac{L_1 \omega j - Z_0}{L_1 \omega j + Z_0} \quad (15)$$

$$S_{11LPF} = \frac{1}{2} [\Gamma_{e,LPF} + \Gamma_{o,LPF}] = \frac{1}{2} \left[\frac{-2L_1^2 C_1 \omega^3 + 4L_1 \omega - 2Z_0^2 C_1 \omega}{[L_1 C_1 \omega^2 - 2]j + Z_0 C_1 \omega} \cdot [L_1 \omega j + Z_0] \right] = 0 \quad (16)$$

$$L_1^2 C_1 \omega^2 + Z_0^2 C_1 = 2L_1 \quad (17)$$



شکل ۶ ساختار پیاده‌سازی بلوک‌های شیف‌ت فاز ۵۴ و ۲۲/۵۵



شکل ۷ حالت الف) بالاگذر ب) پایین گذر ساختار بیت‌های

۲۲/۵۵ و ۵۴۵

- تطبیق مدار بالاگذر،

برای برقراری این شرط کافی است که خازن C2 و سلف L2 در فرکانس مرکزی باهم نوسان کنند، تا مجموعه موازی L2 و C2 مدار باز شود:

$$C_2 L_2 \omega^2 = 1 \quad (18)$$

- اختلاف فاز S21 مسیر بالاگذر و پایین گذر برابر با Δφ باشد، حال با توجه به این که در مدار بالاگذر L2 و C2 باهم نوسان کرده و مدار باز شدند انتظار می‌رود که فاز S21 برای مدار بالاگذر صفر باشد

$$\Gamma_{e,LPF} = \frac{1 - Z_0 C_2 \omega j}{1 + Z_0 C_2 \omega j} \quad (4)$$

$$\Gamma_{o,LPF} = \frac{L_2 \omega j + Z_0 [L_2 C_2 \omega^2 - 2]}{L_2 \omega j - Z_0 [L_1 C_1 \omega^2 - 2]} \quad (5)$$

به طریق مشابه مدار بالاگذر برای ارضای تطبیق:

$$L_2 \omega = Z_0^2 C_2 \omega [2 - L_2 C_2 \omega^2] \quad (5)$$

اختلاف فاز S21 مسیر بالاگذر و فاز S21 مسیر پایین گذر برابر با ۱۸۰° باشد،

$$\angle S_{21HPF} = \frac{\pi}{2} - \tan^{-1} \left[\frac{2Z_0 L_1 C_1^2 \omega^3 - 2Z_0 C_1 \omega}{Z_0^2 C_1^2 \omega^2 + 2L_1 C_1 \omega^2 - 1} \right] \quad (6)$$

$$\angle S_{21LPF} = 2 \tan^{-1} \left(\frac{2Z_0 C_2 \omega}{Z_0^2 C_2 \omega^2 - 1} \right) \quad (7)$$

$$|\angle S_{21HPF} - \angle S_{21LPF}| = \pi \quad (8)$$

صفر شدن مشتق اختلاف فاز S21 مسیر بالاگذر و پایین گذر.

$$d \frac{[\angle S_{21HPF} - \angle S_{21LPF}]}{d\omega} = 0 \quad (9)$$

از حل همزمان چهار معادله (۳)، (۵)، (۸) و (۹) مقادیر المان‌ها به دست می‌آید [۱۵]:

$$L_1 = \frac{Z_0}{\omega_0 \sin\left[\frac{\Delta\phi}{2}\right]} \quad (10)$$

$$C_1 = \frac{1}{\omega_0 Z_0 \tan\left[\frac{\Delta\phi}{2}\right]} \quad (11)$$

$$L_2 = \frac{Z_0 \sin\left[\frac{\Delta\phi}{4}\right]}{\omega_0} \quad (12)$$

$$C_2 = \frac{\tan\left[\frac{\Delta\phi}{4}\right]}{\omega_0 Z_0} \quad (13)$$

۲-۴- بیت‌های میانی (۲۲/۵۵ و ۵۴۵)

شماتیک ساختار معمول در شکل ۶ نشان داده شده است. در این ساختار مسیر عبور سیگنال توسط SPDT تعیین نمی‌شود. بلکه کلیدهای داخل مدار برای تغییر حالت به نحوی عمل می‌کنند که شماتیک مدار در داخل خود دچار تغییر می‌شود. شماتیک هر یک از حالت‌های بالاگذر و

$$\frac{d}{dx}(\angle S_{21LPPF}) = -\frac{2L_1}{Z_0} \quad (28)$$

$$\frac{d}{d\omega}(\Delta\varphi) = \frac{d}{d\omega}(\angle S_{21LPPF} - \angle S_{21HPPF}) = 0 \quad (29)$$

• از حل معادله (۲۹) مقادیر L_2 و C_2 به دست می‌آید:

$$C_2 = \frac{2 \tan\left(\frac{\Delta\varphi}{2}\right)}{Z_0\omega} \quad (30)$$

$$L_2 = \frac{Z_0}{2\omega \tan\left(\frac{\Delta\varphi}{2}\right)} \quad (31)$$

۴-۳- بیت‌های کم ارزش (۱۱/۰۲۵ و ۵/۰۶۲۵)

محاسبه مقدار المان‌های ساختار استفاده شده برای پیاده‌سازی بیت‌های ۰۴۵ و ۲۲/۰۵ برای بیت ۱۱/۰۲۵ و ۵/۰۶۲۵ نشان می‌دهد که به دلیل کم بودن مقدار خازن‌ها و سلف‌های به دست آمده از محاسبه این ساختار مناسب بیت‌های کوچک نیست. بنابراین با حذف المان‌هایی که مقدار آن‌ها خیلی کم است مدار بلوک شیف‌دهنده فاز به صورت شکل ۸ درآمده است. لازم به ذکر است ترانزیستور M2 فقط در ساختار بیت ۱۱/۰۲۵ استفاده شده است و در ساختار بیت ۵/۰۶۲۵ حذف شده است. ساختار حالت‌های بالاگذر و پایین‌گذر در شکل ۹ قابل مشاهده است. اگر L_2 و C_2 در فرکانس مرکزی با هم رزونانس کنند، با فرض این‌که مقدار L_1 خیلی کوچک است و فاز ایجاد شده توسط مدار قسمت (ب) صفر است و شرط تطبیق امپدانس برقرار است، روابط حالت (الف) مطابق روابط ارائه شده برای ساختار بیت‌های ۰۴۵ و ۲۲/۰۵ است و مقدار L_1 و C_1 به روش قبل، محاسبه می‌شوند. در ادامه، رابطه‌ها برای بیت ۵/۰۶۲۵ که ترانزیستور M2 در آن حذف شده است نوشته می‌شود و انتظار می‌رود برای ساختار بیت ۱۱/۰۲۵ همان رابطه‌های پیشین با تقریب خوبی برقرار باشند و بتوان با استفاده از بهینه‌سازی به‌دقت مطلوب در طراحی این بیت رسید. اما برای به دست آوردن مقدار L_2 و C_2 باید از شرط برابری مشتق فاز مدار (الف) و (ب) استفاده کرد. به این ترتیب مقدار سلف L_2 و خازن C_2 از روابط (۳۲) و (۳۳) به دست می‌آید.

$$L_2 = \frac{Z_0^2(L_1^2\omega_0^2 + Z_0^2)}{2L_1\omega_0^2(2L_1^2\omega_0^2 + Z_0^2)} \quad (32)$$

$$C_2 = \frac{1}{L_2\omega^2} \quad (33)$$

به این ترتیب برای داشتن $\Delta\varphi$ مطلوب باید فاز S21 مدار پایین‌گذر برابر $\Delta\varphi$ باشد:

$$S_{21LPPF} = \frac{1}{2}[\Gamma_{e,LPPF} - \Gamma_{o,LPPF}] = \frac{2Z_0}{[2Z_0 - 2L_1C_1Z_0\omega^2] + [Z_0^2C_1\omega - L_1^2C_1\omega^3 + 2L_1\omega]j} \quad (19)$$

$$\angle S_{21LPPF} = \arctan\left(\frac{Z_0^2C_1\omega - L_1^2C_1\omega^3 + 2L_1\omega}{2Z_0[1 - L_1C_1\omega^2]}\right) = \Delta\varphi \quad (20)$$

با استفاده از رابطه (۱۷) و (۱۸):

$$\Delta\varphi = \arctan\left(\frac{2Z_0L_1\omega}{2Z_0^2 - L_1^2\omega^2}\right) \quad (21)$$

با فرض:

$$\tan(\omega) = \frac{L_1\omega}{Z_0} \quad (22)$$

و جایگذاری در:

$$L_1 = \frac{Z_0 \tan\left(\frac{\Delta\varphi}{2}\right)}{\omega_0} \quad (23)$$

با استفاده از (۱۷):

$$C_1 = \frac{\sin(\Delta\varphi)}{Z_0\omega_0} \quad (24)$$

• صفر شدن مشتق اختلاف فاز S21 مسیر بالاگذر و پایین‌گذر.

$$S_{21HPPF} = \frac{L_1L_2C_2\omega^3 - L_1\omega - 2L_2\omega}{Z_0(1 - L_2C_2\omega^2) + (L_1L_2C_2\omega^3 - L_1\omega - 2L_2\omega)j} \quad (25)$$

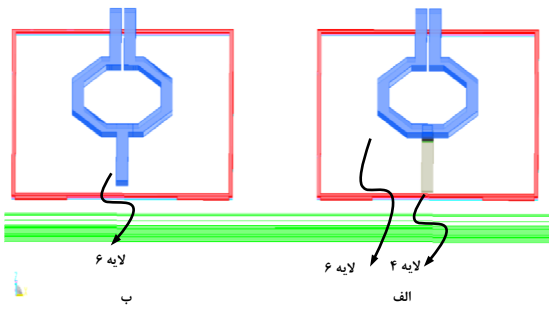
$$\angle S_{21HPPF} = -\arctan\left(\frac{Z_0[1 - L_2C_2\omega^2]}{L_1L_2C_2\omega^3 - L_1\omega - 2L_2\omega}\right) \quad (26)$$

• با مشتق‌گیری از فاز S21HPPF و استفاده از رابطه (۱۷):

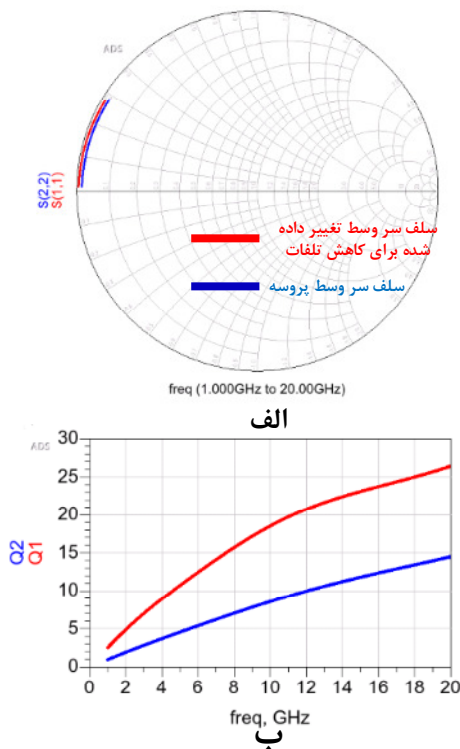
$$\frac{d}{dx}(\angle S_{21HPPF}) = -\frac{Z_0}{L_2\omega^2} \quad (27)$$

جدول ۱: مقادیر المان‌های مدار

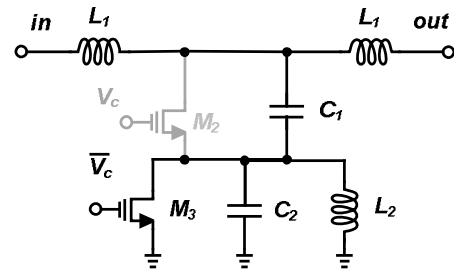
فاز بیت	C_1 (fF)	L_1 (pH)	C_2 (fF)	L_2 (pH)
۱۸۰	۱۸۹	۴۷۳	۱۵۴	۳۳۵
۹۰	۴۵۷	۶۷۰	۳۷	۱۸۱
۴۵	۱۳۴	۱۹۶	۱۵۷	۵۷۱
۲۲/۵	۷۲	۹۴	۷۵	۱۱۹۰
۱۱/۲۵	۳۷	۴۶	۳۷	۲۴۰۰
۵/۶۲۵	۱۸	۲۳	۱۸	۴۲۰۰



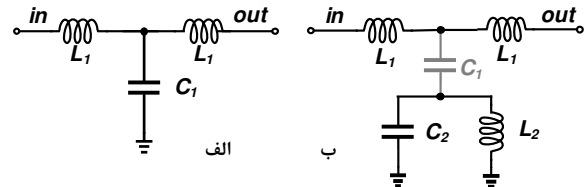
شکل ۱۰ الف) سلف سر وسط پروسه ب) سلف سر وسط تغییر داده شده برای کاهش تلفات



شکل ۱۱ الف) ضریب بازگشت سلف‌های پروسه و تغییر یافته از سر وسط در حالت زمین شدن دو سر متقارن ب) ضریب کیفیت هر سلف پس از تحلیل الکترومغناطیسی



شکل ۸ ساختار پیاده‌سازی بلوک‌های شیفتر فاز ۱۱/۰۲۵ و ۵/۰۶۲۵



شکل ۹ حالت الف) بالاگذر ب) پایین‌گذر ساختار بیت‌های ۱۱/۰۲۵ و ۵/۰۶۲۵

۵- پیاده‌سازی سلف‌ها

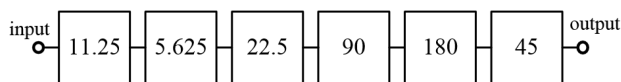
با توجه به روابط طراحی ارائه شده در بخش قبل مقادیر هر یک از المان‌های بیت‌های شیفتر فاز در جدول ۱ آمده است. برای پیاده‌سازی سلف‌ها، از سلف‌های خود پروسه به‌عنوان نقطه شروع طراحی استفاده شده است. اما سلف‌های پروسه TSMC RF 0.18 μ m نیاز به تغییراتی برای بهبود عملکرد در فرکانس‌های مایکروویو دارند. برای مثال در سلف‌های استاندارد پروسه بخشی از طول سلف را در لایه شماره ۴ یا ۵ پیاده‌سازی می‌شوند. مطابق شکل ۲ ضخامت لایه شماره ۴ و ۵ نسبت به لایه شماره ۶ حدود ۵ برابر کمتر است و همچنین ارتفاع لایه ۴ و ۵ تا زیرلایه سیلیکن نسبت به لایه ۶ کمتر است. این دو مسئله باعث افزایش تلفات سلف و افزایش خازن پارازیتیکی به زمین سلف می‌شود برای نمونه یک سلف سر وسط پروسه با یک سلف دیگر که به‌طور کامل در لایه ۶ پیاده‌سازی شده است در شکل ۱۰ نشان داده شده است. در ضریب بازگشت از سر وسط سلف در حالت زمین شدن دو سر متقارن دیگر سلف در شکل ۱۱ نمایش داده شده است. مشاهده می‌شود تلفات سلف تغییر داده شده کمتر است.

همچنین برای کاهش تلفات سلف‌ها یک حلقه در لایه یک برای زمین کردن تمام زیرلایه سیلیکن قرار گرفته در زیر سلف استفاده شده است. این حلقه توسط خود شرکت TSMC توصیه شده است. حلقه زمین در اطراف سلف علاوه بر کمک به کاهش تلفات سلف باعث کاهش کوپلینگ‌های بین سلف‌ها می‌شود. در این طراحی تمام مسیر پیاده‌سازی سلف در لایه ۶ انجام گیرد. و فقط در جاهایی که لازم است دو لایه از روی هم عبور کنند از لایه ۵ استفاده شده است.

پس از آن‌ها چون در این طراحی دو بیت ۰۴۵ و ۲۲/۰۵ بیشترین اثر را در هنگام تغییر حالت روی یکدیگر می‌گذارند، برای کاهش این اثر دو بلوک ۰۹۰ و ۰۱۸۰ که بیشترین تلفات را دارند بین دو بلوک ۰۴۵ و ۲۲/۰۵ قرار گرفته‌اند. در نهایت پس از انجام شبیه‌سازی‌های متعدد و بررسی عملکرد بلوک‌ها در کنار هم چیدمان شکل ۱۰ حاصل شده است.

جدول ۲: مقدار تلفات و نقطه فشردگی هر بیت شیفت فاز

شیفت فاز (deg)	تلفات (dB)	نقطه فشردگی تلفات (dBm)
۱۸۰	۳،۱	۲۰
۹۰	۳	۷
۴۵	۲،۱	۷
۲۲/۵	۱،۸	۱۱،۵
۱۱/۲۵	۰،۷	۲۳
۵/۶۲۵	۰،۶	۲۶



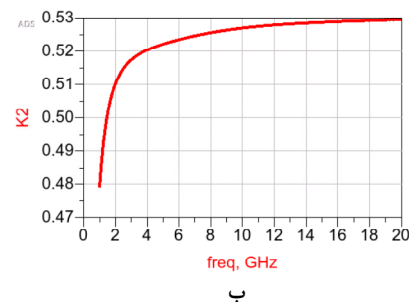
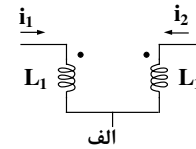
شکل ۱۰ ترتیب چیدمان بلوک‌های شیفت دهنده فاز.

همچنین جانمایی بلوک‌های شیفت فاز با استفاده از نرم‌افزار Cadence در تکنولوژی TSMC 0.18 μm انجام شده است. تصویر مدار جانمایی شده ۶ بیت شیفت دهنده فاز در شکل ۱۳ مشاهده می‌شود. لازم به ذکر است با توجه به بزرگ بودن ابعاد سلف‌ها نسبت به ابعاد سایر المان‌های مدار، مساحت نهایی تراشه به شدت تحت تأثیر تعداد و چیدمان سلف‌ها است. لذا در مسئله جانمایی و ترتیب چینش بیت‌های شیفت فاز این مسئله نیز مورد توجه قرار گرفته است و تا جای ممکن سعی شده است ابعاد نهایی تراشه کاهش یابد. ابعاد نهایی این بلوک ۱،۲mm در ۱،۶ mm است.

۷- نتایج شبیه‌سازی، اندازه‌گیری و مقایسه

پس از طراحی بلوک‌ها و انجام جانمایی، شبیه‌سازی الکترومغناطیسی توسط Momentum RF در نرم‌افزار ADS انجام شده است. پارامترهای پراکندگی حاصل از شبیه‌سازی بلوک شیفت دهنده فاز در شکل ۱۲ تا شکل ۱۴ نشان داده شده است. لازم به ذکر است که به دلیل ابعاد بزرگ مدار امکان شبیه‌سازی تمام بلوک به صورت یکجا خارج از توان نرم‌افزاری و سخت‌افزاری است، به همین دلیل نیمه ابتدایی بلوک، شامل مدارهای شیفت فاز ۵/۰۶۲۵، ۱۱/۰۲۵ و ۲۲/۰۵، در کنار هم شبیه‌سازی شده‌اند و نیمه انتهایی، شامل بلوک‌های ۰۴۵، ۰۹۰ و ۰۱۸۰، در کنار هم شبیه‌سازی شده‌اند و سپس هر دو نیمه در کنار هم به صورت یکجا شبیه‌سازی شده‌اند. در انجام شبیه‌سازی‌ها ترانزیستورها از سایر المان‌های مدار جدا شده‌اند و فقط بخش غیرفعال مدار، شامل خازن‌ها، سلف‌ها و خطوط انتقال به صورت الکترومغناطیسی تحلیل شده‌اند. همچنین معیاری که

در پیاده‌سازی سلف‌ها لازم است به مسئله تزویج داخلی سلف‌های سر وسط توجه شود. با توجه به سر نقطه‌دار که در شکل ۱۲(الف) قرار داده شده است، تزویج بین دو سلف نمایش داده شده منفی است. این امر باعث کاهش مقدر سلف می‌شود و لازم می‌دارد که شعاع سلف برای پیاده‌سازی سلف سر وسط افزایش یابد. نمودار شکل ۱۲(ب) مقدار تزویج سلف سر وسط نمایش داده شده در شکل ۱۱(ب) را نشان می‌دهد.



شکل ۱۲ (الف) نمایش یک سلف سر وسط (ب) ضریب تزویج K بر حسب فرکانس با تحلیل الکترومغناطیسی

۶- جانمایی بلوک‌های شیفت فاز

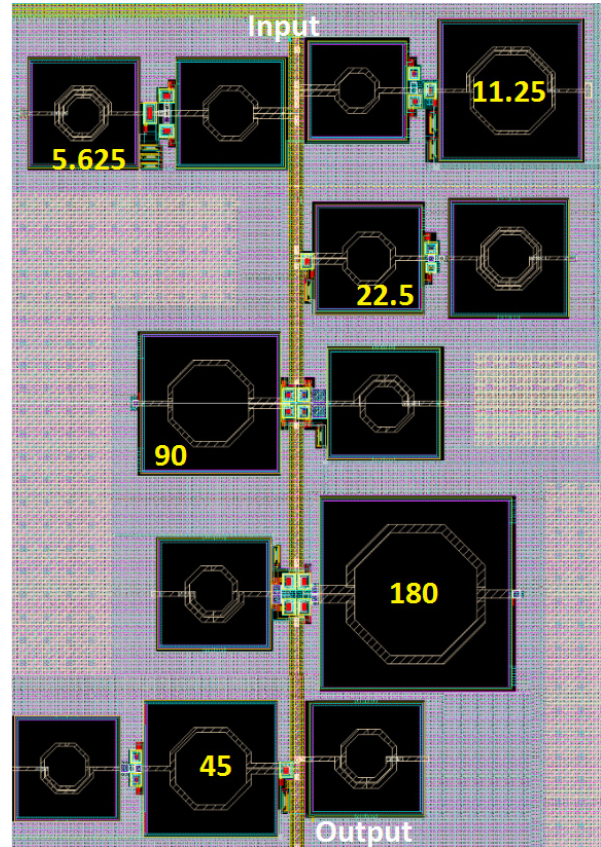
پس از طراحی هر یک از تک بلوک‌ها باید ترتیب چینشی انتخاب شود که عملکرد هر بلوک در حالت‌های مختلف سایر بلوک‌ها به دلیل تغییر تطبیق دیده شده در ورودی یا خروجی آن بلوک دچار مشکل نشود.

همچنین با توجه به وجود ترانزیستورهایی به عنوان کلید در ساختار انتظار می‌رود عملکرد ساختار با افزایش توان سیگنال ورودی دچار مشکل شود. چرا که بزرگ شدن دامنه سیگنال ورودی می‌تواند باعث تغییر وضعیت کلیدهای ترانزیستوری شود. افت عملکرد برای بلوک شیفت دهنده فاز می‌تواند در افزایش مقدار تلفات و یا در تغییر مقدار شیفت فاز هر بیت ظاهر شود. اما در بلوک شیفت‌دهنده فاز عدم تغییر مشخصه شیفت فاز بسیار مهم‌تر از تلفات است و حساسیت تغییر شیفت فاز با افزایش مقدار توان ورودی خیلی بیشتر است. به همین دلیل نقطه فشردگی ۰،۱dB به عنوان ملاک طبقه‌بندی بیت‌ها مورد نظر قرار گرفت تا مشخصه شیفت فاز هیچ تغییری نکند. به این ترتیب برای دستیابی به چینش بهینه لازم است به دو نکته توجه شود:

۱. قرار گرفتن بیت‌های با نقطه اشباع بیشتر در ابتدای زنجیره به دلیل قوی‌تر بودن توان سیگنال در ابتدای زنجیره
 ۲. قرار گرفتن بیت‌های دارای کلید نوع SPDT بین دو بلوکی که تغییر تطبیق امپدانس بیشتری دارند، برای جلوگیری از تغییر مقدار شیفت فاز هر بیت در اثر تغییر حالت بیت‌های مجاور
- مقدار تلفات و توان اشباع هر بیت در جدول ۲ آمده است. با توجه به این جدول می‌توان به نتیجه رسید که بیت‌های ۵۵،۶۳۵ و ۱۱/۰۲۵ در ابتدا قرار گیرند تا توان اشباع کل زنجیره بهترین حالت را داشته باشد و

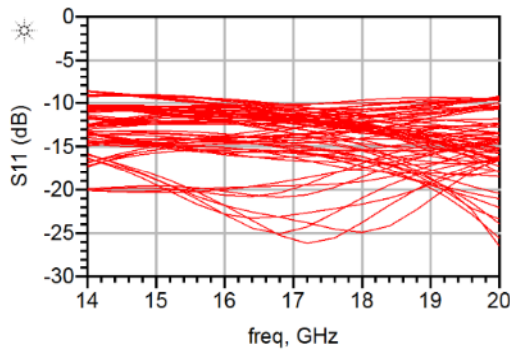
همچنین نتایج حاصل از اندازه‌گیری شیفیت دهنده فاز طراحی شده در جدول ۳ با چند نمونه شیفیت‌دهنده فاز طراحی شده دیگر مقایسه شده است. همان‌طور که مشاهده می‌شود تمام طراحی‌هایی که در تکنولوژی CMOS 0.18 μm انجام شده است، به لحاظ باند فرکانسی در فرکانس پایین‌تری قرار دارند و علیرغم این‌که طراحی انجام شده در این مقاله در فرکانس بالاتری بوده است، به لحاظ تلفات فاصله چندانی با سایر طراحی‌ها ندارد. همچنین با توجه به این‌که تکنولوژی‌های GaAs و GaN تلفات کمتری نسبت به CMOS دارند، طراحی‌های انجام شده با استفاده از آن‌ها منجر به مشخصه تلفات بهتری شده است اما به لحاظ هزینه تکنولوژی CMOS قیمت تمام شده کمتری دارد و دسترسی به این تکنولوژی به مراتب آسان‌تر است.

عملکرد تغییر فاز بلوک شیفیت‌دهنده فاز را توصیف می‌کند، خطای مؤثر فاز نام دارد. این معیار از میانگین جذر مجموع مربع‌های خطای فاز هر یک از حالت‌های فاز حاصل می‌شود. مقدار مؤثر خطای فاز بلوک طراحی شده در شکل ۱۵ قابل مشاهده است.

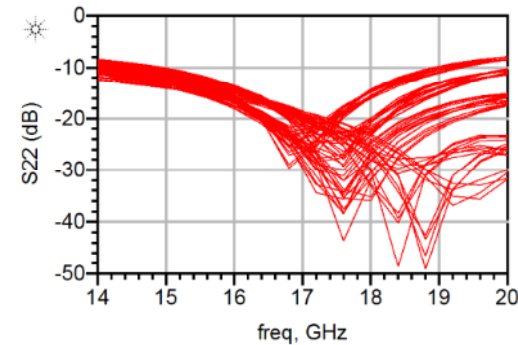


شکل ۱۱: جانمایی بلوک شیفیت دهنده فاز ۶ بیتی.

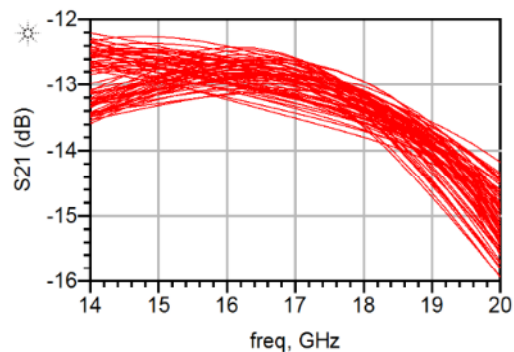
اندازه‌گیری‌های تراشه ساخته شده با استفاده از دستگاه Network Analyzer E5071C Agilent Technologies که قابلیت اندازه‌گیری در بازه فرکانسی ۰/۳GHz تا ۲۰ GHz دارد انجام شده است. با توجه به قرار داشتن این بلوک در یک سیستم بزرگ فرستنده/گیرنده، در میان چندین بلوک فعال و غیرفعال دیگر امکان اندازه‌گیری و بعضی از مشخصه‌های تراشه، مانند تلفات و تطبیق امپدانس ورودی و خروجی وجود ندارد. اما با توجه به این‌که مشخصه‌های تغییر فاز انطباق خوبی با شبیه‌سازی‌ها دارند می‌توان به‌طور قطع ادعا کرد که تطبیق امپدانس و تلفات به‌درستی شبیه‌سازی شده‌اند. زیرا اگر تطبیق امپدانس برای بلوک شیفیت‌دهنده فاز به هم بخورد، مشخصه فاز آن به‌شدت متأثر می‌شود. در شکل ۱۶ نتایج حاصل از اندازه‌گیری و شبیه‌سازی تغییر فاز هر یک از بیت‌ها ارائه شده است. در شکل ۱۷ خطای مؤثر فاز حاصل از اندازه‌گیری چهار نمونه ساخته شده آمده است. همچنین تصویر تراشه ساخته شده در شکل ۱۸ قابل مشاهده است. در این طراحی به‌خوبی مشاهده می‌شود که برای تراشه‌های متعدد خطای مؤثر فاز مقدار مطلوبی کمتر از نصف کوچک‌ترین بیت دارد.



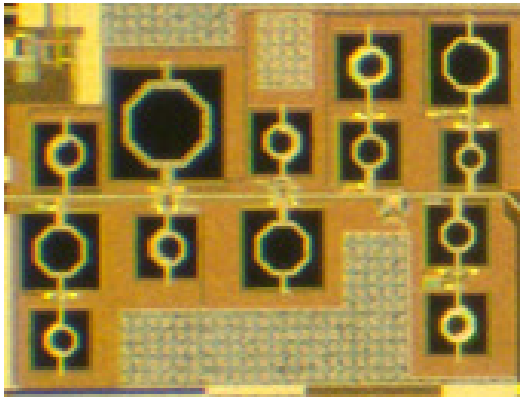
شکل ۱۲: مشخصه تطبیق ورودی در ۶۴ حالت فاز



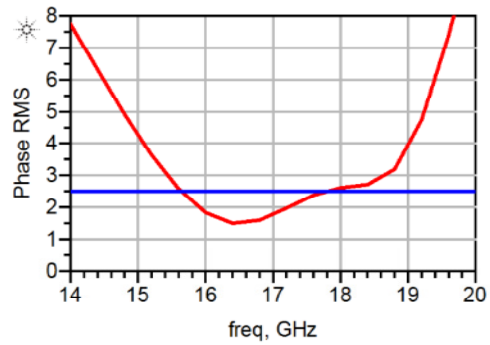
شکل ۱۳: مشخصه تطبیق خروجی در ۶۴ حالت فاز



شکل ۱۴: مشخصه تلفات شیفیت دهنده فاز در ۶۴ حالت فاز



شکل ۱۸ تصویر تراشه ساخته شده



شکل ۱۵ مشخصه خطای مؤثر فاز برای ۶۴ حالت شیفت فاز

۸- نتیجه گیری

در این مقاله یک شیفت‌دهنده فاز غیرفعال ۶ بیتی در باند Ku طراحی و شبیه‌سازی شده است. مهم‌ترین مشخصات این شیفت‌دهنده فاز عبارتند از: طراحی در تکنولوژی CMOS 0.18 μm که نسبت به سایر تکنولوژی‌های مشابه قیمت مناسب و دسترسی ساده‌تری دارد، طراحی با کم‌ترین تلفات ممکن و دستیابی به خطای مؤثر فاز کم‌تر از ۲/۵° در پهنای باند ۳ GHz.

مدار نهایی در نرم‌افزار Cadence جانمایی شده است و سپس تمام شبیه‌سازی‌ها با نرم‌افزار ADS انجام شده است و ابزار Momentum RF برای تحلیل‌های الکترومغناطیسی استفاده شده است.

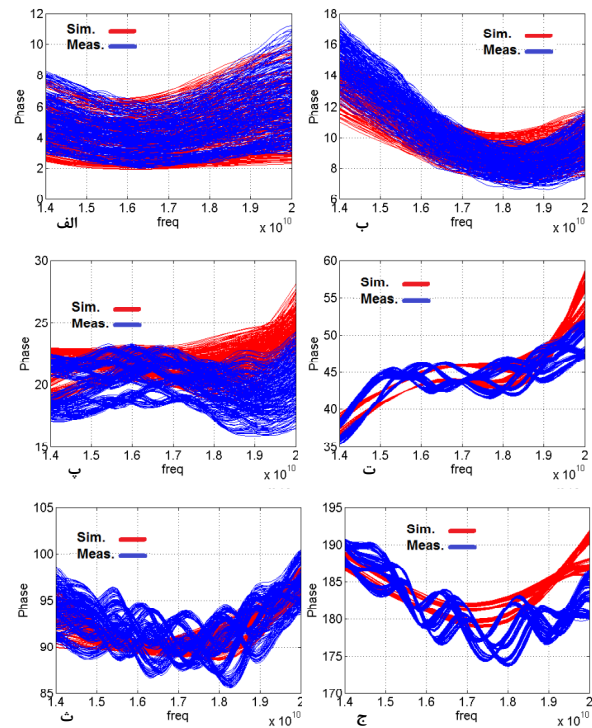
جدول ۲: مقایسه شیفت‌دهنده‌های فاز طراحی شده مشابه

مرجع	تعداد بیت	سطح mm ²	تکنولوژی	فرکانس (GHz)	تلفات (dB)	خطای مؤثر فاز
[۱۶]	۵	۱.۲۷	0.25μm GaAs	۱۷-۲۱	۵	۳°
[۱۷]	۴	۲.۶	0.4μm GaAs	۱.۴-۲.۴	۳.۵	۴°
[۱۷]	۴	۲.۶	0.4μm GaAs	۲.۳-۳.۸	۴	۴°
[۱۵]	۵	۱.۶۳	0.5μm GaAs	۲.۸-۳.۲	۶.۱	۱.۲°
[۱۵]	۵	۱.۶۷	0.5μm GaAs	۵.۷-۶.۳	۵.۷	۱.۶°
[۱۸]	۶	۹.۱۵	0.25μm GaAs	۱۲-۱۳	۶.۱	۱.۳°
[۱۸]	۵	۲۳.۵	0.25μm GaN	۱۸-۱۲	۹	۴.۵°
[۸]	۵	۴.۳۴	0.18μm CMOS	۱۰-۱۴	۱۴.۵	۸°
[۵]	۶	۴.۱۶	0.18μm CMOS	۲.۵-۳.۲	۱۳	۲°
×	۶	۱.۹۲	0.18μm CMOS	۱۵-۱۸	۱۲	۲.۵°

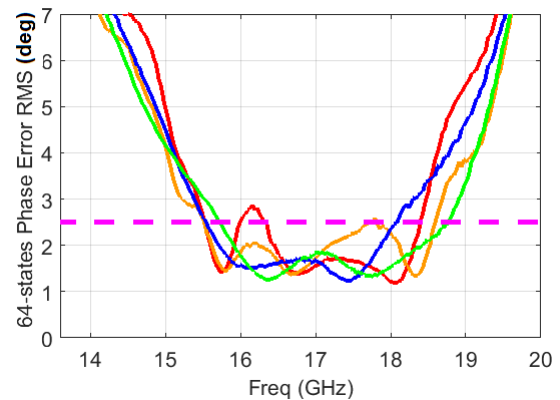
این مقاله

سپاسگزاری

با تشکر از اعضای محترم آزمایشگاه طراحی مدارهای سیستم‌های مجتمع دانشکده برق دانشگاه شریف، جناب آقای دکتر مقصدی و آقای دکتر قاضی زاده که در انجام این پروژه از مشاوره‌های ایشان استفاده شده است.



شکل ۱۶ مشخصه شیفت فاز هر یک از بیت‌های شیفت فاز در تمام حالت‌های سایر بیت‌ها



شکل ۱۷ خطای مؤثر فاز اندازه‌گیری شده برای چهار نمونه ساخته شده

مراجع

- cell with reduced delay variation over frequency," *IEEE J. Solid-State Circuits*, vol. 50, no. 3, pp. 693-703, 2015.
- [10] Ghazizadeh, Mohammad Hossein, and Ali Medi. "A 125-ps 8-18-GHz CMOS Integrated Delay Circuit." *IEEE Transactions on Microwave Theory and Techniques* (2018). (early access)
- [11] Meghdadi, Masoud, Milad Piri, and Ali Medi. "A Highly Linear Dual-Gain CMOS Low-Noise Amplifier for X-Band." *IEEE Transactions on Circuits and Systems II: Express Briefs* 65.11 (2018): 1604-1608.
- [12] Alizadeh, Amirreza, et al. "Design of a 2-12-GHz Bidirectional Distributed Amplifier in a 0.18- μ m CMOS Technology." *IEEE Transactions on Microwave Theory and Techniques* (2018). (early access)
- [13] Yu, Xiaobao, et al. "A fully-integrated reconfigurable dual-band transceiver for short range wireless communications in 180 nm CMOS." *IEEE Journal of Solid-State Circuits* 50.11 (2015): 2572-2590.
- [14] D. M. Pozar, *Microwave engineering*: John Wiley & Sons, 2009.
- [15] M. Hangai, M. Hieda, N. Yunoue, Y. Sasaki, and M. Miyazaki, "S- and C- Band Ultra-Compact Phase Shifters Based on All-Pass Networks," *IEEE Transactions on Microwave Theory and Techniques*, vol. 58, pp. 41-47, 2010.
- [16] C. F. Campbell and S. A. Brown, "A compact 5-bit phase-shifter MMIC for K-band satellite communication systems," *IEEE Transactions on Microwave Theory and Techniques*, vol. 48, pp. 2652-2656, 2000.
- [17] I. J. Bahl and D. Conway, "L-and S-band compact octave bandwidth 4-bit MMIC phase shifters," *IEEE Transactions on Microwave Theory and Techniques*, vol. 56, pp. 293-299, 2008.
- [18] A. Sharma, A. Kumar, and A. Bhattacharya, "A Ku-band 6-bit digital phase shifter MMIC for phased array antenna systems," in *2015 IEEE MTT-S International Microwave and RF Conference (IMaRC)*, 2015, pp. 404-407.
- [19] Luo, Weijun, et al. "High-Power X-Band 5-b GaN Phase Shifter With Monolithic Integrated E/D HEMTs Control Logic." *IEEE Transactions on Electron Devices* 64.9 (2017): 3627-3633.
- [۱] زهرا حبیبی، مرتضی کازرونی، سیدحسین محسنی ارمکی و عماد حمیدی، «ارائه یک روش کاربردی جهت کالیبراسیون آنتن‌های آرایه فازی،» *مجله مهندسی برق دانشگاه تبریز*، جلد ۴۵، شماره ۴، ۱۳۹۴.
- [۲] زهرا زین الدینی، فیروزه ذاکرحسین و رضا بهادری نژاد، «نحوه طراحی و ساخت یک تقویت‌کننده متوازن کم نویز مبتنی بر ترانزیستور HJFE T در باند فرکانسی ۹ تا ۱۱ GHz،» *مجله مهندسی برق دانشگاه تبریز*، جلد ۴۷، شماره ۱، ۱۳۹۶.
- [3] M. Fakharzadeh, S. H. Jamali, P. Mousavi, and S. Safavi-Naeini, "Fast beamforming for mobile satellite receiver phased arrays: Theory and experiment," *IEEE Transactions on Antennas and Propagation*, vol. 57, pp. 1645-1654, 2009.
- [4] M. Fakharzadeh, P. Mousavi, S. Safavi-Naeini, and S. H. Jamali, "The effects of imbalanced phase shifters loss on phased array gain," *IEEE Antennas Wireless Propag. Lett.*, vol. 7, pp. 192-196, Jul. 2008.
- [5] M. Meghdadi, M. Azizi, M. Kiani, A. Medi, and M. Atarodi, "A 6-bit CMOS phase shifter for-band," *IEEE Transactions on Microwave Theory and Techniques*, vol. 58, pp. 3519-3526, 2010.
- [6] K. Hettak and G. Morin, "Compact variable reflective-type SiGe phase shifter using lumped elements for 5 GHz applications," in *Microwave Integrated Circuits Conference (EuMIC), 2010 European*, 2010, pp. 102-105.
- [7] B. Biglarbegan, M. R. Nezhad-Ahmadi, M. Fakharzadeh, and S. Safavi-Naeini, "Millimeter-wave reflective-type phase shifter in CMOS technology," *IEEE Microwave and Wireless components letters*, vol. 19, pp. 560-562, 2009.
- [8] K. Dong-Woo, L. Hui Dong, K. Chung-Hwan, and H. Songcheol, "Ku-band MMIC phase shifter using a parallel resonator with 0.18- μ m CMOS technology," *IEEE Transactions on Microwave Theory and Techniques*, vol. 54, pp. 294-301, 2006.
- [9] S. K. Garakoui, E. Klumperink, B. Nauta, and F. E. van Vliet, "Compact cascaded gm-C all-pass true time delay

زیرنویس‌ها

- 1 Phase Root Mean Square (RMS Phase error)
- 2 Beam forming
- 3 Main lobe
- 4 Side lobe
- 5 Isolation
- 6 Even
- 7 Odd