# ارائه مسیریاب چهاردرگاهی بدون انسداد در شبکه‌های نوری روی تراشه تلفیقی جهت کاهش پارامتر اتلاف

سمیه خروش[۱]، دانشجوی دکتری؛ میدیا رشادی[۲]، استادیار؛ احمد خادم زاده[۳]، استاد؛ اکرم رضا[۴]، استادیار

۱- گروه مهندسی کامپیوتر- دانشگاه آزاد اسلامی واحد علوم و تحقیقات - تهران- ایران- s.khoroush@srbiau.ac.ir

۲- گروه مهندسی کامپیوتر- دانشگاه آزاد اسلامی واحد علوم و تحقیقات - تهران- ایران- reshadi@srbiau.ac.ir

۳- مرکز تحقیقات مخابرات ایران- ITRC - تهران- ایران- zadeh@itrc.ac.ir

۴- گروه مهندسی کامپیوتر- دانشگاه آزاد اسلامی واحد شهر قدس- تهران- ایران- a.reza@qodsiau.ac.ir

**چکیده:** با محدود بودن توان مصرفی برروی تراشه برای دستیابی به کارآیی بالا و توان مصرفی کم در یک تراشه، معماری چند پردازنده‌ای ارائه شد. در این معماری بیشتر توان مصرفی به اتصالات روی تراشه تعلق دارد قابلیت اتصالات نوری برای کاهش توان مصرفی و افزایش کارآیی، معماری جدیدی با عنوان شبکه نوری روی تراشه پیشنهاد می‌کند که قادر است از مزایای سیگنال‌ها و عناصر نوری برای انتقال داده استفاده کند. در این مقاله یک مسیریاب نوری ۴×۴ بدون انسداد معرفی شده است که هدف آن بهبود پارامترهای لایه‌ی فیزیکی در نتیجه افزایش پارامترهای کارایی شبکه‌های نوری است. مسیریاب پیشنهادی با سه مسیریاب اورجینال، مسیرمستقیم و متقارن از نظر اتلاف سیگنال نوری و توان مصرفی مقایسه شده است، براساس نتایج بدست آمده، به عنوان نمونه در همبندی توری، بیشینه اتلاف در مسیریاب پیشنهادی در مقایسه با مسیریاب اورجینال برای چهار کاربرد GTC، Cactus، Tornado، MADbench به ترتیب دارای ۲۸/۲۲٪، ۲۴/۴۶٪، ۲۸/۷۲٪ و ۲۹/۲۰٪ بهبود است. نتایج شبیه‌سازی نشان می‌دهد مسیریاب ارائه شده در مقایسه با سه مسیریاب دیگر سبب کاهش اتلاف سیگنال نوری و توان مصرفی در شبکه نوری روی تراشه می‌شود، که ارزیابی مسیریاب پیشنهادی با استفاده از شبیه‌ساز PhoenixSim انجام می‌شود. **واژه‌های کلیدی:** شبکه نوری روی تراشه، مسیریاب، اتلاف، توان مصرفی.

# Four-port non-blocking switch for reducing insertion loss in hybrid photonic networks-on-chip

Somayeh Khoroush[1], PhD Student; Midia Reshadi [2], Assistant Professor; Ahmad Khademzadeh[3], Professor; Akram Reza[4], Assistant Professor

1- Department of Computer Engineering, Science and Research Branch Islamic Azad University, Tehran, Iran, Email: s.khoroush@srbiau.ac.ir

2- Department of Computer Engineering, Science and Research Branch Islamic Azad University, Tehran, Iran, Email: reshadi@srbiau.ac.ir

3- Iran Telecommunication Research Center, ITRC, Tehran, Iran, Email: zadeh@itrc.ac.ir

4- Department of Computer Engineering, Shahr-e-Qods Branch Islamic Azad University, Tehran, Iran, Email: a.reza@qodsiau.ac.ir

**Abstract:** A multi-processor architecture was proposed to address power consumption limitations in chips in order to increase performance and lower power consumption. In this architecture, the highest power consumption comes from the chip connections. Optical connections can reduce power consumption and increase performance via a new architecture called photonic network-on-chips, which are capable of utilizing the benefits of optical signals and elements for data transfer. This paper proposes a 4×4, non-blocking photonic switch to improve physical layer parameters by increasing photonic network performance. The insertion loss and energy dissipation of the proposed switch were compared to three switches: Original, StraightPath, and Symmetric switches. The results indicated that, in a mesh topology, the proposed switch reduced loss for the GTC, Cactus, Tornado, and MADbench by 28.22, 24.46, 28.72, and 29.20%, respectively, when compared to the Original switch. According to PhoenixSim simulation results, the proposed switch reduced insertion loss and energy dissipation in photonic network-on-chips when compared to the three comparison switches.

**Keywords:** Photonic network-on-chip, switch, insertion loss, energy dissipation.

تاریخ ارسال مقاله: ۱۳۹۷/۰۹/۱۸

تاریخ اصلاح مقاله: ۱۳۹۷/۱۲/۱۹

تاریخ پذیرش مقاله: ۱۳۹۸/۰۳/۰۸

نام نویسنده مسئول: میدیا رشادی

نشانی نویسنده مسئول: گروه مهندسی کامپیوتر- دانشگاه آزاد اسلامی واحد علوم و تحقیقات - تهران- ایران.

## ۱- مقدمه

با پیشرفت روز افزون تکنولوژی ساخت مدارات مجتمع، تعداد هسته های پردازشی و واحدهای وابسته به آن نیز افزایش خواهد یافت. بدین ترتیب، با توجه به عدم مقیاس پذیری گذرگاه‌های اشتراکی و افزایش حجم و پیچیدگی الگوهای ارتباطی درون تراشه که نتیجه‌ی افزایش پیچیدگی برنامه‌های کاربردی است، استفاده از یک زیرساخت ارتباطی مناسب درون تراشه‌ای لازم است. بنابراین شبکه روی تراشه به عنوان یک بستر ارتباطی مقیاس‌پذیر پیشنهاد شده است [۱، ۲].

هر چند استفاده از شبکه‌های روی تراشه در معماری‌های چندپردازنده‌ای موجب بهبود پهنای باند می‌شود، اما اتصالات الکتریکی برای انتقال اطلاعات در سطح تراشه دارای محدودیت‌هایی از قبیل، تأخیر در سیم‌های الکتریکی، افزایش توان مصرفی متناسب با پهنای باند، نویز همشنوایی و تداخل الکترومغناطیسی است [۴ -۲]. انتقال اطلاعات توسط سیگنال‌های نوری یک روش فیزیکی است که قادر است اکثر مشکلات مربوط به اتصالات الکتریکی را حل کند [۵]. در سال‌های اخیر پیشرفت‌های زیادی در زمینه‌ی ساخت عناصر نوری مبتنی بر سیلیکون در راستای پیاده‌سازی اتصالات نوری در سطح تراشه صورت پذیرفته است، به گونه‌ای که امروزه می‌توان عناصر نوری را به صورت سلول‌های کتابخانه‌ای در فرآیند CMOS استاندارد بکار برد. بر این اساس، انتقال اطلاعات توسط سیگنال‌های نوری به یک راه-حل عملی برای حل مشکلات اتصالات الکتریکی تبدیل می‌شود [۶]. سربار تبدیل سیگنال‌های الکتریکی به نوری و بالعکس، اتلاف توان در انتقال سیگنال نوری تولید شده به درون تراشه و کارایی پایین عناصر سیلیکونی برای تولید سیگنال نوری از مهمترین مشکلات مطرح در زمینه‌ی بکارگیری اتصالات نوری سیلیکونی در سطح تراشه می باشد [۷].

در این مقاله برای کاهش میزان اتلاف سیگنال نوری و توان مصرفی یک مسیریاب نوری ۴×۴ بدون انسداد با اتصالات کامل ارائه شده است. در طراحی مسیریاب ارائه شده کاهش تعداد ریزحلقه تشدیدگر روشن در مسیر عبور سیگنال نوری و خاموش بودن این عنصر در مسیر مستقیم سبب کاهش توان مصرفی و اتلاف شبکه نوری روی تراشه می‌گردد. استفاده از کاربردهای علمی واقعی، اندازه شبکه و پیام متفاوت در نتایج شبیه سازی نشان می‌دهد که مسیریاب ارائه شده در مقایسه با سه مسیریاب اورجینال، مسیر مستقیم و متقارن باعث کاهش پارامترهای اتلاف، تاخیر و توان مصرفی و افزایش پهنای‌باند می‌گردد.

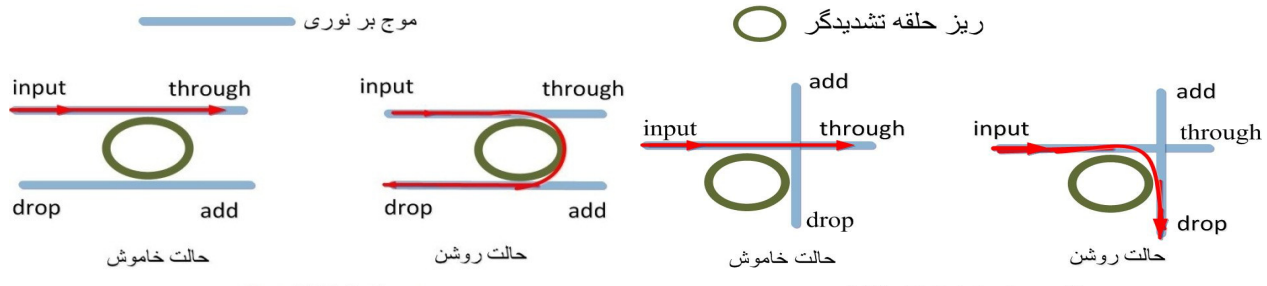
در بخش ۲ نحوه عملکرد تجهیزات نوری، تاثیر اتلاف بر مسیریاب[۱]، همبندی و مسیریاب‌های ارائه شده در مقالات بررسی می‌گردد. در بخش ۳ مسیریاب پیشنهادی معرفی می‌شود. در بخش ۴ نتایج شبیه‌سازی برای مسیریاب پیشنهادی با استفاده از الگوهای ترافیکی و کاربردهای علمی در مقایسه با سه مسیریاب دیگر تحلیل می‌گردد و در نهایت بخش ۵ به نتیجه‌گیری اختصاص خواهد یافت.

## ۲- مروری بر شبکه نوری روی تراشه

از آنجا که شبکه‌ی نوری روی تراشه به صورت یک لایه‌ی اضافه از عناصر نوری و نوری- الکتریکی روی سطح سیلیکون ساخته می شود، نیاز به طراحی عناصر نوری با توان مصرفی و تأخیر کم و ابعاد فیزیکی کوچک است. علاوه براین، ساختار فیزیکی این عناصر باید با فرآیند ساخت CMOS سازگار باشد. منبع نور، موجبرهای[۲] نوری، تلفیق کننده‌های نوری و آشکار سازهای نوری از جمله عناصر اصلی در این فناوری به شمار می‌روند [۸، ۹]. موجبرها وظیفه‌ی هدایت سیگنال‌های نوری در سطح تراشه را بر عهده دارند. از نظر عملکرد ساختاری تفاوت چندانی بین موجبرها و فیبرهای نوری وجود ندارد. انتشار سیگنال نوری در موجبرها همانند فیبرهای نوری بر اساس اصل بازتابش کلی صورت می‌پذیرد، بر اساس این اصل نور در ناحیه‌ی با ضریب شکست بالا متمرکز می‌شود. موجبرها و فیبرهای نوری در ابعاد و مواد مورد نیاز در ساخت دارای تفاوت هستند[۱۰، ۱۱].

در فناوری نوری امکان ارسال همزمان چندین سیگنال نوری روی طول موج‌های مختلف در یک موجبر وجود دارد که به عنوان تسهیم تقسیم طول موج[۳] شناخته می‌شود. این موضوع سبب می‌شود که چگالی پهنای‌باند (در هرواحد ناحیه مصرفی ) یک اتصال افزایش یابد [۱۲].

مسیریابی بسته‌های نوری درون تراشه مستلزم مجتمع‌سازی عناصر راه‌گزینی نوری است. راه‌گزینی سیگنال نوری با استفاده از ریزحلقه‌تشدیدگر[۴] امکان‌پذیر می‌شود. ریزحلقه تشدیدگر یک موجبر انحنا یافته است که دارای یک طول موج تشدید می‌باشد. وقتی طول موج سیگنال عبوری از موجبر با طول موج تشدید ریزحلقه همپوشانی داشته باشد، سیگنال از روی موجبر برداشته شده به ریزحلقه منتقل می‌شود (وضعیت روشن). اما اگر طول موجها متفاوت باشند، سیگنال نوری به مسیر خود بر روی موجبر ادامه می‌دهد (وضعیت خاموش). عنصر راه‌گزینی پایه یک PSE 1×2 مبتنی بر ریزحلقه تشدیدگر است که در طراحی مسیریاب‌های نوری مورد استفاده قرار می‌گیرد. با توجه به شکل ۱ دو ساختار متفاوت متقاطع و موازی برای ساخت عنصر راه-گزینی پایه وجود دارد که هر دو ساختار از یک ریزحلقه و دو موجبر نوری تشکیل می‌شوند. تفاوت آنها در موقعیت موجبرها نسبت به یکدیگر است [۱۶-۱۳]. همبندی یکی از مهمترین زیرساخت‌های طراحی شبکه نوری روی تراشه است و نقش مهمی را در کارایی شبکه دارد. در [۳]، همبندی توری مدور[۵] نوری که ساختار متفاوتی از توری مدور الکتریکی داشت، به‌عنوان اولین همبندی درشبکه‌های نوری معرفی شده است که این همبندی همانند همبندی توری مدور الکتریکی دارای تنوع مسیر بالایی است. در [۱۷]، همبندی توری مدور بدون بن‌بست ارائه شده است که با اختصاص دادن فقط دو نقطه دسترسی برای هر سطر و ستون از گره‌های شبکه توری مدور ، سبب ایجاد یک شبکه بدون بن‌بست در مقایسه با همبندی توری مدور نوری شدند.




**شکل۱ : عناصر نوری مسیریابی[۱۶-۱۴]**

## ۲-۱- بررسی مسیریاب نوری

مسیریاب‌های نوری از اجزاء مهم در راه‌گزینی شبکه‌های نوری هستند، مسیریاب‌ها توسط اجزای پایه شبکه نوری نظیر PSEها و موجبرها طراحی می‌شوند. در طراحی مسیریاب ها از عناصر جدید طراحی نظیر تقاطع موجبر و خمیدگی موجبر استفاده می‌شود. در سال‌های اخیر ساختارهای متفاوت از مسیریاب‌های نوری چهاردرگاهی [۱۹، ۲۰] و پنج درگاهی [۲۳-۲۱] و درگاه‌های بیشتر [۲۴]، برای کاربردهای همه منظوره و خاص منظوره ارائه شده است.

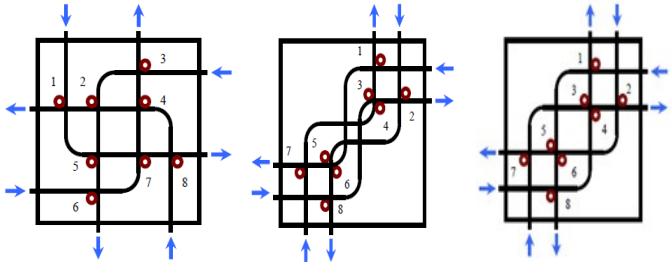
در [۱۹] اولین مسیریاب چهاردرگاهی در سال ۲۰۰۷ مطرح شد، که شامل هشت PSE تقاطعی، ۴ موجبر و ۴ تقاطع موجبر بود ساختار این مسیریاب دارای مشکل انسداد بود که باعث کاهش کارایی مسیریاب می‌شد. به منظور حل مشکل انسداد در [۵] اولین مسیریاب ۴×۴ بدون انسداد برای بالا بردن تعداد مسیرهای داخلی درون مسیریاب ارائه شده است. این مسیریاب با عنوان اورجینال[۶] نام گذاری شده است(شکل۲- الف)، که شامل هشت PSE تقاطعی، ۴ موجبر و ۴ خمیدگی موجبر است. در [۲۰] دو مسیریاب جدید را با نام‌های مسیرمستقیم[۷] و متقارن[۸] معرفی کردند ( شکل۲- ب و ج). مسیریاب مسیرمستقیم از ۴ موجبر و ۸ ریزحلقه تشدیدگر تشکیل شده و دارای ۸ خمیدگی موجبر است.

در [۱۸] یک همبندی توری[۹] ارائه شده است که از مسیریاب‌های پنج درگاهی (چهاردرگاه برای چهار جهت اصلی به اضافه یک درگاه گذرگاه ارتباط محلی) به منظور مسیریابی استفاده می‌کند. درواقع گذرگاه ارتباط محلی امکان ایجاد ارتباط بین مسیریاب نوری با هسته پردازشی را فراهم می‌کند.

مسیریاب متقارن نیز از ۴ موجبر و ۸ ریزحلقه تشدیدگر تشکیل شده ولی دارای ۸ تقاطع موجبر و ۴ خمیدگی موجبر است.

در [۲۵] یک مسیریاب نوری بدون انسداد براساس یک کراس‌بار بهبود یافته، در شبکه نوری با همبندی توری ارائه شده است. برای بهبود [۲۵] در [۲۶] مسیرهایی که مبدا و مقصد یکسانی داشتند از مسیریاب کراس‌بار بهبود یافته، حذف شد. این مسیریاب با تعداد n×n درگاه، شامل $n^2$-n تا PSE تقاطعی، ۲n موج بر و $n^2$ تقاطع موجبر است.

در [۲۷]، یک همبندی توری سه بعدی و یک مسیریاب نوری بدون انسداد ۶×۶ در سال ۲۰۱۸ ارائه شده است. در این همبندی دو نوع مسیریاب نوری داخلی و عمودی معرفی شده است که مسیریاب نوری عمودی در لایه‌ی دوم قرار دارد و برای انتقال داده از لایه‌ی عمودی به لایه‌های دیگر مورد استفاده قرار می‌گیرد. در این مسیریاب سخت افزار مصرفی و اتلاف سیگنال نوری کاهش یافته است. در [۲۸] همبندی توری و توری مدور سه بعدی در سال ۲۰۱۷ ارائه شده است. برای این همبندی یک مسیریاب ۷ × ۷ طراحی شده است که این مسیریاب دارای ۴۹ ریزحلقه‌تشدیدگر، ۱۴ موجبر و۷ درگاه است .در همبندی توری مدور سه بعدی اولین و آخرین روتر نوری در سطر/ستون با استفاده از موجبر نوری به هم متصل شده است در لایه‌ی دوم این همبندی هر روتر نوری به یک روتر نوری عمودی متصل است همبندی طراحی شده، تاخیر و اتلاف را کاهش می‌دهد.



الف- اورجینال [۵] ب- مسیرمستقیم [۲۰] ج- متقارن [۲۰]

**شکل۲ : مسیریاب اورجینال، مسیرمستقیم و متقارن**

## ۲-۲- اتلاف سیگنال نوری

در ارتباطات نوری به مقدار کاهش قدرت سیگنالی که در هنگام عبور از موجبر ایجاد می‌گردد، اتلاف گفته می‌شود. واحد این پارامتر دسی‌بل است. میزان اتلاف از طریق اندازه‌گیری میزان تضعیف توان سیگنال

نوری زمانی که از شبکه عبور می‌کند به‌دست می‌آید. در جدول ۱ پارامترهای موثر بر اتلاف نشان داده می‌شود [۳۲-۲۹].

**جدول ۱: مقادیر پیش فرض پارامترهای موثر بر اتلاف**

| Parameter | Value | پارامتر |
|---|---|---|
| Propagation loss in silicon [30] | ۱/۷ dB/cm | اتلاف انتشار |
| Waveguide crossing [31] | ۰/۱۶ dB | تقاطع موجبر |
| Waveguide bend [30] | ۰/۰۰۵ dB/90° | خمیدگی موجبر |
| Pass by a ring [32] | ۰/۰۰۵ dB | PSE در حالت خاموش |
| Drop into a ring [32] | ۰/۶ dB | PSE درحالت روشن |

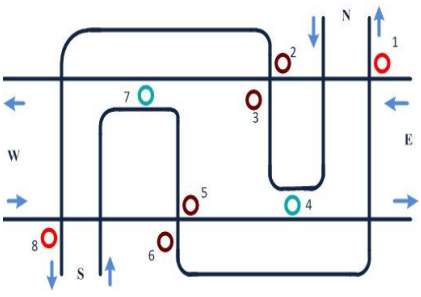
درمیان پارامترهای مذکور تقاطع موجبر و PSE در حالت روشن از اهمیت بیشتری برخوردار است [۲۹]. برای ارزیابی اتلاف سیگنال نوری در مسیریاب از معادله ۱ استفاده می‌شود. مقدار اتلاف موجبرها در واحد سانتیمتر است و از آنجا که حداکثر سایز مسیریاب‌های نوری مذکور ۱۰۰ میکرومتر است [۳۳] و طول موجبرهای داخل مسیریاب در حد چند صد میکرومتر است، از این رو می‌توان از اتلاف موجبر صرف نظر کرد.

$$Router_{loss} = \sum ( Propagation_{loss} + \text{Waveguide crossing}_{loss} + \text{Waveguide bend}_{loss} + \text{Pass by a ring}_{loss} + \text{Drop into a ring}_{loss}) \quad (۱)$$

## ۳- مسیریاب پیشنهادی

در طراحی مسیریاب باید معیار اتلاف پایین، عدم انسداد، کارایی پهنای باند، توان مصرفی پایین و ناحیه مصرفی کم مورد توجه قرار گیرد. در یک مسیریاب هرچه تعداد تقاطع موجبر در مسیر حرکت سیگنال نوری کمتر باشد، اتلاف کمتر و کارایی پهنای باند بهتر را در شبکه خواهیم داشت. همچنین کاهش تعداد ریزحلقه تشدیدگر روشن در طول مسیر نور باعث کاهش توان مصرفی نوری سیستم می‌شود از طرف دیگر کاهش تعداد ریز حلقه تشدیدگر و موجبر در طراحی موجب کاهش ناحیه مصرفی کل می‌شود. یکی از ویژگی‌های مهم در طراحی مسیریاب عدم انسداد می‌باشد با این شرط که هر مسیر داخلی باید فقط از یک ریز حلقه تشدیدگر برای راه‌گزینی استفاده کند، مسیریاب در صورتی دارای انسداد نمی‌باشد که، از هر ورودی به هر خروجی در مسیرها نباید هم‌پوشانی وجود داشته باشد. یعنی دو سیگنال نوری برای رسیدن به یک گذرگاه خروجی رقابت نداشته باشند و هیچ گذرگاهی هم‌زمان نباید ورودی و خروجی باشد [۳۴].

در این مقاله یک مسیریاب چهار درگاهی بدون انسداد با نام تمام متصل[۱۰] برای کاهش اتلاف شبکه ارائه شده است. مسیریاب پیشنهادی از چهار درگاه برای چهار جهت اصلی و یک درگاه برای ارتباط با گذرگاه ارتباط محلی تشکیل شده است. در این مسیریاب در دو مسیر شمال به شرق و جنوب به غرب از PSE 1×2 موازی استفاده شده است، به‌کار گیری PSE موازی در طراحی سبب کاهش تعداد تقاطع موجبر در نتیجه کاهش اتلاف در کل شبکه می‌شود. مسیریاب پیشنهادی دارای انسداد نمی‌باشد، یعنی هیچگاه دو مسیر با مبدا و مقصد متفاوت، رقابتی برای استفاده از یک ریزحلقه تشدیدگر و یک موجبر یکسان نخواهند داشت. این مسیریاب از دو عدد PSE 2×2، دو عدد PSE 2×1متقاطع و دو عدد PSE 1×2 موازی تشکیل شده است و دارای ۸ تقاطع موجبر، ۸ ریزحلقه تشدیدگر و ۴ موجبر است که در شکل ۳-الف طرح و شکل ۳-ب عملکرد مسیریاب پیشنهادی برای هر مسیر نشان داده شده است به عنوان مثال برای حرکت از مسیر شمال به شرق PSE شماره ۴ روشن است و دیگر PSEها در حالت خاموش می‌باشند در این مسیریاب برای عبور سیگنال نوری از چهار مسیر مستقیم (شرق به غرب و بالعکس، جنوب به شمال و بالعکس) همه‌ی PSEها در حالت خاموش قرار دارند. در جدول ۲ مسیریاب تمام متصل با سه مسیریاب اورجینال، مسیرمستقیم و متقارن از لحاظ تعداد تقاطع موجبر، خمیدگی موجبر و PSEها مقایسه شده است باتوجه به جدول ۲ فقط در طراحی مسیریاب تمام متصل از PSE 1×2 موازی استفاده شده است.




الف

| Inport | Outport | On resonator |
|---|---|---|
| N | S | - |
| N | E | 4 |
| N | W | 3 |
| S | N | - |
| S | E | 5 |
| S | W | 7 |
| E | N | 1 |
| E | S | 2 |
| E | W | - |
| W | N | 6 |
| W | S | 8 |
| W | E | - |

ب

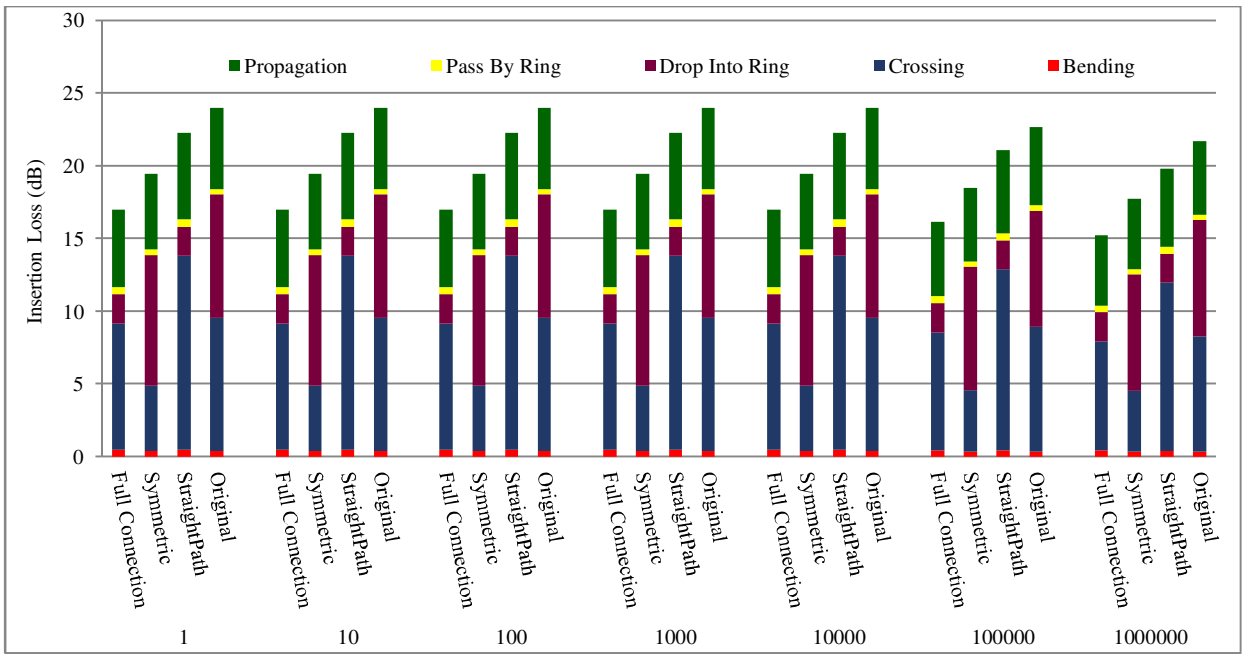
**شکل ۳- الف: طرح مسیریاب تمام متصل ب: عملکرد مسیریاب تمام متصل**

**جدول ۲ : مقایسه مسیریاب تمام متصل با سه مسیریاب**

| | ریزحلقه تشدیدگر | تقاطع موجبر | خمیدگی موجبر | موجبر | PSE 2×2 | PSE 1×2 متقاطع | PSE 1×2 موازی |
|---|---|---|---|---|---|---|---|
| اورجینال | ۸ | ۱۰ | ۴ | ۴ | ۲ | ۴ | - |
| متقارن | ۸ | ۸ | ۴ | ۴ | - | ۸ | - |
| مسیرمستقیم | ۸ | ۱۲ | ۸ | ۴ | ۲ | ۴ | - |
| تمام متصل | ۸ | ۸ | ۸ | ۴ | ۲ | ۲ | ۲ |

**جدول ۳ : پارامترهای تنظیم شده در شبیه‌ساز**

| پارامترهای شبیه‌ساز | مقدار |
|---|---|
| نرخ داده ورودی/خروجی | ۲/۵ Gb/s |
| پهنای‌باند کانال الکتریکی | ۳۲ bits |
| اندازه پیام | ۱۰۲۴ bits |
| اندازه بافر مسیریاب | ۶۴ bits |
| تعداد کانال طول موج | ۱۶ |
| تعداد هسته در هر کاشی | ۱ |




**شکل۴ : بیشینه اتلاف با رشد اندازه پیام براساس الگوی ترافیکی تصادفی**

## ۴- نتایج تجربی

برای تحلیل طرح پیشنهادی از شبیه ساز PhoenixSim [۳۵، ۳۶] که در محیط OMNET++ [۳۷، ۳۸] توسعه یافته، استفاده شده است. پارامترهای شبیه ساز براساس جدول۳ تنظیم شده است. اندازه سطح تراشه[۱۱] ۲cm×۲cm در نظر گرفته شده است. OMNET++ یک محیط شبیه سازی شبکه در سطح بالای مبتنی بر رویدادهای گسسته است. شبیه ساز PhoenixSim توسط تیم آزمایشگاه تحقیقاتی Lightwave متعلق به دانشگاه کلمبیا بر پایه زبان برنامه نویسی C++ نوشته شده است. این شبیه‌ساز به محیط OMNET++ اضافه می‌شود. برای ارزیابی مسیریاب پیشنهادی، از همبندی توری [۲۹] و الگوریتم مسیریابی XY [۳۹] استفاده شده است. در این مقاله از معماری ارائه شده توسط برگمن[۱۲] و همکاران [۳۳] استفاده می شود. که این معماری ترکیبی از یک شبکه نوری با یک شبکه الکتریکی روی تراشه است و از ظرفیت بالای انتقال داده توسط موجبرهای نوری و مسیریاب‌های سیلیکونی و همچنین توانایی بافر کردن و پردازش در سطح الکتریکی استفاده می‌کند. به‌همین‌دلیل شبکه نوری، داده‌های بزرگ را با روش راه‌گزینی مداری و شبکه الکتریکی، بسته‌های کنترلی و داده‌های کوچک را بااستفاده از راه‌گزینی بسته‌ای ارسال می‌کند [۳].

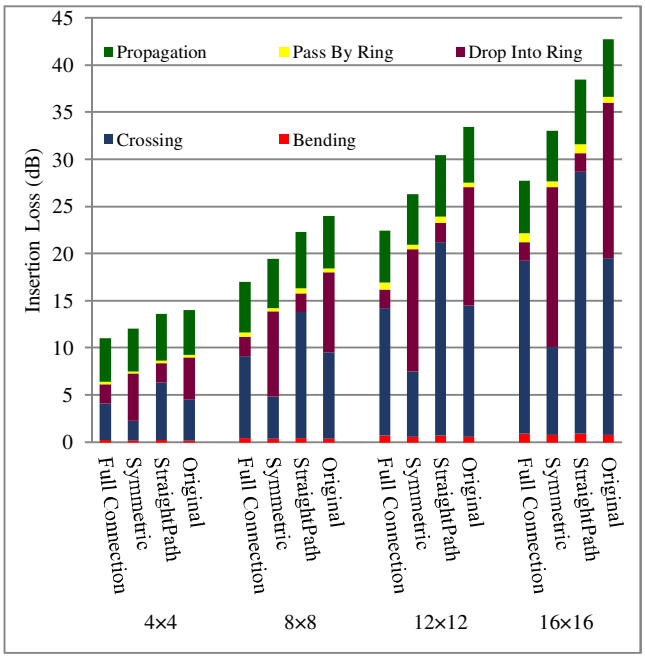
### ۴-۱- بودجه توان نوری

در شبکه نوری روی تراشه مقدار بودجه توان نوری یکی از محدودیت‌های طراحی است، که مقدار موازی سازی طول موج تو سط تسهیم تقسیم طول موج و میزان تحمل اتلاف در شبکه تعیین می‌شود. حد بالای این بودجه، آستانه توان است که با P نشان داده می شود و اگر بودجه بیشتر از این مقدار شود باعث القای اثرات غیرخطی می‌شود که پتانسیل تغییرحالت دادن سیگنال نوری درون سیلیکون را دارند. و باعث اتلاف زیاد و شیفت ناخواسته در فرکانس تشدید ریز حلقه تشدیدگر می‌شوند. حد پایین این بودجه حساسیت آشکارساز است که با S نمایش داده می‌شود. اگر بودجه از این مقدار کمتر شود. گیرنده نمی‌تواند سیگنال را دریافت کند. تفاضل مقدار P و S ، اندازه بودجه

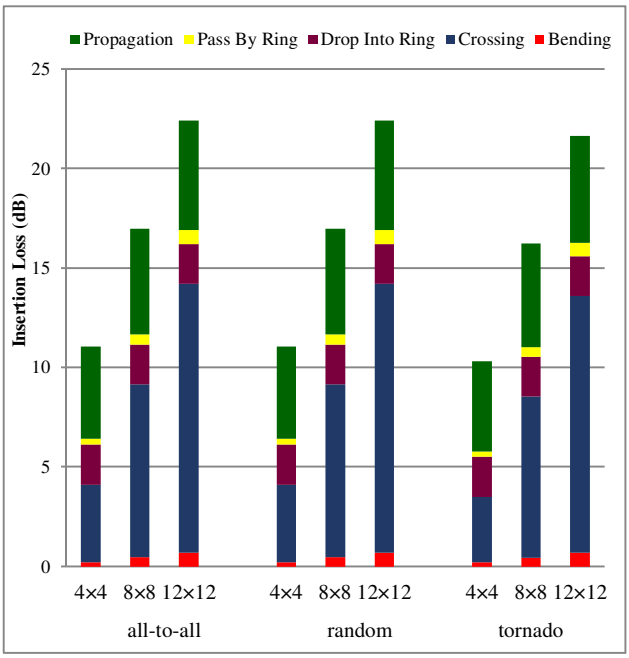
توان نوری را مشخص می‌کند. باتوجه به نامساوی۲ ، بین بودجه توان نوری و تعداد کانال طول موج در دسترس (n) و حداکثر اتلاف، در بدترین حالت شبکه رابطه وجود دارد و با افزایش حداکثر اتلاف، شبکه از تعداد کانال‌های طول موج کمتری در تسهیم تقسیم طول موج بهره می‌برد، درنتیجه چگالی پهنای‌باند کاهش یافته و کارایی پهنای‌باند ارتباطی شبکه کاهش پیدا می‌کند. با افزایش مقیاس شبکه، مقدار اتلاف افزایش می‌یابد، بنابراین اگر اتلاف از حد مشخصی بگذرد، شبکه‌ها قابلیت مقیاس‌پذیری نخواهند داشت[۲۹، ۳۳].

$$P - S \geq IL_{max} + 10log_{10}^{n} \quad (۲)$$

شکل ۴ نمودار بیشینه اتلاف برای چهار مسیریاب با رشد اندازه پیام براساس الگوی ترافیکی تصادفی[۱۳] را نمایش می‌دهد. با توجه به شکل برای اندازه پیام‌های متفاوت، مسیریاب تمام متصل دارای کمترین اتلاف است و با افزایش اندازه پیام اتلاف مسیریاب کاهش می‌یابد. با توجه به شکل ۴ بیشینه اتلاف برای اندازه پیام [۶]۱۰ مسیریاب تمام متصل در مقایسه با سه مسیریاب اورجینال، مسیرمستقیم و متقارن به‌ترتیب دارای ۲۷/۸۵٪، ۲۲/۱۲٪ و ۱۳/۲۱٪ بهبود است.




**شکل ۵: بیشینه اتلاف با افزایش اندازه شبکه براساس الگوی ترافیکی همه به همه**



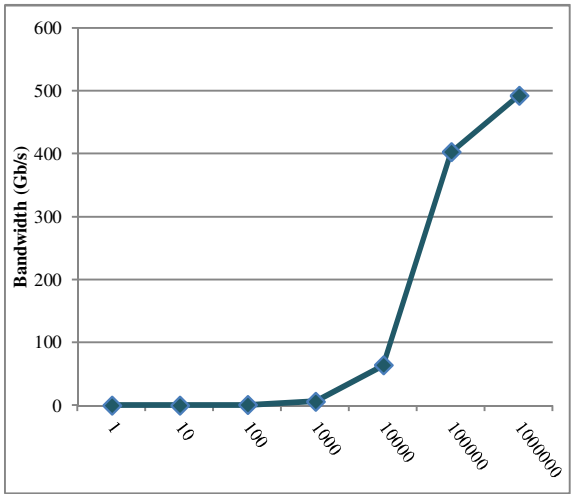

**شکل ۶ : بیشینه اتلاف باافزایش اندازه شبکه برای سه الگوی ترافیکی**

شکل ۵ نمودار بیشینه اتلاف برای چهار مسیریاب اورجینال، مسیرمستقیم، متقارن و تمام متصل با افزایش اندازه شبکه براساس الگوی ترافیکی همه به همه[۱۴] را نشان می‌دهد. با توجه به شکل برای اندازه شبکه‌های متفاوت، مسیریاب تمام متصل دارای کمترین اتلاف است و با افزایش اندازه شبکه اتلاف مسیریاب افزایش می‌یابد. بیشینه اتلاف برای اندازه شبکه ۱۶×۱۶ مسیریاب تمام متصل در مقایسه با سه مسیریاب اورجینال، مسیرمستقیم و متقارن به‌ترتیب دارای ۳۵/۱۵٪، ۲۷/۹۷٪ و ۱۵/۲۱٪ بهبود است. شکل ۶ نمودار بیشینه اتلاف برای مسیریاب تمام متصل با افزایش اندازه شبکه براساس سه الگوی ترافیکی نشان داده شده است. باتوجه به شکل برای هر سه الگوی ترافیکی با افزایش اندازه شبکه اتلاف افزایش می‌یابد.شکل ۷ نمودار پهنای‌باند برای مسیریاب تمام متصل با رشد اندازه پیام براساس الگوی ترافیکی تصادفی را نمایش می‌دهد. هنگام انتقال داده با افزایش تعداد کانال های طول‌موجی میتوان پیام بیشتری در شبکه ارسال کرد بنابراین پهنای باند شبکه افزایش می یابد به همین دلیل در شکل ۷ با افزایش اندازه پیام، براساس الگوی ترافیکی تصادفی پهنای باند شبکه افزایش می یابد.

## ۴-۲- توان مصرفی

در شبکه نوری روی تراشه توان مصرفی کل به توان مصرفی الکتریکی و توان مصرفی نوری تقسیم بندی می‌شود که توان مصرفی الکتریکی بیشترین تاثیر را در توان مصرفی کل دارد. در محاسبه توان مصرفی الکتریکی، سیم ها، بافر ها، مدارات کراس بار، داور الکتریکی، کلاک درختی و در محاسبه توان مصرفی نوری PSEها، تلفیق کننده‌ها، آشکارسازها و تنظیم دمایی تاثیرگذار هستند. که مقادیر اولیه شبیه‌ساز برای این عناصر در جدول۴ نشان داده شده است. هریک ازاین عناصر دارای دو حالت ایستا و پویا هستند که از محاسبه‌ی مجموع آنها توان مصرفی کل آن عنصر محاسبه می شود [۴۲-۴۰]. مهمترین عامل در توان مصرفی نوری، تعداد PSEهای روشن در طول مسیر حرکت

سیگنال نوری ا ست به بیان دیگر هرچه تعداد چرخش سیگنال نوری تو سط PSE در طول م سیر کمتر با شد توان نوری کمتری م صرف می شود [۴۱].

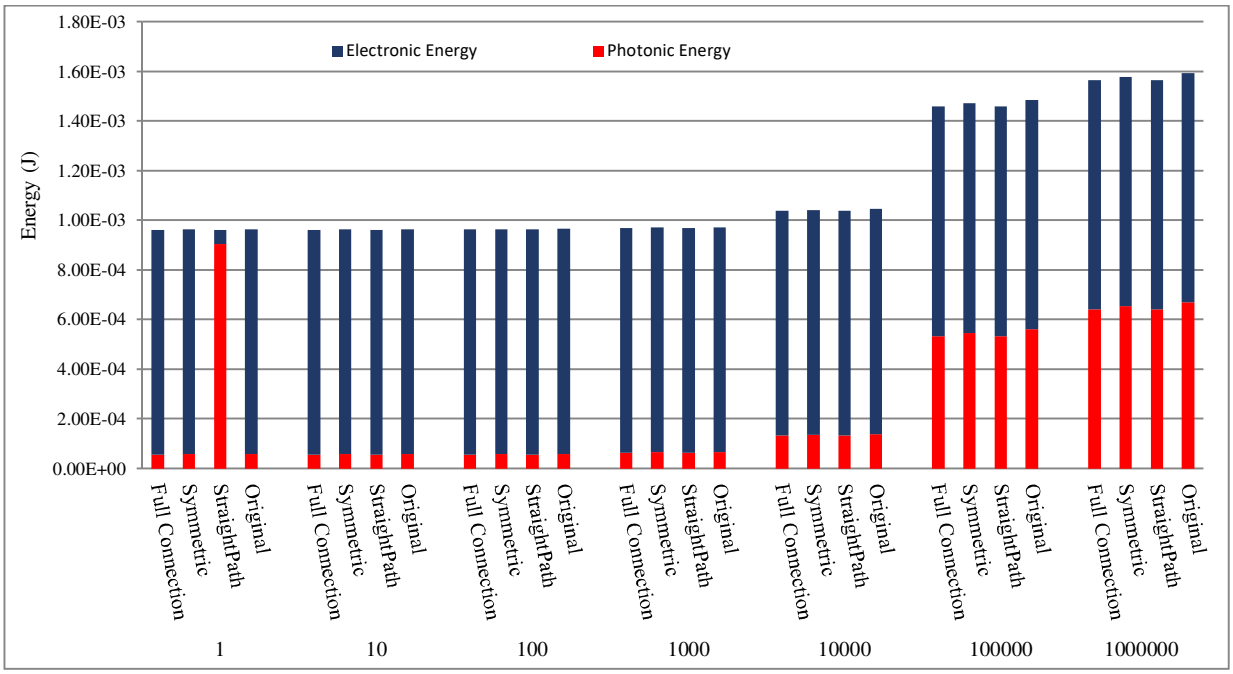



**شکل ۷ : پهنای‌باند با رشد اندازه پیام براساس الگوی ترافیکی تصادفی**

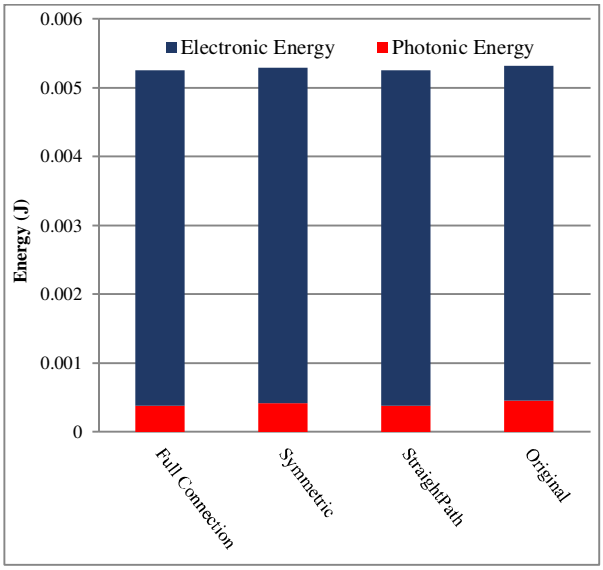
**جدول ۴ : پارامترهای توان مصرفی در شبیه‌ساز**

| Parameter | Value |
|---|---|
| Modulators (dynamic energy) [42] | 85 fJ/bit |
| Modulators (static energy) [40] | 30 µW |
| PSE (dynamic energy) [40] | 375 fJ/bit |
| PSE (static energy) [40] | 400 µW |
| Detector energy [40] | 50 fJ/bit |
| Thermal ring tuning [40] | 100 µW/ring |

شکل ۸ توان م صرفی کل برای چهار م سیریاب با ر شد اندازه پیام برا ساس الگوی ترافیکی را نمایش می‌دهد. با توجه به شکل برای اندازه پیام‌های متفاوت، مسیریاب تمام متصل دارای کمترین توان مصرفی کل است.




**شکل ۸ : توان مصرفی کل با رشد اندازه پیام براساس الگوی ترافیکی تصادفی**




**شکل ۹ : توان مصرفی کل برای اندازه شبکه ۱۶×۱۶ براساس**

شکل ۹ توان مصرفی کل برای چهار مسیریاب و اندازه شبکه ۱۶×۱۶ براساس الگوی ترافیکی همه به همه را نشان می‌دهد. با توجه به شکل، مسیریاب تمام متصل دارای کمترین توان مصرفی کل است.

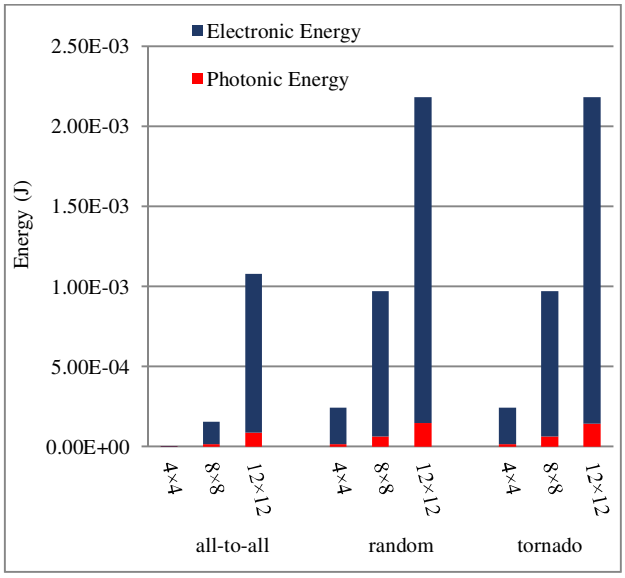
شکل ۱۰ توان مصرفی کل برای مسیریاب تمام متصل با افزایش اندازه شبکه براساس سه الگوی ترافیکی نشان داده شده است. باتوجه به شکل برای هر سه الگوی ترافیکی با کاهش اندازه شبکه توان مصرفی کل کاهش می‌یابد.

## ۴-۳- تاخیر و زمان اجرا

با توجه به این‌که در شبیه سازی از راه‌گزینی مداری استفاده می شود، کنترل انتشار سیگنال از طریق پروتکل برپایی مسیر سبب افزایش تاخیر شبکه می‌شود [۳۶].

زمان ورود بسته تا رسیدن به مقصد شامل ذخیره مسیر و ارسال مجدد بسته در صورت نرسیدن بسته به مقصد است. که این زمان برروی تاخیر تاثیرگذار است. شکل ۱۱ میانگین تاخیر شبکه برای مسیریاب تمام متصل با افزایش اندازه شبکه براساس الگوی ترافیکی همه به همه را نشان می‌دهد. با توجه به شکل با افزایش اندازه شبکه تاخیر مسیریاب افزایش می‌یابد.

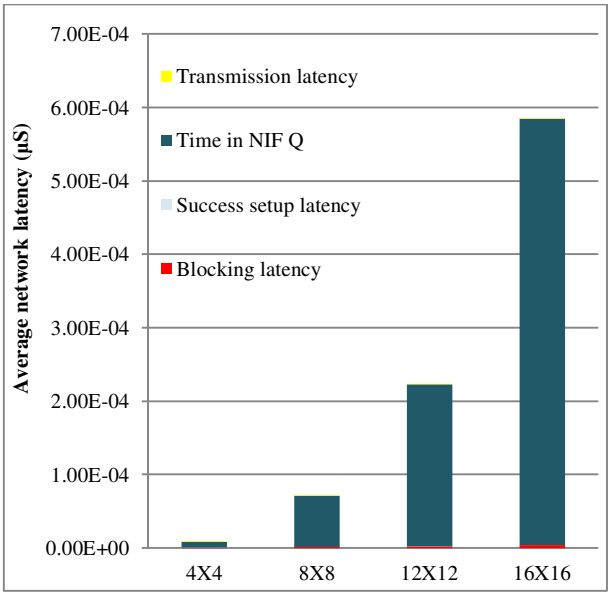
در شکل ۱۱ تاخیر ایجاد مسیر صحیح۱۵ در مقایسه با زمان انتظار در صف واسط شبکه۱۶، بسیار کم است در زمان انتظار در صف واسط شبکه، بسته در صف منتظر می‌ماند تا مسیر از مبدا تا مقصد ذخیره شود. زمان انتظار سبب افزایش تاخیر می‌شود وقتی مسیر موفقیت آمیز ذخیره شود فلیت سرآیند ارسال می‌شود و پاسخ دریافت



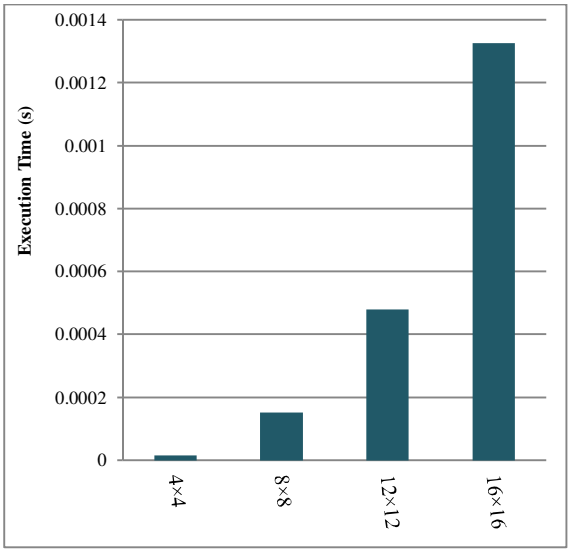

**شکل ۱۰ : توان مصرفی کل با افزایش اندازه شبکه براساس سه الگوی**

و سپس مسیر ایجاد می شود در ایجاد کردن مسیر زمان انتظار وجود ندارد به همین دلیل زمان انتظار در صف واسط شبکه، بیشتر است.

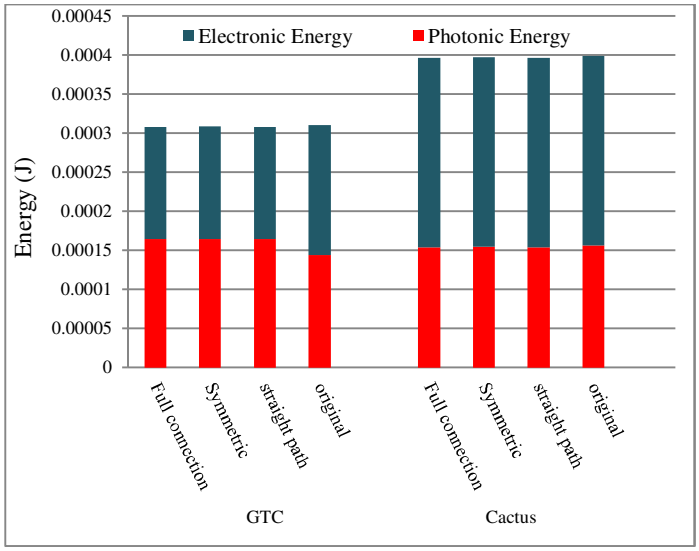
شکل ۱۲ زمان‌اجرای کل برای مسیریاب تمام متصل با افزایش اندازه شبکه براساس الگوی ترافیکی همه به همه را نشان می‌دهد. با توجه به شکل، با افزایش اندازه شبکه زمان‌اجرای کل افزایش می‌یابد.




**شکل ۱۱ : میانگین تاخیر با افزایش اندازه شبکه براساس الگوی ترافیکی همه به همه**




**شکل ۱۲ : زمان‌اجرای کل با افزایش اندازه شبکه براساس الگوی ترافیکی همه به همه**




**شکل ۱۳ : توان مصرفی کل برای چهار مسیریاب و کاربردهای متفاوت**

## ۴-۴- کاربردهای علمی

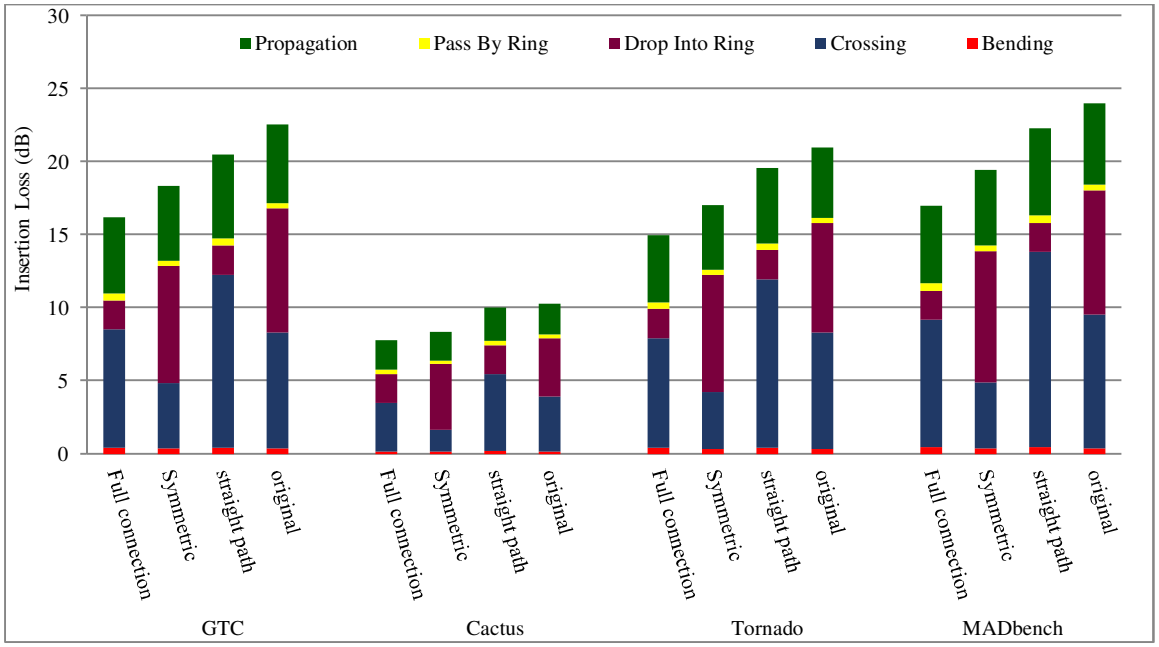
برای ارزیابی مسیریاب پیشنهادی از کاربردهای علمی از قبیل GTC، MADbench، Tornado، Cactus استفاده شده است [۴۶-۴۳].

جدول۵ ویژگی‌های کاربردها را نمایش می‌دهد این کاربردها شامل مجموعه‌ای از ارتباطات بین هسته‌ها هستند که در زمان‌اجرای کامل هر کاربرد بر روی یک شبکه ۶۴ گره رخ می‌دهند. هر کاربرد به تعداد فازهای مختلف تقسیم بندی شده است. در واقع در هر فاز باید تعدادی ارتباط معین برقرار شوند تا به فاز بعدی برود. ویژگی این مجموعه انتخابی از کاربردها به منظور ارزیابی مسیریاب، تنوع آن‌ها از لحاظ اندازه پیغام است [۴۳].

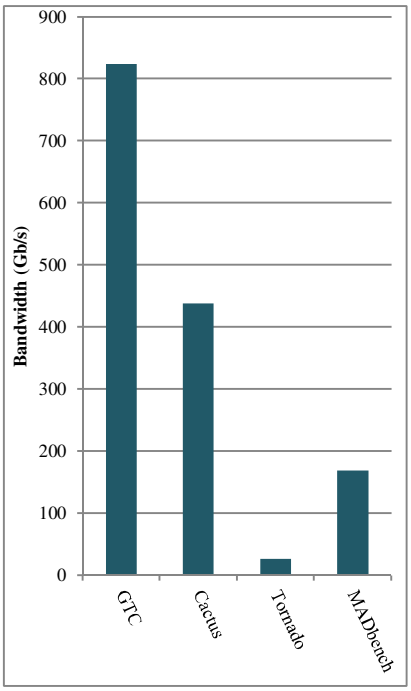
در شکل ۱۳ نمودار توان مصرفی کل برای کاربرد GTC و Cactus با استفاده از چهار مسیریاب محاسبه شده است. با توجه به شکل برای هر دو کاربرد، مسیریاب تمام متصل دارای کمترین توان مصرفی کل است.

**جدول ۵ : ویژگی‌های کاربردهای علمی [۴۳]**

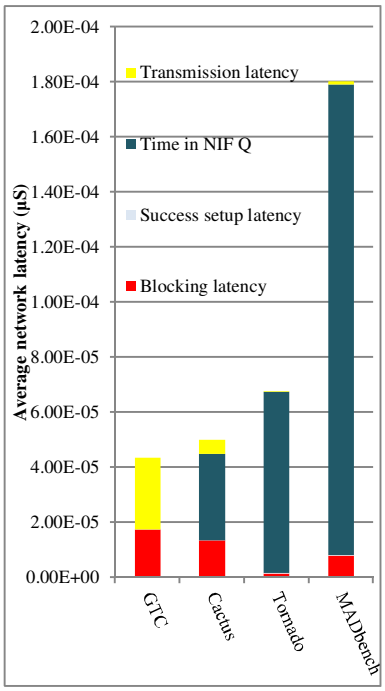
| Benchmark | Num Phases | Num Messages | Total Size (B) | Avg Msg Size (B) |
|---|---|---|---|---|
| Tornado | 1 | 6400 | 614400 | 96 |
| Cactus | 2 | 285 | 7296000 | 25600 |
| GTC | 2 | 63 | 8177148 | 129796 |
| MADbench | 195 | 15414 | 86516544 | 5613 |



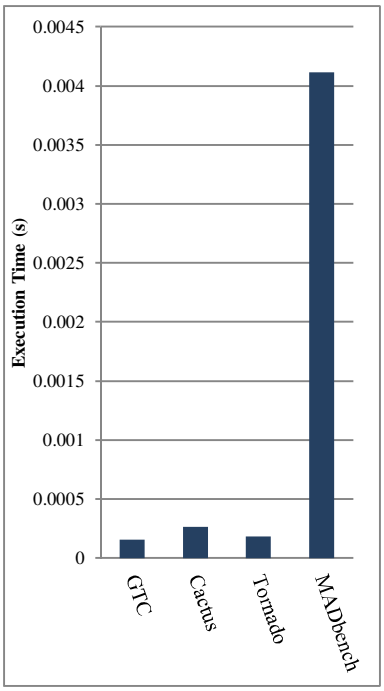

**شکل ۱۴ : بیشینه اتلاف برای چهار مسیریاب و کاربردهای متفاوت**




**شکل ۱۵ : پهنای‌باند برای برای مسیریاب تمام متصل و کاربردهای متفاوت**




**شکل ۱۶ : میانگین تاخیر برای مسیریاب تمام متصل و کاربردهای متفاوت**




**شکل ۱۷ : زمان‌اجرای کل برای مسیریاب تمام متصل و کاربردهای متفاوت**

شـکل ۱۴ بیشـینه اتلاف را برای چهار کاربرد Tornado، Cactus، GTC، MADbench و چهار مسیریاب نمایش می‌دهد، با توجه به شکل برای هر چهار کاربرد، مسیریاب تمام متصل دارای کمترین اتلاف است. بیشینه اتلاف در مسیریاب تمام متصل در مقایسه با مسیریاب اورجینال برای چهار کاربرد GTC، Cactus، Tornado ، MADbench به ترتیب دارای ۲۸/۲۲٪، ۲۴/۴۶٪، ۲۸/۷۲٪ و ۲۹/۲۰٪ بهبود است.

شـکل ۱۵ نمودار پهنای‌باند را برای کاربرد Tornado-Small، GTC و MADbench برای مسیریاب تمام متصل نمایش می‌دهد.

شـکل ۱۶ و ۱۷ به‌ترتیب نمودار میانگین تاخیر شـبکه و زمان‌اجرا برای چهار کاربرد Cactus، Tornado، GTC و MADbench با مسیریاب تمام متصل را نمایش می‌دهد.

با توجه به شـــکل ۱۱ و ۱۶ عوامل موثر بر تاخیر شـــبکه، تاخیر انتقال، زمان انتظار در صف واسط شبکه، تاخیر انسداد و تاخیر برپایی هستند. که زمان انتظار در صف واسط شبکه بیشترین تاثیر را بر تاخیر دارد زیرا بسته در صف منتظر می‌ماند تا مسیر از مبدا تا مقصد ذخیره شود.

باتوجه به جدول۵ کاربرد GTC و Cactus اندازه پیغام‌های بزرگتر و تعداد فاز کمتری دارند درحالی که MADbench دارای اندازه پیغام کوچکتر با تعداد فاز بیشتر است بنابراین براساس نتایج شبیه سازی کاربرد GTC و Cactus دارای اتلاف و توان مصـرفی، تاخیر و زمان اجرا کمتر و پهنای باند بیشتر در مقایسه با کاربرد MADbench است.

## ۵- نتیجه

یکی از روش‌های کاهش اتلاف سـیگنال نوری و توان مصـرفی کاهش تعداد ریزحلقه تشـدیدگر، تعداد تقاطع موجبر و اسـتفاده از PSEهای موازی در طراحی مسـیریاب نوری اسـت، در این مقاله یک مسـیریاب چهار درگاهی بدون انسداد سازگار با هر الگوریتم مسیریابی ارائه شده است. این مسیریاب در شبکه نوری روی تراشه با همبندی توری دو بعدی پیاده سازی شده است که مسیریاب پیشنهادی می‌تواند در هر همبندی از شبکه نوری روی تراشه مورد استفاده قرار گیرد. استفاده از PSE 1×2 موازی در طراحی این مسیریاب سبب کاهش تعداد تقاطع موجبر در مسـیریاب شـده اسـت، کاهش تعداد تقاطع موجبر و خاموش بودن ریزحلقه تشـدیدگر در مسـیر مسـتقیم عبور سـیگنال نوری در مسیریاب پیشنهادی سبب کاهش توان مصرفی، اتلاف و مساحت سطح تراشه می‌گردد. براساس نتایج شبیه سازی ساختار مسیریاب برروی اتلاف و توان مصـرفی در شـبکه نوری روی تراشـه تاثیرگذار اسـت که مسیریاب ارائه شده در مقایسه با سه مسیریاب اورجینال، مسیرمستقیم و متقارن دارای اتلاف، تاخیر و توان مصـرفی کمتر و پهنای‌باند بیشـتر اسـت. با کاهش اتلاف و توان مصـرفی توسـط مسـیریاب ارائه شـده در شبکه نوری روی تراشه و استفاده از تسهیم تقسیم طول موج، چگالی پهنای‌باند و مقیاس پذیری شبکه افزایش می‌یابد.

## مراجع


[1] G. De Micheli and L. Benini, *Networks on chips: technology and tools*. Academic Press, 2006.

[۲] رضا تقی‌زاده و محمدعلی جبرئیل جمالی، «مسیریاب غیروفقی شبکه بر تراشه باقابلیت هم‌زمان تحمل‌پذیری خرابی و آزمایش برخط اتصالات بین مسیریاب‌ها» مجله مهندسی برق دانشگاه تبریز، دوره ۴۷، شماره ۴، صفحه ۱۴۰۶-۱۳۹۵، زمستان ۱۳۹۶.

[3] A. Shacham, K. Bergman, and L. P. Carloni, "Photonic networks-on-chip for future generations of chip multiprocessors," Computers, IEEE Transactions on, vol. 57, no. 9, pp. 1246-1260, 2008.

[4] J. W. Goodman, F. I. Leonberger, S.-Y. Kung, and R. A. Athale, "Optical interconnections for VLSI systems," Proceedings of the IEEE, vol. 72, no. 7, pp. 850-866, 1984.

[5] A. Shacham, B. G. Lee, A. Biberman, K. Bergman, and L. P. Carloni, "Photonic NoC for DMA communications in chip multiprocessors," in High-Performance Interconnects, 2007. HOTI 2007. 15th Annual IEEE Symposium on, 2007, pp. 29-38: IEEE.

[6] R. A. Soref and J. P. Lorenzo, "All-silicon active and passive guided-wave components for lambda= 1.3 and 1.6 microns," IEEE Journal of Quantum Electronics, vol. 22, pp. 873-879, 1986.

[7] D. A. Miller, "Rationale and challenges for optical interconnects to electronic chips," Proceedings of the IEEE, vol. 88, no. 6, pp. 728-749, 2000.

[8] A. Dhiman, "Silicon photonics: a review," IOSR J. Appl. Phys, vol. 3, pp. 67-79.

[9] S. Werner, J. Navaridas, and M. Luj‚Äçn, "A Survey on Optical Network-on-Chip Architectures," ACM Computing Surveys (CSUR), vol. 50, pp. 89.

[10] R. Syms and J. Cozens, "Optical guided waves and devices. 1992," ed: McGraw-Hill.

[۱۱] اشکان قنبری، علی صدر و مهران نیکو، «بیشینه‌سازی ضریب فشردگی و پهنای باند پالس‌های نوری با استفاده از چرپ فرکانسی در فیبرهای فوتونیک کریستال» مجله مهندسی برق دانشگاه تبریز، دوره ۴۳، شماره ۲، صفحه ۴۲-۳۱، پاییز ۱۳۹۲.

[12] M. Lipson, "Guiding, modulating, and emitting light on silicon-challenges and opportunities," Lightwave Technology, Journal of, vol. 23, no. 12, pp. 4222-4238, 2005.

[13] H. Gu, J. Xu, and W. Zhang, "A low-power fat tree-based optical network-on-chip for multiprocessor system-on-chip," in Proceedings of the conference on Design, Automation and Test in Europe, 2009, pp. 3-8: European Design and Automation Association.

[14] P. Koonath, T. Indukuri, and B. Jalali, "Add-drop filters utilizing vertically coupled microdisk resonators in silicon," Applied Physics Letters, vol. 86, no. 9, p. 091102, 2005.

[15] B. G. Lee, A. Biberman, N. Sherwood-Droz, C. B. Poitras, M. Lipson, and K. Bergman, "High-Speed 2$\\times\$2 Switch for Multiwavelength Silicon-Photonic Networks–On-Chip," Journal of Lightwave Technology, vol. 27, no. 14, pp. 2900-2907, 2009.

[16] K. M. İmre, "Dual-mode routing approach for photonic network on chip platforms," The Journal of Supercomputing, vol. 72, no. 3, pp. 904-925, 2016.

[17] H. Wang, M. Petracca, A. Biberman, B. G. Lee, L. P. Carloni, and K. Bergman, "Nanophotonic optical interconnection network architecture for on-chip and off-chip communications," in Optical Fiber Communication Conference, 2008, p. JThA92: Optical Society of America.

[18] Z. Chang, J. Tang, and Y. Jin, "An insertion loss balance aware routing scheme in photonic network on chip," in Information, Communications and Signal Processing, 2009. ICICS 2009. 7th International Conference on, 2009, pp. 1-5: IEEE.

[19] A. Shacham, K. Bergman, and L. P. Carloni, "On the design of a photonic network-on-chip," in Proceedings of the First International Symposium on Networks-on-Chip, 2007, pp. 53-64: IEEE Computer Society.

[20] J. Chan, A. Biberman, B. G. Lee, and K. Bergman, "Insertion loss analysis in a photonic interconnection network for on-chip and off-chip communications," IEEE Lasers and Electro-Optics Society (LEOS), 2008.

[21] M. J. Cianchetti and D. H. Albonesi, "A low-latency, high-throughput on-chip optical router architecture for future chip multiprocessors," ACM Journal on Emerging Technologies in Computing Systems (JETC), vol. 7, no. 2, p. 9, 2011.

[22] H. Gu, K. H. Mo, J. Xu, and W. Zhang, "A low-power low-cost optical router for optical networks-on-chip in multiprocessor systems-on-chip," in VLSI, 2009. ISVLSI'09. IEEE Computer Society Annual Symposium on, 2009, pp. 19-24: IEEE.

[23] A. B. Ahmed and A. B. Abdallah, "Hybrid silicon-photonic network-on-chip for future generations of high-performance many-core systems," The Journal of Supercomputing, vol. 71, no. 12, pp. 4446-4475, 2015.

[24] Y. Ye, J. Xu, X. Wu, W. Zhang, W. Liu, M. Nikdast, X. Wang, Z. Wang, and Z. Wang, "Thermal analysis for 3D optical network-on-chip based on a novel low-cost 6× 6 optical router," in Optical Interconnects Conference, 2012 IEEE, 2012, pp. 110-111: IEEE.

[25] A. W. Poon, F. Xu, and X. Luo, "Cascaded active silicon microresonator array cross-connect circuits for WDM networks-on-chip," presented at Integrated Optoelectronic Devices 2008, 2008.

[26] A. W. Poon, X. Luo, F. Xu, and H. Chen, "Cascaded microresonator-based matrix switch for silicon on-chip optical interconnection," Proc. IEEE, vol. 97, pp. 1216-1238, 2009.

[27] P. Guo, W. Hou, L. Guo, Q. Yang, Y. Ge, and H. Liang, "Low Insertion Loss and Non-Blocking Microring-Based Optical Router for 3D Optical Network-on-Chip," IEEE Photonics Journal, vol. 10, pp. 1-10.

[28] L. Guo, W. Hou, and P. Guo, "Designs of 3D mesh and torus optical Network-on-Chips: Topology, optical router and routing module," China Communications, vol. 14, pp. 17-29.

[29] J. Chan, G. Hendry, K. Bergman, and L. P. Carloni, "Physical-layer modeling and system-level design of chip-scale photonic interconnection networks," IEEE Transactions on computer-aided design of integrated circuits and systems, vol. 30, no. 10, pp. 1507-1520, 2011.

[30] F. Xia, L. Sekaric, and Y. Vlasov, "Ultracompact optical buffers on a silicon chip," Nature photonics, vol. 1, no. 1, pp. 65-71, 2007.

[31] W. Bogaerts, P. Dumon, D. Van Thourhout, and R. Baets, "Low-loss, low-cross-talk crossings for silicon-on-insulator nanophotonic waveguides," Optics letters, vol. 32, no. 19, pp. 2801-2803, 2007.

[32] B. G. Lee, A. Biberman, P. Dong, M. Lipson, and K. Bergman, "All-optical comb switch for multiwavelength message routing in silicon photonic networks," IEEE Photonics Technology Letters, vol. 20, no. 10, pp. 767-769, 2008.

[33] K. Bergman, L. P. Carloni, A. Biberman, J. Chan, and G. Hendry, *Photonic Network-on-Chip Design*. Springer, 2014.

[34] H. Wang, M. Petracca, A. Biberman, B. G. Lee, L. P. Carloni, and K. Bergman, "Nanophotonic optical interconnection network architecture for on-chip and off-chip communications," presented at Optical Fiber Communication Conference, 2008.

[35] J. Chan, G. Hendry, A. Biberman, K. Bergman, and L. P. Carloni, "Phoenixsim: A simulator for physical-layer analysis of chip-scale photonic interconnection networks," in Proceedings of the Conference on Design, Automation and Test in Europe, 2010, pp. 691-696: European Design and Automation Association.

[36] G. Hendry and J. Chan, "PhoenixSim 1.0 User Manual," Lightwave Research Lab, Columbia Univ., New York, NY, USA, 2011.

[37] A. Varga and R. Hornig, "An overview of the OMNeT++ simulation environment," in Proceedings of the 1st international conference on Simulation tools and techniques for communications, networks and systems & workshops, 2008, p. 60: ICST (Institute for Computer Sciences, Social-Informatics and Telecommunications Engineering).

[38] A. Varga, "The OMNeT++ discrete event simulation system," in Proceedings of the European simulation multiconference (ESM'2001), 2001, vol. 9, no. S 185, p. 65: sn.

[39] N. E. Jerger and L.-S. Peh, *On-chip networks*, Synthesis Lectures on Computer Architecture, vol. 4, no. 1, pp. 1-141, 2009.

[40] J. Chan and K. Bergman, "Photonic interconnection network architectures using wavelength-selective spatial routing for chip-scale communications," Journal of Optical Communications and Networking, vol. 4, no. 3, pp. 189-201, 2012.

[41] L. Liu and Y. Yang, "Energy-aware routing in hybrid optical network-on-chip for future multi-processor system-on-chip," Journal of Parallel and Distributed Computing, vol. 73, no. 2, pp. 189-197, 2013.

[42] M. R. Watts, D. C. Trotter, R. W. Young, and A. L. Lentine, "Ultralow power silicon microdisk modulators and switches," in 5th Annual Conference on Group IV Photonics, 2008, pp. 4-6.

[43] G. Hendry, S. Kamil, A. Biberman, J. Chan, B. G. Lee, M. Mohiyuddin, A. Jain, K. Bergman, L. P. Carloni, and J. Kubiatowicz, "Analysis of photonic networks for a chip multiprocessor using scientific applications," in Networks-on-Chip, 2009. NoCS 2009. 3rd ACM/IEEE International Symposium on, 2009, pp. 104-113: IEEE.

[44] Z. Lin, S. Ethier, T. Hahm, and W. Tang, "Size scaling of turbulent transport in magnetically confined plasmas," Physical Review Letters, vol. 88, no. 19, p. 195004, 2002.

[45] Cactus Computational Toolkit [Online]. Available: http://www.cactuscode.org/.

[46] J. Borrill, J. Carter, L. Oliker, D. Skinner, and R. Biswas, "Integrated performance monitoring of a cosmology application on leading HEC platforms," in 2005 International Conference on Parallel Processing (ICPP'05), 2005, pp. 119-128: IEEE.

## زیرنویس‌ها

[1] switch

[2] Waveguide

[3] Wavelength Division Multiplexing

[4] Micro-ring-Resonator

[5] Torus

[6] Original

[7] Straight path

[8] Symmetric

[9] Mesh topology

[10] Full Connection

[11] die size

[12] Bergman

[13] Random

[14] all-to-all

[15] Success setup latency

[16] Time in NIF Q