

بررسی عملکرد مالتی پلکسر سه ارزشی مبتنی بر ترانزیستورهای اثر میدان نانولوله کربنی

الهام نیک‌بخت بیدگلی^۱، کارشناس ارشد؛ داریوش دیدبان^۲، دانشیار

۱- دانشکده مهندسی برق و کامپیوتر - دانشگاه کاشان - کاشان - ایران - nikbakht_enb@yahoo.com

۲- دانشکده مهندسی برق و کامپیوتر - دانشگاه کاشان - کاشان - ایران - dideban@kashanu.ac.ir

چکیده: با توجه به کاهش مقیاس قطعات نیمه‌هادی و مدارات مجتمع تا میزان محدوده نانومتر، صنعت نیمه‌هادی با چالش‌های زیادی روبرو خواهد بود. ترانزیستورهای مبتنی بر نانولوله‌های کربنی به دلیل ابعاد بسیار کم، سرعت بالا و مصرف کم توان و همچنین به خاطر مشابه بودن عملکردشان با CMOS^۱ توجه طراحان مدارهای منطقی و سیستم دیجیتال را جلب کرده‌اند. استفاده از منطق چند-ارزشی (MVL)^۲ به دلیل کاهش عملیات ریاضی، موجب کاهش سطح تراشه و کاهش توان مصرفی در مقایسه با منطق دو ارزشی می‌شود. در این مقاله یک طراحی جدید از مالتی پلکسر با منطق سه ارزشی مبتنی بر ترانزیستورهای اثر میدان نانولوله کربنی (CNTFET)^۳ ارائه شده است. در نهایت، یک مقایسه از لحاظ توان و عملکرد مالتی پلکسر سه ارزشی CNTFET در برابر مالتی پلکسر سه ارزشی خانواده CMOS که طراحی آن نیز در این مقاله انجام شده، ارائه شده است. در ادامه نتایج شبیه‌سازی که با بهره‌گیری از نرم‌افزار HSPICE در تکنولوژی ۳۲ نانومتر به دست آمده گردیده است. نتایج شبیه‌سازی بهبود ۶۰٪ تا ۶۵٪ در مقدار تأخیر، ۹۶/۴٪ تا ۹۸٪ در مقدار توان مصرفی و تقریباً ۹۹٪ در مقدار انرژی مصرفی مدار مالتی پلکسر سه ارزشی مبتنی بر CNTFET را نسبت به مدار مشابه مبتنی بر CMOS پیشنهادی نشان می‌دهد. همچنین PDP به میزان ۹۹٪ بهبود می‌یابد.

واژه‌های کلیدی: ترانزیستور اثر میدان نانولوله کربنی، مالتی پلکسر، منطق چند ارزشی، منطق سه ارزشی، نانولوله کربنی.

Performance Evaluation of a Carbon Nanotube FET-based Ternary Multiplexer

E. Nikbakht Bidgoli¹, Msc; D. Dideban², Associate Professor

1- Faculty of Electrical and Computer Engineering, University of Kashan, Kashan, Iran, Email: nikbakht_enb@yahoo.com

2- Faculty of Electrical and Computer Engineering, University of Kashan, Kashan, Iran, dideban@kashanu.ac.ir

Abstract: Due to shrinking semiconductor device and integrated circuit dimensions into nanometer regime, semiconductor industry is facing challenging problems. Transistors based on carbon nanotubes have attracted attention among logic circuit and digital system designers due to their low dimensions, high speed, low power consumption and similarity of their performance with CMOS transistors. Using Multiple Valued Logic (MVL) causes reduction in both chip area and power consumption in comparison with binary logic due to less mathematical functions. In this paper, we proposed a novel design for a multiplexer with ternary logic using Carbon Nanotube Field Effect Transistors (CNTFETs). Eventually a comparison has been made between power and performance of this CNTFET based ternary multiplexer and its ternary counterpart in CMOS which is designed in this paper. In continue, the simulation results are presented in 32 nm technology node using HSPICE. The obtained results show between 60% to 65% improvement in latency, between 96.4% to 98% improvement in power consumption and 99% improvement in energy consumption of ternary multiplexer based on CNTFET in respect to its counterpart in CMOS. Moreover, Power Delay Product (PDP) is improved by 99%.

Keywords: Carbon nanotube field effect transistor (CNTFET), Multiplexer, Multiple-valued logic (MVL), Ternary logic, Carbon nanotube.

تاریخ ارسال مقاله: ۱۳۹۷/۶/۲۵

تاریخ اصلاح مقاله: ۱۳۹۷/۱۱/۲۵ و ۱۳۹۸/۰۲/۳۰

تاریخ پذیرش مقاله: ۱۳۹۸/۰۳/۲۳

نام نویسنده مسئول: داریوش دیدبان

نشانی نویسنده مسئول: ایران - کاشان - ۶ کیلومتر بلوار قطب راوندی - دانشگاه کاشان - دانشکده مهندسی برق و کامپیوتر.

۱- مقدمه

گوردن مور^۴ در سال ۱۹۶۵ نظریه‌ای ارائه داد مبنی بر اینکه در هر ۱۸ ماه تعداد ترانزیستورهایی که در هر تراشه به کار می‌رود دو برابر شده و اندازه آن نیز نصف می‌شود [۱]. هر چه گیت کوچک‌تر می‌شود ترانزیستور سریع‌تر می‌تواند است و در نتیجه انرژی کمتری مصرف کند و همچنین تعداد بیشتری ترانزیستور در یک تراشه سیلیکونی جای می‌گرفت. علاوه بر آن افزایش ترانزیستورها و بازدهی آن‌ها منجر به کاهش هزینه‌ها می‌شود. این کوچک‌سازی بالاخره متوقف می‌شد بنابراین برای رشد صنعت الکترونیک باید به فکر فناوری‌های جایگزین بود به طوری که مشکلات گذشته را حل کند [۲، ۳].

بسیاری از دانشمندان بر این باور هستند که نانولوله‌های کربنی به دلیل قابلیت رسانش ویژه یک‌بعدی جای مواد سیلیکونی در تراشه‌های نسل آینده را خواهند گرفت [۴، ۵]. ترانزیستور اثر میدان نانولوله کربنی برای پیاده‌سازی مدارهای منطقی به دلیل عملکرد بالا و توان مصرفی کم، گزینه مناسبی است [۶].

می‌توان با اضافه کردن چند سطح منطقی دیگر به منطق دودویی تحت عنوان منطق چند ارزشی، از آن در طراحی مدارهای دیجیتال بهره برد. استفاده از MVLها موجب کاهش سطح تراشه و پیچیدگی مدار می‌شود [۷]. پیاده‌سازی مداری منطق چند ارزشی عموماً مبتنی بر ترانزیستور ماسفت^۵ است اما در دهه اخیر به دلیل محدودیت مقیاس پذیری ناشی از جریان نشتی^۶ [۸] این کار با استفاده از ترانزیستورهای مقیاس نانو از جمله نانولوله کربنی انجام می‌شود. از وابستگی ولتاژ آستانه^۷ به کاپالیته^۸ و قطر نانولوله در CNTFETها می‌توان برای تشخیص سطوح مختلف ولتاژ منطق چند ارزشی استفاده کرد.

در بخش ۲ از این مقاله، به بررسی نانولوله‌های کربنی پرداخته شده است و سپس با استفاده از این تحقیقات ترانزیستورهای اثر میدان نانولوله کربنی مورد بررسی قرار می‌گیرد. همچنین پس از معرفی مدار چند-ارزشی، مدل مداری فشرده برای ترانزیستور اثر میدان نانولوله کربنی ارائه می‌شود. از مدل فشرده CNTFET در شبیه‌سازی مدارهای دیجیتال پایه و تولید مدارات دیجیتال چند-ارزشی بهره‌گیری می‌گردد.

در بخش ۳ طراحی مدار سه ارزشی مالتی پلکسر مبتنی بر ترانزیستورهای نانولوله کربنی ارائه شده است و این مالتی پلکسر توسط نرم‌افزار Hspice با تکنولوژی ۳۲nm در ولتاژ تغذیه ۰/۹ ولت پیاده سازی و شبیه‌سازی می‌شود. مقادیر تأخیر، توان، انرژی و مشخصه‌های دیگر آن به دست آمده و با مدار مالتی پلکسر سه ارزشی مبتنی بر CMOS که طراحی آن نیز در این مقاله ارائه شده است، مقایسه می‌شود و همچنین مزیت‌ها و فواید مدار مالتی پلکسر سه ارزشی مبتنی بر CNTFET با توجه به آنچه شبیه‌سازی شد و از نتایج به دست آمد مورد بررسی قرار می‌گیرد. در بخش ۴ نیز نتیجه‌گیری این مقاله ارائه شده است.

۲- ترانزیستورهای مبتنی بر نانولوله کربنی

نانولوله‌های کربنی تک‌جداره فقط از کربن و یک ساختار ساده (ورقه‌ای از شش‌ضلعی‌های منظم) تشکیل شده‌اند. همچنین این نانولوله‌های تک‌جداره می‌توانند رسانا یا نیمه‌رسانا باشند. این هدایت الکتریکی بالا بستگی به هندسه دقیق اتم‌های کربن دارد که می‌تواند متناسب با ساختارشان به صورت سیم‌های فلزی یا قطعات نیمه‌هادی عمل کنند.

ترانزیستورهای اثر میدان نانولوله کربنی تک‌جداره (SWCNT)^۹ رفتارهایی بسیار شبیه به رفتارهای ترانزیستورهای نیمه‌هادی ماسفت دارند که در نتیجه CNTFETها می‌توانند جایگزین مناسبی برای ماسفت‌ها در الکترونیک مقیاس نانو شوند.

مدارهای با منطق چند-ارزشی (MVL) بیش از دو سطح منطق را اجازه می‌دهد. مدارهای MVL می‌تواند تعداد عملیات لازم را برای اجرای یک تابع ریاضی خاص کاهش دهد و به این ترتیب از نظر کاهش مساحت دارای مزیت هستند که در نتیجه موجب کاهش نویز مسیر و همچنین سرعت بالاتر عملیات می‌شود [۹، ۱۰]. همچنین سیم‌ها حامل اطلاعات بیشتری نسبت به منطق دودویی مشابه خود می‌باشند که منجر به کم شدن پایه‌ها و اتصالات داخلی و خارجی می‌شود [۱۱]. علاوه بر این، تلفات توان کلی نیز می‌تواند با تبدیل طراحی از دودویی به خانواده مثلاً سه‌تایی یا چهارتایی کاهش یابد. مدارهای MVL با استفاده از ادوات همراه-بار CCDS [۱۲]، CMOS حالت-ولتاژ VMCL [۱۳، ۱۴] و CMOS حالت-جریان I²L طراحی شده است [۱۵]. جین و همکارانش مفاهیم سیستمی و مداری طراحی MVL را در مرجع [۱۶] نشان دادند. استفاده از خواص افزاره‌های CNTFET مانند قابلیت تنظیم کردن ولتاژ آستانه به مقدار دلخواه به وسیله انتخاب طول قطر مناسب برای نانولوله‌های کربنی منجر به توجه زیاد طراحان مدارات MVL به CNTFETها شده است.

اخیراً از تکنیک‌های جدیدی مثل سمبل‌زنی چگالی بار سیار و محاسبه اثرات زیرباند نانولوله‌های کربنی استفاده می‌کنند تا بتوانند مدل‌های فشرده مؤثرتر و در دسترس‌تر CNTFET را در اختیار قرار دهند [۱۷-۱۹]. در این بخش به معرفی یک مدل فشرده ترانزیستور نانولوله کربنی که توسط آن طراحی مدار و در نتیجه شبیه‌سازی انجام شده‌است، معرفی می‌شود.

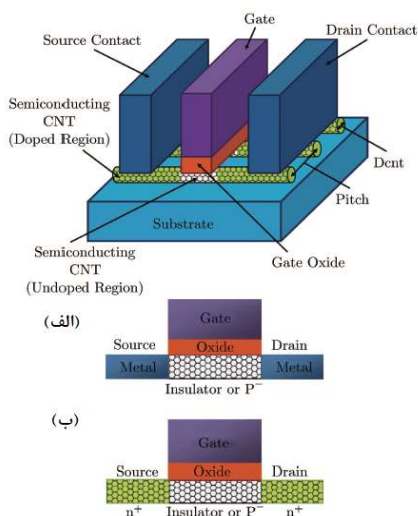
۲-۱- نانولوله کربنی

در سال ۱۹۹۱ ایچیمای^{۱۰} موفق به کشف نانولوله‌های چندجداره کربنی (MWCNT)^{۱۱} شد [۲۰]. نانولوله‌های کربنی از صفحات کربن به ضخامت یک اتم و به شکل استوانه‌ای توخالی ساخته شده است. نانولوله‌ها به دو دسته تک‌جداره (SWNT) و چندجداره (MWNT) تقسیم می‌شوند. نانولوله‌های تک‌جداره نیز بر حسب آرایش اتم‌های کربنی مقطع لوله به سه دسته مهم آرمچیر (Armchair)، کایرال (Chiral) و زیگزاگ (Zigzag) تقسیم می‌شوند. نانولوله‌ها می‌توانند مانند رساناها و نیز نیمه‌رساناها با شکاف پیوند متفاوت وابسته به

ولتاژ آستانه ترانزیستورهای اثر میدان نانولوله کربنی توسط رابطه (۲) به دست می آید.

$$V_{th} \approx \frac{E_g}{2e} = \frac{\sqrt{3}aV_{\pi}}{3eD_{CNT}} \approx \frac{0.436}{D_{CNT}(nm)} \quad (2)$$

مقادیر a برابر با $2/49 \text{ \AA}$ و V_{π} برابر با $3/033 \text{ eV}$ است. پس با توجه به طول قطر به دست آمده از کاپرالیتهی نانولوله‌ها در رابطه فوق می توان به راحتی ولتاژ آستانه افزاره را به دست آورد [۲۸-۳۰].



شکل ۱: نمونه‌ای از افزاره CNTFET (الف) سد شاتکی و (ب) شبه ماسفت.

۳-۲- منطق چند-ارزشی

یک تکنیک جدید برای طراحی گیت منطقی چند-ارزشی استفاده از ترانزیستور نانولوله کربنی توسعه یافته است [۳۱-۳۳]. این روش بر پایه خاصیت ترانزیستورهای اثر میدان نانولوله کربنی است که در رابطه (۲) نشان داده شد و ولتاژ آستانه می‌تواند به وسیله اتخاذ کردن طول قطر مناسب نانولوله به دست آید [۲۳، ۳۴، ۳۵]. این انعطاف پذیری در تغییر ولتاژ آستانه و علاوه بر آن، عملکرد خیلی بالای CNTFET‌ها و حتی داشتن توان مصرفی پایین در مقایسه با افزاره‌های MOSFET منجر به استفاده آن‌ها در مدارات آینده می‌شود [۳۶]. در سیستم‌های MVL، منطق سه ارزشی (Ternary) مطابق با سادگی و مؤثر بودن محبوبیت ویژه‌ای در این بین دارد که برای پیاده‌سازی آن با به دست آوردن دو ولتاژ آستانه مختلف از دو قطر متفاوت از لوله می‌توان استفاده نمود [۳۱، ۳۷]. در منطق سه ارزشی سه سطح وجود دارد. این سطح‌های منطقی با سمبل '0'، '1' و '2' مشخص می‌شود که مقادیر ولتاژ 0 ، $0.5 V_{DD}$ و V_{DD} ولت را نشان می‌دهد. سه نوع مختلف منطق برای منطق سه ارزشی تعریف شده است که منفی، استاندارد و مثبت است، مثل اینورتر سه ارزشی منفی (NTI) [۱۵]، اینورتر سه ارزشی استاندارد (STI) [۱۶] و اینورتر سه ارزشی مثبت (PTI) [۱۷، ۳۶، ۳۸]. در جدول ۱ مقادیر حاصل از خروجی این سه نوع اینورتر سه ارزشی نشان داده شده است. همچنین

کاپرالیتهی لوله رفتار کنند. بردار کاپرال نانولوله توسط رابطه (۱) تعریف می‌شود.

$$C_h = na_1 + ma_2 \quad (1)$$

قطر لوله، نیز با استفاده از فرمول (۲) محاسبه می‌شود.

$$D_{CNT} = \frac{|C_h|}{\pi} = \frac{a}{\pi} \sqrt{n^2 + m^2 + nm} \quad (2)$$

n و m اعداد صحیح هستند و a_1 و a_2 بردارهای واحد از شش ضلعی می‌باشند. یک نانولوله آرمچیر با موردی که $n = m$ باشد و یک نانولوله زیگزگ با موردی که $m = 0$ باشد مطابقت دارند. نانولوله‌ها از لحاظ رسانایی به دو بخش عمده فلزی و نیمه‌هادی دسته‌بندی می‌شوند. شرط فلزی بودن نانولوله‌ها این است که $(n-m)$ مضربی از ۳ باشد. بنابراین نانولوله‌های آرمچیر (n,n) همیشه فلزی هستند و نانولوله‌های زیگزگ $(n,0)$ فقط زمانی فلزی هستند که n مضربی از ۳ باشد [۲۱، ۲۲].

۲-۲- ترانزیستورهای نانولوله کربنی

تعداد کمی از تکنولوژی‌ها وجود دارند که می‌توانند جایگزین ترانزیستور به عنوان قطعه منطقی پایه شوند. این‌ها شامل مقاومت دیفرانسیلی منفی [۱]، ترانزیستورهای ساخته شده از نانو سیم‌ها یا نانولوله‌ها، مدارات QCA [۲] و سویچ‌های با قابلیت پیکربندی مجدد [۳] است. این قطعات اندازه‌ای در حد چند نانومتر دارند [۲۳، ۲۴].

ترانزیستور نانولوله کربنی خیلی مشابه ماسفت‌ها هستند که در آن کانال سیلیکونی با یک و یا چند نانولوله کربن جایگزین شده است. شکل ۱ نمونه‌ای از CNTFET را نشان می‌دهد. CNTFET‌ها به دلیل ساختار نواری یک‌بعدی و همچنین مشخصه $I-V$ و مشخصه انتقالی شان جایگزین مناسبی برای ماسفت‌ها هستند.

دو نوع اصلی ترانزیستورهای اثر میدان نانولوله کربنی، CNTFET سد شاتکی و CNTFET شبه ماسفت است [۲۵]. در شکل ۱ این دو نوع نشان داده شده است. در CNTFET شبه ماسفت نواحی سورس و درین به شدت ناخالص سازی شده‌اند و یک سد پتانسیل الکتروستاتیک در کانال به وجود می‌آید که از عبور جریان جلوگیری می‌کند. یک ولتاژ گیت مثبت، سد را به سمت پایین می‌راند و باعث جاری شدن جریان می‌شود. در CNTFET شاتکی اتصالات سورس و درین فلزی هستند. زیر حد آستانه، سد پتانسیل در کانال بسیار شبیه به سد پتانسیل در یک ماسفت به نظر می‌رسد اما بالای حد آستانه، یک سد شاتکی بین سورس و کانال وجود دارد. ولتاژ گیت، جریان تونل‌زنی را با مدولاسیون عرض سد، مدوله می‌کند و بنابراین ترانزیستور عمل می‌کند. از آنجا که یک سد تونل‌زنی در سورس است باید انتظار داشت که جریان ON یک ترانزیستور اثر میدان سد شاتکی کمتر از جریان ON در یک ترانزیستور اثر میدان شبه ماسفت باشد [۲۶، ۲۷].

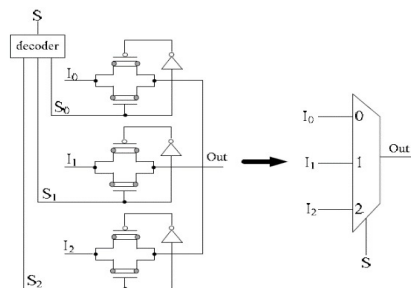
۳- طراحی مالتهی پلکسر سه ارزیابی مبتنی بر CNTFET

ترانزیستورهای نانولوله کربنی به دلیل شباهتشان به مسافت‌ها در بخش مشخصه ذاتی الکترونیک در دوره‌های اخیر بیشتر مورد توجه طراحان قرار گرفته‌اند، به‌علاوه بی‌مانندی تک‌بعدهی ساختار باند CNTFET، موجب عملکرد نزدیک بالستیک می‌شود که این عملکرد، رفتار سرعت بالای مدار مبتنی بر CNTFET را نتیجه می‌دهد. همچنین این ساختار تک‌بعدهی مقاومت را کم می‌کند که منجر به کمتر شدن انرژی مصرفی و در نتیجه کاهش چگالی توان مصرفی در کانال CNTFET می‌شود.

در الکترونیک، مالتهی پلکسر مدار است که یکی از چند سیگنال دیجیتال یا آنالوگ ورودی‌هایش را انتخاب کرده و سپس آن ورودی انتخاب‌شده را به یک خط خروجی هدایت می‌کند. در حالت منطق دودویی، تسهیم‌کننده‌ای با 2^n ورودی، n خط انتخاب دارد، این خطوط انتخاب مشخص می‌کنند که کدام خط ورودی باید به خط خروجی هدایت شود. در این مقاله به دلیل اینکه طراحی مدارات با استفاده از منطق چند ارزشی (MVL) است و مدار منطق سه ارزشی دارد، تسهیم‌کننده‌ای با 3^n ورودی، n خط انتخاب دارد که مالتهی پلکسر ۳ به ۱ با یک خط انتخاب در این مقاله طراحی شده است.

مالتهی پلکسر سه سطحی بر پایه طراحی دیگر گفته شده در شکل ۲-ج در [۴۳] نشان داده شده است. این طراحی بر پایه گیت انتقال (Transmission Gate) است که شامل گیت‌های انتقال، یک دیگر سه سطحی و سه اینورتر ساده مبتنی بر CNTFET است. شکل ۴ این مالتهی پلکسر سه سطحی را نشان می‌دهد. وقتی سیگنال S منطق ۰ دارد خروجی S_0 منطق ۲ خواهد داشت و در نتیجه I_0 به خروجی انتقال پیدا می‌کند. مشابه با آن، اگر S منطق ۱ داشته باشد I_1 و اگر S منطق ۲ داشته باشد I_2 به خروجی انتقال پیدا می‌کند [۴۳].

در ساختار پیشنهادی در مراجع [۴۳، ۴۴] مؤلفان تمام‌جمع‌کننده و نیم‌جمع‌کننده ای طراحی کرده‌اند که در بخشی از طراحی آن‌ها از مالتهی پلکسر سه سطحی شکل ۴ استفاده شده است. با مقایسه نتایج به دست‌آمده از این دو ساختار و مدار پیشنهادی مالتهی پلکسر سه ارزشی مبتنی بر CNTFET موجود در این مقاله مشاهده می‌شود که توان مصرفی مدار پیشنهادی موجود در این مقاله تقریباً یک‌سوم و همچنین تأخیر مدار پیشنهادی نزدیک به ۱/۱ تأخیر مدار شکل ۴ می‌باشد.

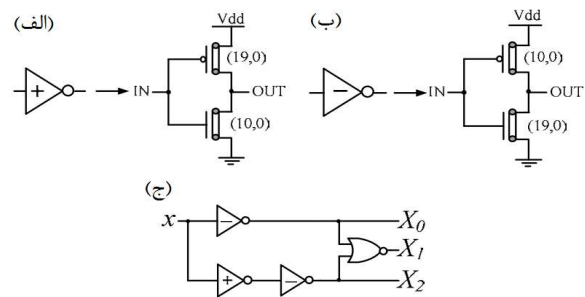


شکل ۴: مالتهی پلکسر سه سطحی ارائه شده در مرجع [۴۳].

در شکل ۲ نمونه‌ای از مدارات پیاده‌سازی PTI و NTI نمایش داده شده است. عددهای داخل براکت نشان‌دهنده کایرالیتهی (m, n) از CNTFET است. در شکل ۲-ج) دیگر سه سطحی نمایش داده شده است. دیگر شامل یک PTI، دو NTI و یک گیت NOR است. گیت NOR، گیت منطقی باینری ساده با دو سطح ۰ و ۲ است و می‌تواند با جایگزینی CNTFET‌ها به جای MOSFET در اینورتر CMOS به دست آید. توسط این دیگر می‌توان هر سطح از منطق سه ارزشی را دیگر نمود [۳۹].

جدول ۱: جدول درستی گیت اینورتر سه سطحی مبتنی بر CNTFET [۳۶].

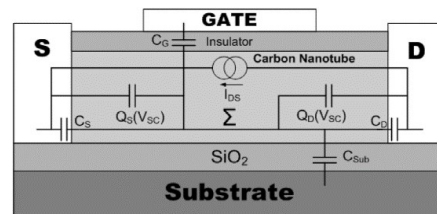
IN	STI	NTI	PTI
۰	۲	۲	۲
۱	۱	۰	۲
۲	۰	۰	۰



شکل ۲: نمونه‌ای از پیاده‌سازی (الف) اینورتر سه ارزشی مثبت (PTI)، (ب) اینورتر سه ارزشی منفی (NTI)، (ج) دیگر سه ارزشی [۳۶]. [۳۹]

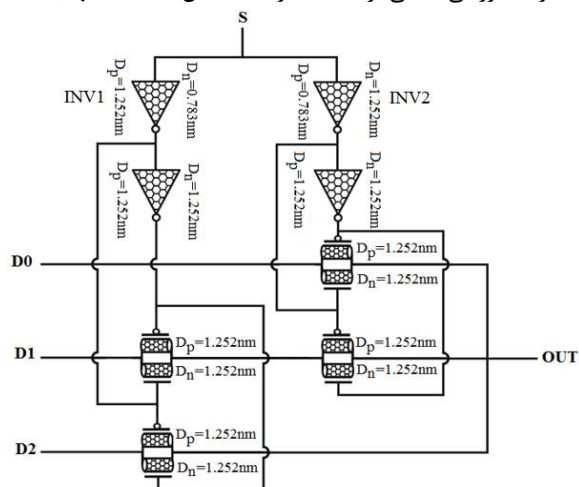
۲-۴ مدل فشرده ترانزیستورهای اثر میدان نانولوله کربنی

اخیراً، تقریب سمبلیک^{۱۸} برای مدل‌سازی چگالی بار در ناحیه بالستیک CNTFET‌ها ارائه شده است [۴۰، ۴۱، ۴۲]. تکنیک تقریب‌زنی دارای سرعت بسیار بالا و درعین حال دقت محاسباتی لازم چگالی بار در طول کانال نانولوله کربن است. دانشگاه استنفورد مدل فشرده CNTFET را برای شبیه‌ساز HSPICE در اختیار طراحان مدار قرار داده است. این مدل نشان می‌دهد که پتانسیل خود-سازگار^{۱۹} در ناحیه گیت، می‌تواند حالت انتقال حامل‌ها را در CNTFET تخمین بزند. شکل ۳ مدل دوبعدی برای CNTFET را نشان داده است [۴۰].



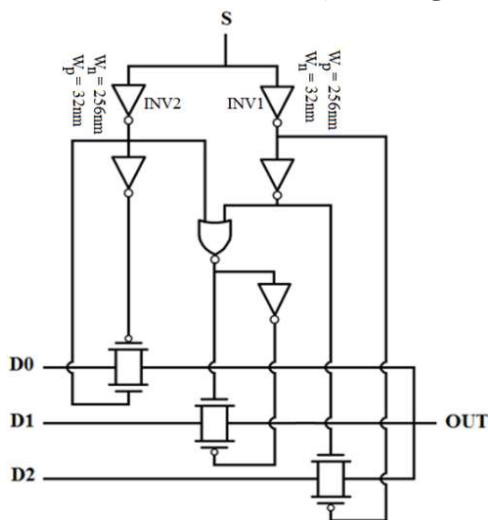
شکل ۳: مدل فشرده مداری CNTFET [۴۲].

میبتنی بر CMOS بررسی می گردد. یکی از مزیت های مهم مدار مالتی پلکسر سه ارزی میبتنی بر CMOS ارائه شده، این است که تنها با



شکل ۵: مدار مالتی پلکسر سه ارزی میبتنی بر CNTFET پیشنهادی.

استفاده از یک ولتاژ تغذیه طراحی شده است. به طوری که می تواند سه سطح منطق را پیاده سازی نماید. در شکل ۶ که مدار طراحی شده نشان داده شده است، به جز دو اینورتر اول که مقادیر عرض گیت آن ها در شکل آمده و از عرض های ۲۵۶nm و ۳۲nm ساخته شده اند، بقیه ترانزیستورهای مدار، عرض گیت برابر با ۳۲ نانومتر دارند. در شکل ۷ سیگنال های ورودی، خط انتخاب و خروجی مدار مالتی پلکسر سه ارزی میبتنی بر CMOS پیشنهادی نمایش داده شده است.



شکل ۶: مدار مالتی پلکسر سه ارزی میبتنی بر CMOS پیشنهادی.

۳-۳- نتایج شبیه سازی

در شکل ۸-الف) مشخصه انتقالی دو گیت INV1 و INV2 نشان داده شده در شکل ۶ یعنی مدار مالتی پلکسر سه ارزی میبتنی بر CMOS پیشنهادی نشان داده شده است. مشابه با آن شکل ۸-ب) مشخصه انتقالی دو گیت INV1 و INV2 در شکل ۵، مدار مالتی پلکسر سه

در این مقاله یک مالتی پلکسر سه ارزی میبتنی بر CNTFET با عملکرد سرعت بالا و توان مصرفی پایین ارائه می گردد که توسط شبیه ساز HSPICE و مدل فشرده CNTFET استنفورد در تکنولوژی ۳۲ نانومتر و در ولتاژ تغذیه ۰/۹ ولت طراحی شده است. همچنین مدار مالتی پلکسر سه ارزی میبتنی بر CMOS نیز برای مقایسه عملکرد و نشان دادن مزیت های مالتی پلکسر سه ارزی میبتنی بر CNTFET طراحی شده است. این مقایسه در مشخصه های تأخیر، توان مصرفی، انرژی مصرفی و مشخصه های دیگر مدار انجام می شود.

مدار مالتی پلکسر سه ارزی میبتنی بر CMOS نیز توسط HSPICE و در تکنولوژی ۳۲ نانومتر و ولتاژ تغذیه ۰/۹ ولت شبیه سازی شده است تا صحت عملکرد آن تأیید شود. یکی از مزیت های مهم مدار مالتی پلکسر سه ارزی میبتنی بر CMOS ارائه شده استفاده از تنها یک منبع تغذیه برای طراحی مدار سه سطحی است.

۳-۱- طراحی مالتی پلکسر سه ارزی میبتنی بر CNTFET

پیشنهادی

یک مالتی پلکسر الکترونیکی به چند سیگنال امکان می دهد تا از یک دستگاه یا منبع به صورت اشتراکی استفاده کنند و این امر سبب کاهش خطوط انتقال و کارایی بالاتر مدارات خواهد شد. به طور کلی هر ورودی مالتی پلکسر برای شناسایی به یک آدرس منطقی نیاز دارد که با استفاده از خط انتخاب ورودی شناسایی و انتخاب می شود و سپس به خروجی انتقال می یابد.

در طراحی مدار مالتی پلکسر سه ارزی میبتنی بر CNTFET از گیت اینورتر NTI، PTI که در بخش قبل توضیح داده شد و همچنین گیت اینورتر معمولی (دودویی) استفاده شده است. با توجه به آن که مدار منطق سه ارزی دارد برای طراحی این مدار از دو طول قطر متفاوت (۰، ۱۰) و (۰، ۱۶) که منجر به تولید دو ولتاژ آستانه مختلف ۰/۵۵۶۸ ولت و ۰/۳۴۸ ولت می شود، استفاده شده است.

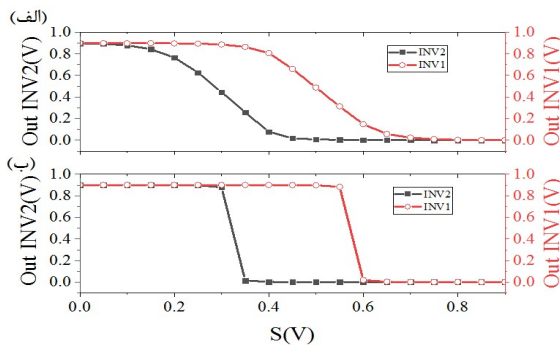
مدار طراحی شده در شکل ۵ نشان داده شده است. با توجه به شکل ۵ توسط خط انتخاب S یکی از ورودی های D0، D1 و D2 انتخاب و به خروجی (OUT) هدایت می شود. اگر مقدار S صفر منطقی باشد، خروجی خط D0 می شود و اگر مقدار S یک منطقی $V_{DD}/5$ یا همان ۰/۴۵ ولت باشد، خروجی خط D1 می شود و به همین صورت اگر مقدار S دو منطقی (V_{DD}) یا ۰/۹ ولت باشد، مدار خط D2 را به خروجی هدایت خواهد کرد. حال با توجه به اینکه هر یک از خط های ورودی D0، D1 و D2 خود نیز می توانند مقادیر سه ارزی داشته باشند، در نهایت خروجی های شکل ۷ ایجاد می گردد.

۳-۲- طراحی مالتی پلکسر سه ارزی میبتنی بر CMOS

پیشنهادی

به منظور مقایسه و نمایش بهتر عملکرد مدار مالتی پلکسر سه ارزی میبتنی بر CNTFET پیشنهادی، طراحی مدار مالتی پلکسر سه ارزی

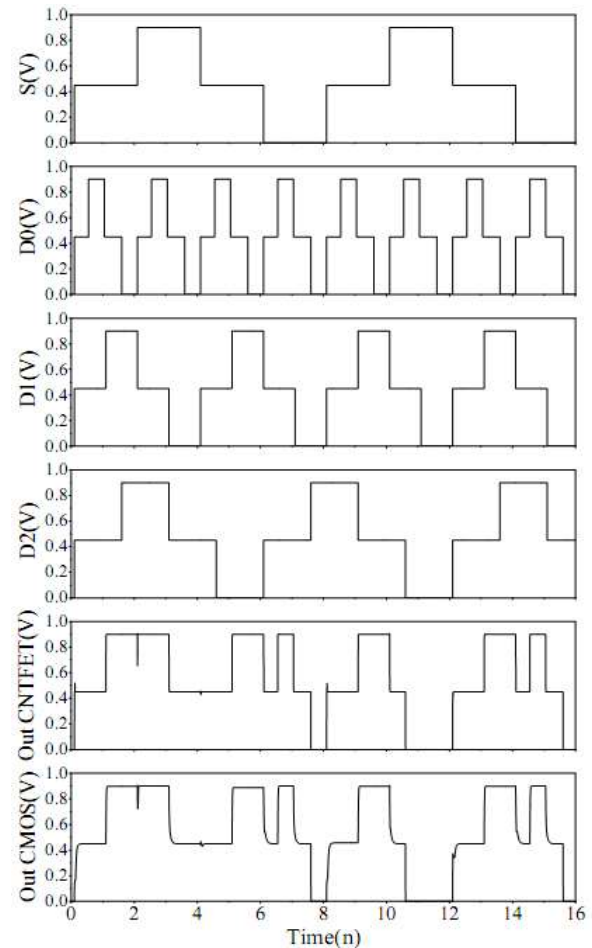
تأخیر بسیار کم مدار مالتی پلکسر سه ارزی میبتنی بر CNTFET، موجب عملکرد سرعت بالاتر در آن شده است. در ولتاژ تغذیه ۰/۸ ولت تأخیر مدار میبتنی بر CNTFET نسبت به مدار میبتنی بر CMOS تقریباً ۶۵٪ بهبود داشته است و این بهبود در ولتاژ ۱ ولت تغذیه به ۶۰٪ نیز می‌رسد. در شکل ۹-ب) عملکرد تأخیر مدار در دماهای مختلف نشان داده شده است. در مدار CMOS هر چه دما بیشتر می‌شود مقدار تأخیر مدار نیز بیشتر می‌شود اما در مدار CNTFET با افزایش دما این مقدار تأخیر به مقدار ناچیزی کم می‌شود. با توجه به شکل ۹-ب) به راحتی می‌توان دریافت که حساسیت مدار CNTFET نسبت به دما بسیار کم است. تأخیر مدار مالتی پلکسر سه ارزی میبتنی بر CMOS پیشنهادی در دماهای مختلف چیزی حدود ۲/۵ تا ۳/۵ برابر مدار مشابه میبتنی بر CNTFET است، این اختلاف خود دلیلی بر عملکرد سرعت بالای مدارات میبتنی بر CNTFET است. در نتیجه در مدار میبتنی بر CNTFET پیشنهادی تأخیر در دماهای مختلف حدود ۵۹٪ تا ۷۲٪ نسبت به مدار میبتنی بر CMOS بهبود داشته است.



شکل ۸: مشخصه انتقالی دو اینورتر متصل به خط انتخاب مالتی پلکسر سه ارزی میبتنی بر (الف) CMOS، (ب) میبتنی بر CNTFET.

برای محاسبه تأخیر مدار، میانگین تأخیر از هر خط ورودی به خروجی، یعنی میانگین تأخیر سه خط ورودی D0، D1 و D2 است و همچنین قابل ذکر است که چون مدار سه ارزی است هر کدام از خط‌های ورودی نیز دارای چهار حالت (منطق دو به صفر، دو به یک، یک به دو و صفر به دو) می‌باشد که میانگین حالت‌های آن‌ها برای هر خط ورودی محاسبه و لحاظ شده است؛ یعنی به‌ازای هر ولتاژ تغذیه میانگین تأخیر ۱۲ حالت ممکن (سه خط ورودی که هر کدام ۴ حالت دارند) اندازه‌گیری شده است. در محاسبه تأخیر برحسب دما، ولتاژ تغذیه ۰/۹ ولت در نظر گرفته شده است و در محاسبه تأخیر برحسب ولتاژ تغذیه دما ۲۷ درجه سانتی‌گراد در نظر گرفته شده است.

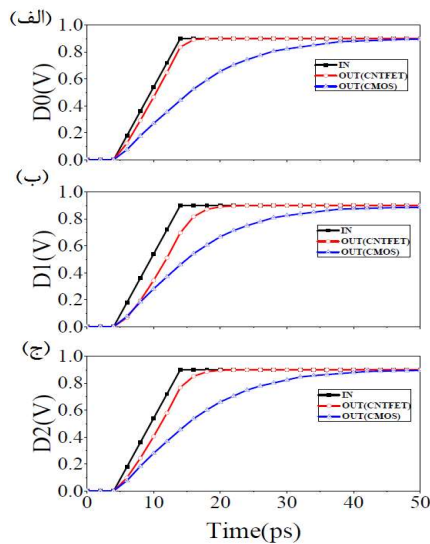
ارزشی میبتنی بر CNTFET پیشنهادی را نشان می‌دهد. با توجه به شکل (۸) می‌توان مشاهده کرد که حاشیه نویز اینورترهای میبتنی بر CNTFET بیشتر از اینورترهای میبتنی بر CMOS می‌باشد زیرا مشخصه انتقالی آن‌ها تیزتر بوده و به حالت ایده آل نزدیک‌تر است. با اندازه‌گیری پارامترهای حاشیه نویز بر اساس مشخصه‌های انتقالی اینورترهای CMOS، حاشیه نویزهای پایین برابر ۰/۲ و ۰/۴ ولت و حاشیه نویزهای بالا برابر ۰/۵ و ۰/۳ ولت به ترتیب برای اینورترهای چپ و راست متصل به سیگنال انتخاب در شکل ۶ به دست می‌آید. همچنین با اندازه‌گیری پارامترهای حاشیه نویز بر اساس مشخصه‌های انتقالی اینورترهای CNTFET، حاشیه نویزهای پایین برابر ۰/۳ و ۰/۵۵ ولت و حاشیه نویزهای بالا برابر ۰/۵۵ و ۰/۳ ولت به ترتیب برای اینورترهای راست و چپ متصل به S در شکل ۷ به دست می‌آید. در شکل ۹-الف) تأخیر برحسب ولتاژهای تغذیه مختلف برای هر دو مدار مالتی پلکسر سه ارزی میبتنی بر CNTFET و میبتنی بر CMOS پیشنهادی نمایش داده شده است.



شکل ۷: مشخصه حالت گذرا مالتی پلکسر سه ارزی میبتنی بر

CNTFET و CMOS پیشنهادی.

با توجه به شکل می‌توان مشاهده نمود که هر چه ولتاژ تغذیه زیادتر می‌شود تأخیر کاهش می‌یابد و سرعت مدار نیز بیشتر می‌شود. این

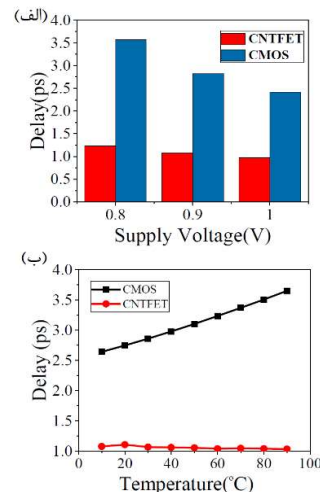


شکل ۱۰: مقایسه سیگنال (الف) D0، (ب) D1، (ج) D2 انتقال یافته به خروجی در مدار مالتی پلکسر مبتنی بر CNTFET و مبتنی بر CMOS پیشنهادی با شکل موج ورودی آن.

به طوری که در ولتاژ $0.8/1$ ولت تغذیه توان مدار مبتنی بر CMOS پیشنهادی حدود ۱۶۰ برابر توان در مدار مبتنی بر CNTFET است و این نسبت در ولتاژ ۱ ولت تغذیه حدود ۳۰ برابر می شود یعنی توان در مدار مبتنی بر CNTFET پیشنهادی حدود ۹۵٪ تا ۹۹٪ نسبت به مدار مبتنی بر CMOS پیشنهادی بهبود می یابد.

در شکل ۱۱-ب) توان مصرفی بر حسب تغییرات دما نشان داده شده است. در مدار مبتنی بر CMOS پیشنهادی با زیاد شدن دما توان مصرفی کم می شود اما در مدار مبتنی بر CNTFET پیشنهادی توان به مقدار ناچیز در رنج نانو وات افزایش پیدا می کند که این نشان دهنده حساسیت کمتر توان مصرفی مدار مبتنی بر CNTFET پیشنهادی نسبت به دما است. توان مصرفی مدار CMOS پیشنهادی در دماهای مختلف چیزی حدود ۲۸ تا ۴۶ برابر مدار مبتنی بر CNTFET پیشنهادی می باشد؛ یعنی توان مدار مالتی پلکسر سه ارزی مبتنی بر CNTFET پیشنهادی بر حسب دما حدود ۹۶/۴٪ تا ۹۸٪ نسبت به مدار مبتنی بر CMOS پیشنهادی بهبود داشته است.

برای محاسبه توان در شبیه سازی، یکی از خط های ورودی را که باید به خروجی انتقال پیدا کند (توسط خط انتخاب S) پالس با دو مد سطح ولتاژ $V_{DD}/2$ و V_{DD} (به دلیل سه سطحی بودن مدار) داده و دو خط ورودی دیگر برابر مقادیر ولتاژ صفر ولت قرار داده می شود و سپس توان مصرفی مدار محاسبه می گردد. از آنجا که سه سطح ورودی وجود دارد، برای خطی که انتقال می یابد دو حالت $V_{DD}/2$ و V_{DD} را به عنوان بیشترین ولتاژ ورودی در پالس در نظر گرفته و توان محاسبه و میانگین گیری انجام می پذیرد. این کار برای دو خط انتخاب دیگر نیز به همین طریق انجام و میانگین سه توان محاسبه شده از سه خط ورودی

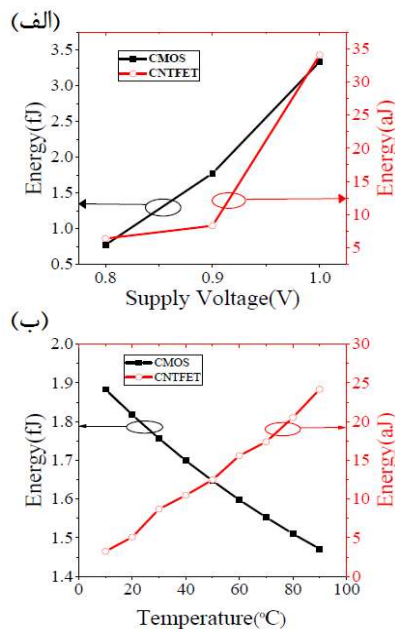


شکل ۹: تأخیر دو مدار مالتی پلکسر سه ارزی میبتنی بر CMOS و مبتنی بر CNTFET پیشنهادی بر حسب: (الف) ولتاژهای تغذیه مختلف، (ب) دمای مختلف.

این تفاوت در تأخیر مدار مالتی پلکسر سه ارزی میبتنی بر CMOS و مدار مبتنی بر CNTFET پیشنهادی و همچنین سرعت بالای مدار مبتنی بر CNTFET را در شکل ۱۰ به خوبی می توان مشاهده کرد. در شکل (۱۰) ورودی مدار خط مشکی رنگ است و اگر فرض شود که خط انتخاب مقدار صفر منطقی دارد، سیگنال D0 به خروجی انتقال پیدا می کند و هدایت این سیگنال D0 به خروجی در دو مدار مالتی پلکسر سه ارزی مبتنی بر CNTFET و مبتنی بر CMOS پیشنهادی در شکل ۱۰-الف) به رنگ های قرمز و آبی نمایش داده شده است، به طوری که تأخیر زیاد مدار مالتی پلکسر سه ارزی مبتنی بر CMOS پیشنهادی نسبت به مدار مشابه مبتنی بر CNTFET به وضوح قابل مشاهده است. حال اگر فرض شود که خط انتخاب S مقدار یک منطقی دارد، ورودی D1 به خروجی منتقل خواهد شد، این هدایت سیگنال D1 به طور دقیق تر در شکل ۱۰-ب) نشان داده شده است و هنگامی که S (خط انتخاب) مقدار دو منطقی باشد، خط ورودی D2، به خروجی هدایت خواهد شد. شکل ۱۰-ج) انتقال سیگنال D2 را به خروجی در دو مدار مالتی پلکسر سه ارزی مبتنی بر CMOS پیشنهادی و مدار مشابه مبتنی بر CNTFET نشان می دهد.

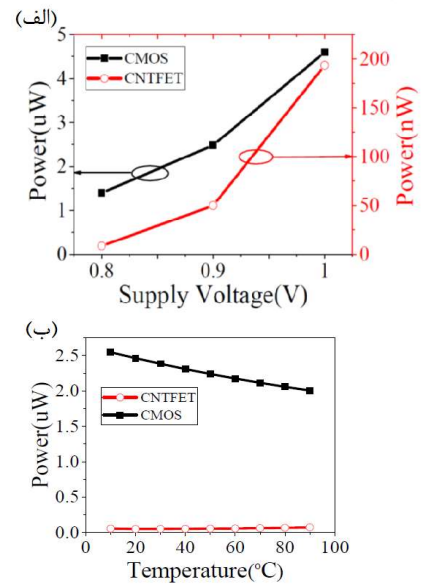
در شکل ۱۱-الف) مقادیر توان بر حسب ولتاژ تغذیه برای هر دو مدار مالتی پلکسر سه ارزی مبتنی بر CMOS و مبتنی بر CNTFET پیشنهادی نشان داده شده است. با افزایش ولتاژ تغذیه، مقدار توان مصرفی نیز زیاد می شود. با توجه به این نمودار مقادیر محدوده توان در مدار مالتی پلکسر سه ارزی مبتنی بر CMOS پیشنهادی در محدوده میکرو وات و در مدار مبتنی بر CNTFET در محدوده نانو وات می باشد. این تفاوت توان مصرفی در دو مدار نمایان گر این است که مدارات مبتنی بر CNTFET متناسب با آنچه که در قبل نیز گفته شد، مداراتی با توان مصرفی پایین و سرعت بالا است.

ورودی وجود دارد، برای خطی که انتقال می یابد دو حالت $VDD/2$ و VDD به عنوان بیشترین ولتاژ ورودی در پالس در نظر گرفته و انرژی مصرفی محاسبه و میانگین گیری انجام می گردد. این کار برای دو خط انتخاب دیگر نیز به همین طریق انجام شده و انرژی سه توان به دست آمده از سه خط ورودی محاسبه می گردد. در محاسبه انرژی برحسب دما ولتاژ تغذیه 0.9 ولت در نظر گرفته شده است و در محاسبه انرژی برحسب ولتاژ تغذیه دما 27 درجه سانتی گراد در نظر گرفته شده است. در شکل ۱۳-الف) و (ب)، مقادیر تأخیر و توان برحسب خازن بار برای مدار مالیتی پلکسر سه ارزی میبتنی بر $CNTFET$ و میبتنی بر $CMOS$ پیشنهادی محاسبه شده است، این مقادیر با افزایش خازن بار در هر دو مدار میبتنی بر $CNTFET$ و میبتنی بر $CMOS$ به صورت خطی افزایش پیدا می کنند و حساسیت و تغییرات نسبتاً مشابه با یکدیگر دارند. به طوری که با افزایش خازن مقدار توان مصرفی و تأخیر مدار نیز در هر دو مدار با شیب تقریباً یکسانی افزایش می یابد. شکل ۱۳-ج) مقادیر انرژی مصرفی برحسب خازن بار را برای هر دو مدار نشان می دهد که در مدار مالیتی پلکسر سه ارزی میبتنی بر $CMOS$ انرژی مصرفی برحسب خازن بار حدود 220 تا 380 برابر مدار میبتنی بر $CNTFET$ است.



شکل ۱۲: انرژی مصرفی دو مدار مالیتی پلکسر سه ارزی میبتنی بر $CMOS$ و میبتنی بر $CNTFET$ پیشنهادی برحسب: (الف) ولتاژهای تغذیه مختلف، (ب) دمای مختلف.

در شکل ۱۳-د)، PDP برحسب خازن بار برای مدار مالیتی پلکسر سه ارزی میبتنی بر $CNTFET$ و میبتنی بر $CMOS$ پیشنهادی محاسبه شده است. با توجه به مدار منحنی مالیتی پلکسر سه ارزی میبتنی بر $CNTFET$ با شیب کمتری نسبت به مدار میبتنی بر $CMOS$ اثر خازن بار را دنبال می کند، به طوری که با افزایش خازن بار مقدار PDP به طور خطی افزایش نمی یابد (غیر مشابه با مدار میبتنی بر $CMOS$ پیشنهادی).



شکل ۱۱: توان مصرفی دو مدار مالیتی پلکسر سه ارزی میبتنی بر $CMOS$ و میبتنی بر $CNTFET$ پیشنهادی برحسب: (الف) ولتاژهای تغذیه مختلف، (ب) دمای مختلف.

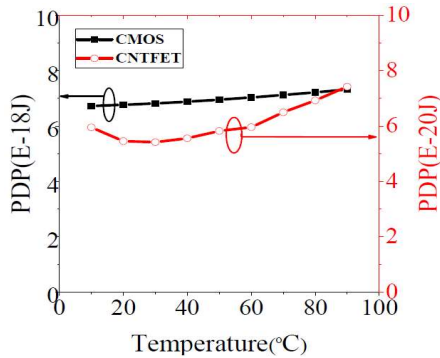
به دست آورده می شود. در محاسبه توان برحسب دما ولتاژ تغذیه 0.9 ولت در نظر گرفته شده است و در محاسبه توان برحسب ولتاژ تغذیه دما 27 درجه سانتی گراد در نظر گرفته شده است.

در شکل ۱۲-الف) مقادیر انرژی برحسب سه ولتاژ تغذیه 0.8 ، 0.9 و یک ولت برای دو مدار مالیتی پلکسر سه ارزی میبتنی بر $CNTFET$ و میبتنی بر $CMOS$ محاسبه و نشان داده شده است. در هر سه ولتاژ تغذیه مختلف، انرژی مصرفی مدار میبتنی بر $CNTFET$ پیشنهادی حدود 99% نسبت به مدار میبتنی بر $CMOS$ پیشنهادی بهبود دارد.

در شکل ۱۲-ب) مقدار انرژی مصرفی برحسب دما برای دو مدار مالیتی پلکسر سه ارزی میبتنی بر $CMOS$ و میبتنی بر $CNTFET$ پیشنهادی نشان داده شده است، محور سمت راست (قرمز رنگ) مربوط به نمودار انرژی مدار مالیتی پلکسر سه ارزی میبتنی بر $CNTFET$ پیشنهادی (نمودار قرمز رنگ) می باشد که در حدود رنج آتو ژول و محور سمت چپ (مشکی رنگ) مربوط به نمودار انرژی مدار میبتنی بر $CMOS$ می باشد که در حدود رنج فمتو ژول است. با افزایش دما انرژی مصرفی در مدار مالیتی پلکسر سه ارزی میبتنی بر $CMOS$ پیشنهادی کاهش می یابد اما در مدار مالیتی پلکسر سه ارزی میبتنی بر $CNTFET$ پیشنهادی افزایش می یابد. به طوری که مدار مالیتی پلکسر سه ارزی میبتنی بر $CNTFET$ پیشنهادی به طور یکنواخت بهبود 99% نسبت به مدار میبتنی بر $CMOS$ پیشنهادی در دماهای مختلف دارد.

برای محاسبه انرژی در شبیه سازی، یکی از خط های ورودی که قرار است به خروجی انتقال پیدا کند (توسط خط انتخاب S) پالس با دو مد سطح ولتاژ $VDD/2$ و VDD (به دلیل سه سطحی بودن مدار) داده و به دو خط ورودی دیگر مقادیر ولتاژ صفر ولت داده می شود و سپس انرژی مصرفی مدار محاسبه می گردد. از آنجا که سه سطح

دوازده حالت برای هر یک از محدوده انحراف های ۵٪، ۱۰٪ و ۱۵٪ به دست می آید.



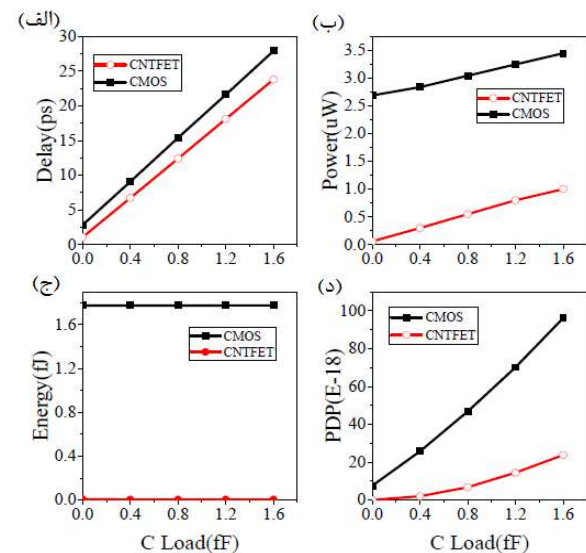
شکل ۱۴: PDP برحسب دما در دو مدار مالتی پلکسر سه ارزی میبتنی بر CMOS و CNTFET پیشنهادی.

برای به دست آوردن تغییرات دما در هر یک از این حالت ها با استفاده از روش مونتئ کارلو اعداد تصادفی در هر یک از محدوده انحراف های ۵٪، ۱۰٪ و ۱۵٪ توسط توابع پارامتر Gaussian و با سیگمای برابر سه در ۱۰۰ نمونه تأخیر محاسبه می گردد، یعنی هر یک از دوازده حالت گفته شده برای هر یک از محدوده انحرافات ۵٪، ۱۰٪ و ۱۵٪ در ۱۰۰ نمونه اندازه گیری شده است. در شکل ۱۵ نتیجه این محاسبات و اندازه گیری ها نشان داده شده است. برای اندازه گیری توان نیز مقادیر برای هر سه ورودی محاسبه و مشابه با حالت اندازه گیری تأخیر در ۱۰۰ نمونه اندازه گیری انجام می گردد و سپس میانگین گیری می شود. با توجه به شکل ۱۵ تغییرات تأخیر و توان برحسب انحرافات طول نانولوله مدار مالتی پلکسر سه ارزی میبتنی بر CNTFET پیشنهادی قابل مشاهده است.

۴- نتیجه گیری

در این مقاله ابتدا خواص، انواع و عملکرد ترانزیستورهای نانولوله کربنی مورد بررسی قرار گرفت. همان طور که گفته شد عملکرد نزدیک به بالستیک نانولوله ها منجر به رفتار سرعت بالای ترانزیستورهای نانولوله کربنی شده است. همچنین ساختار تک بعدی آن ها مقاومت را کم می کند و باعث کم تر شدن انرژی مصرفی و در نتیجه چگالی توان مصرفی در کانال CNTFET ها شده است. پس از آن با استفاده از شبیه ساز HSPICE و مدل فشرده استنفورد در تکنولوژی ۳۲ نانومتر طراحی مدار مالتی پلکسر سه ارزی میبتنی بر CNTFET ارائه گردید. سپس، به منظور مقایسه و نشان دادن مزیت مدار طراحی شده به طراحی مدار مالتی پلکسر سه ارزی میبتنی بر CMOS نیز انجام پذیرفت. در نهایت مقادیر تأخیر، توان، انرژی و PDP دو مدار مالتی پلکسر سه ارزی میبتنی بر CMOS و CNTFET پیشنهادی محاسبه گردید.

در شکل ۱۴، PDP برحسب دما در دو مدار مالتی پلکسر سه ارزی میبتنی بر CMOS و میبتنی بر CNTFET پیشنهادی محاسبه شده است، محور سمت راست (قرمز رنگ) مربوط به نمودار PDP مدار میبتنی بر CNTFET و محور سمت چپ (مشکی رنگ) مربوط به نمودار PDP مدار میبتنی بر CMOS است. همان طور که از شکل ۱۴ مشاهده می شود، محدوده تغییرات PDP در مدار میبتنی بر CNTFET بیشتر از ژئو ژول می باشد که مقداری بسیار کم است. همچنین مقادیر PDP مدار میبتنی بر CNTFET در دماهای مختلف تقریباً یکسان و مقداری ثابت دارد. PDP مدار میبتنی بر CMOS در محدوده آتو ژول است که تقریباً صد برابر مدار میبتنی بر CNTFET است، این PDP به طور خطی با افزایش دما با شیب بسیار کم افزایش می یابد، به طوری که مقدار PDP در مدار میبتنی بر CMOS از دمای صفر درجه سانتی گراد تا دمای ۹۰ درجه سانتی گراد کمتر از یک فمتو تغییر می کند که در نتیجه می توان گفت PDP برای هر دو مدار میبتنی بر CMOS و میبتنی بر CNTFET پیشنهادی تقریباً یکنواخت است و PDP در مدار مالتی پلکسر سه ارزی میبتنی بر CNTFET به طور یکنواخت ۹۹٪ نسبت به مدار میبتنی بر CMOS پیشنهادی بهبود داشته است.



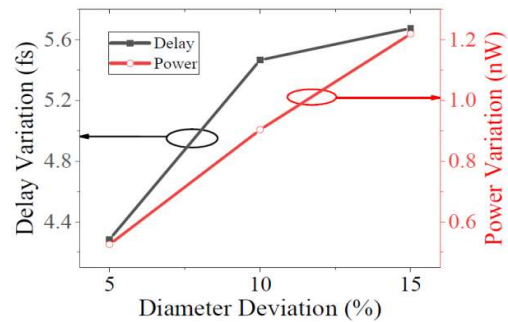
شکل ۱۳: محاسبه (الف) تأخیر، (ب) توان مصرفی، (ج) انرژی مصرفی و (د) PDP برحسب خازن بار در مدار مالتی پلکسر سه ارزی میبتنی بر CNTFET و میبتنی بر CMOS پیشنهادی.

یکی دیگر از مشخصه هایی که برای مدارات میبتنی بر CNTFET بررسی می شود حساسیت و محدوده تغییرات پارامترهای تأخیر، توان مصرفی و انرژی مصرفی مدار نسبت به انحرافات طول قطر نانولوله های کربنی به کار رفته در کانال ترانزیستورهای اثر میدان نانولوله کربنی است. برای محاسبه تغییرات پارامترهای ذکر شده نسبت به طول قطر نانولوله های کربنی از تحلیل مونتئ کارلو در HSPICE استفاده می شود. همان طور که قبلاً بیان شد، با توجه به اینکه برای محاسبه تأخیر چهار حالت (تغییر سطح منطبق از دو به یک، یک به دو، دو به صفر و یک به صفر) برای هر سه ورودی (D0، D1 و D2) وجود دارد، میانگین این

همان طور که گفته شد مدار مالتی پلکسر سه ارزشی مبتنی بر CNTFET پیشنهادی بهبود قابل توجهی در زمینه کاهش تأخیر و توان مصرفی مدار و همچنین افزایش سرعت آن ایجاد کرده است.

مراجع

- [1] G. Moore, "Moore's law," Electronics Magazine, vol. 38, 1965.
- [2] مهسا مهرداد، میثم زارعی، آرائه ساختار نوین ترانزیستور اثر میدان سیلیسیم روی عایق دو گیتی با پنجره اکسید در درین گسترده شده به منظور کاربرد در تکنولوژی نانو، مجله مهندسی برق دانشگاه تبریز، جلد ۴۷، شماره ۲، صفحات ۸۰-۸۶، ۱۳۹۶.
- [3] محمد کاظم انوری فرد، "انسداد میدان الکتریکی جانبی از نواحی درین و سورس جهت بهبود اثرات کانال کوتاه در افزاره nano-SOI، مجله مهندسی برق دانشگاه تبریز، جلد ۴۸، شماره ۳، صفحات ۹۹۱-۹۹۸، ۱۳۹۷.
- [4] P. Avouris, R. Martel, V. Derycke and J. Appenzeller, "Carbon nanotube transistors and logic circuits," Physica B: Condensed Matter, vol. 323, pp. 6-14, 2002.
- [5] J. Guo, M. Lundstrom and S. Datta, "Performance projections for ballistic carbon nanotube field-effect transistors," Applied Physics Letters, vol. 80, pp. 3192-3194, 2002.
- [6] M. H. Moaiyeri, R. F. Mirzaee, K. Navi and O. Hashemipour, "Efficient CNTFET-based ternary full adder cells for nanoelectronics," Nano-Micro Letters, vol. 3, pp. 43-50, 2011.
- [7] K. Roy, S. Mukhopadhyay and H. Mahmoodi-Meimand, "Leakage current mechanisms and leakage reduction techniques in deep-submicrometer CMOS circuits," Proceedings of the IEEE, vol. 91, pp. 305-327, 2003.
- [8] A. K. Jain, R. J. Bolton and M. H. Abd-El-Barr, "CMOS multiple-valued logic design. I. Circuit implementation," IEEE Transactions on Circuits and Systems I: Fundamental Theory and Applications, vol. 40, pp. 503-514, 1993.
- [9] R. F. Mirzaee, K. Navi and N. Bagherzadeh, "High-efficient circuits for ternary addition," VLSI Design, vol. 2014, p. 10, 2014.
- [10] E. Ozer, R. Sendag and D. Gregg, "Multiple-valued logic buses for reducing bus energy in low-power systems," IEE Proceedings-Computers and Digital Techniques, vol. 153, pp. 270-282, 2006.
- [11] M. H. Moaiyeri, R. F. Mirzaee, A. Doostaregan, K. Navi and O. Hashemipour, "A universal method for designing low-power carbon nanotube FET-based multiple-valued logic circuits," IET Computers & Digital Techniques, vol. 7, pp. 167-181, 2013.
- [12] J. T. Butler and H. G. Kerkhoff, "Multiple-valued CCD circuits," Computer, vol. 21, pp. 58-69, 1988.
- [13] M. Davio and J.-P. Deschamps, "Synthesis of Discrete Functions Using 12L," IEEE Transactions on Computers, vol. 30, 1981.
- [14] S. Onneweer, H. Kerkhoff and J. Butler, "Structural computer-aided design of current-mode CMOS logic circuits," DTIC Document 1988.
- [15] F. Pelayo, A. Prieto, A. Lloris and J. Ortega, "CMOS current-mode multivalued PLAs," IEEE transactions on circuits and systems, vol. 38, pp. 434-441, 1991.



شکل ۱۵: تغییرات تأخیر و تغییرات توان مصرفی برحسب انحراف طول قطر نانولوله کربن در مدار مالتی پلکسر سه ارزشی مبتنی بر CNTFET پیشنهادی.

با توجه به مقادیر به دست آمده از تأخیر دو مدار می توان گفت که مقدار تأخیر در مدار مالتی پلکسر سه ارزشی مبتنی بر CNTFET پیشنهادی برحسب ولتاژ، ۶۰٪ تا ۶۵٪ نسبت به مدار مشابه مبتنی بر CMOS کاهش داشته است. همچنین برای مقادیر تأخیر برحسب تغییرات دما نیز می توان گفت مدار مالتی پلکسر سه ارزشی مبتنی بر CNTFET پیشنهادی، ۵۹٪ تا ۷۲٪ نسبت به مدار مشابه مبتنی بر CMOS کاهش داشته است. علاوه بر این توان مصرفی با استفاده از مدار مالتی پلکسر سه ارزشی CNTFET از محدوده میکرو وات به محدوده نانو وات کاهش پیدا کرده است. این کاهش توان و تأخیر در مدار مالتی پلکسر سه ارزشی مبتنی بر CNTFET پیشنهادی موجب شده است تا مداری با سرعت بالا و توان مصرفی پایین ایجاد گردد. به طوری که توان مدار مالتی پلکسر سه ارزشی مبتنی بر CNTFET پیشنهادی برحسب دما حدود ۹۶/۴٪ تا ۹۸٪ نسبت به مدار مبتنی بر CMOS پیشنهادی بهبود پیدا کرد. همچنین در رابطه با انرژی مصرفی می توان گفت مدار مالتی پلکسر سه ارزشی مبتنی بر CNTFET مقداری در محدوده چند ده آتو ژول دارد در حالی که مدار مشابه مبتنی بر CMOS انرژی مصرفی در محدوده فمتو ژول دارد. به طوری که انرژی مدار مالتی پلکسر مبتنی بر CNTFET در دماهای مختلف نزدیک به ۹۹٪ نسبت به مدار مبتنی بر CMOS پیشنهادی بهبود داشته و کاهش یافته است.

همچنین مقدار PDP مدار مبتنی بر CMOS در محدوده آتو ژول می باشد که تقریباً صد برابر مدار مبتنی بر CNTFET است و مدار مبتنی بر CNTFET بهبود ۹۹٪ در PDP را نسبت به مدار مبتنی بر CMOS پیشنهادی نشان می دهد. همچنین اثر تأخیر و توان برحسب خازن های بار مختلف بر روی دو مدار رفتاری تقریباً یکسان دارند و با افزایش خازن های بار تأخیر و توان با شیب تقریباً یکسانی افزایش می یابد اما مقادیر تأخیر و توان در مدار مبتنی بر CMOS پیشنهادی بیشتر از مدار مبتنی بر CNTFET پیشنهادی بود که در نتیجه منجر به کم شدن شیب PDP مدار مبتنی بر CNTFET پیشنهادی در نمودار PDP برحسب خازن های بار مختلف شد.

- [31] S. Lin, Y.-B. Kim and F. Lombardi, "A novel CNTFET-based ternary logic gate design," in 52nd IEEE International Midwest Symposium on Circuits and Systems (MWSCAS'09), pp. 435-438, 2009.
- [32] A. Raychowdhury and K. Roy, "A novel multiple-valued logic design using ballistic carbon nanotube FETs," in 34th International Symposium on Multiple-Valued Logic Proceedings, pp. 14-19, 2004.
- [33] A. Raychowdhury and K. Roy, "Carbon-nanotube-based voltage-mode multiple-valued logic design," IEEE Transactions on Nanotechnology, vol. 4, pp. 168-179, 2005.
- [34] S. Lin, Y.-B. Kim and F. Lombardi, "CNTFET-based design of ternary logic gates and arithmetic circuits," IEEE transactions on nanotechnology, vol. 10, pp. 217-225, 2011.
- [35] K. You and K. Nepal, "Design of a ternary static memory cell using carbon nanotube-based transistors," Micro & Nano Letters, vol. 6, pp. 381-385, 2011.
- [36] M. H. Moaiyeri, R. F. Mirzaee, A. Doostaregan, K. Navi and O. Hashemipour, "A universal method for designing low-power carbon nanotube FET-based multiple-valued logic circuits," IET Computers & Digital Techniques, vol. 7, pp. 167-181, 2013.
- [37] K. Navi, M. Rashtian, A. Khatir, P. Keshavarzian and O. Hashemipour, "High speed capacitor-inverter based carbon nanotube full adder," Nanoscale research letters, vol. 5, pp. 859-862, 2010.
- [38] M. Serra, "Applications of multi-valued logic to testing of binary and MVL circuits," International journal of electronics, vol. 63, pp. 197-214, 1987.
- [39] S. Lin, Y.-B. Kim and F. Lombardi, "CNTFET-based design of ternary logic gates and arithmetic circuits," IEEE transactions on nanotechnology, vol. 10, pp. 217-225, 2011.
- [40] A. Rahman, J. Guo, S. Datta and M. S. Lundstrom, "Theory of ballistic nanotransistors," IEEE Transactions on Electron Devices, vol. 50, pp. 1853-1864, 2003.
- [41] A. Rahman, J. Wang, J. Guo, M. S. Hasan, Y. Liu and A. Matsudaira, *FETToy online tool*, February 2006, <https://www.nanohub.org/resources/220>.
- [42] D. Mann, A. Javey, J. Kong, Q. Wang and H. Dai, "Ballistic transport in metallic nanotubes with reliable Pd ohmic contacts," Nano Letters, vol. 3, pp. 1541-1544, 2003.
- [43] H. Vani, R. Sagar and H. Rohini, "Multiplexer based Design for Ternary Logic Circuits," in International journal of computer applications, pp. 5-8, 2015.
- [44] C. Vudadha, S. Katragadda and P. S. Phaneendra, "2: 1 Multiplexer based design for ternary logic circuits," in IEEE Asia Pacific Conference on Postgraduate Research in Microelectronics and Electronics (PrimeAsia), pp. 46-51, 2013.
- [16] M. Bhat and H. Jamadagni, "Power optimization in current mode circuits," in VLSI Design, 2005. 18th International Conference on, 2005, pp. 175-180.
- [17] J. Deng and H.-S. P. Wong, "A circuit-compatible SPICE model for enhancement mode carbon nanotube field effect transistors," in International Conference on Simulation of Semiconductor Processes and Devices, pp. 166-169, 2006.
- [18] V. Derycke, R. Martel, J. Appenzeller and P. Avouris, "Carbon nanotube inter-and intramolecular logic gates," Nano Letters, vol. 1, pp. 453-456, 2001.
- [19] H. Hashempour and F. Lombardi, "An efficient and symbolic model for charge densities in ballistic carbon nanotube FETs," in Sixth IEEE Conference on Nanotechnology (IEEE-NANO), pp. 23-26, 2006.
- [20] Q. Zhao, M. B. Nardelli and J. Bernholc, "Ultimate strength of carbon nanotubes: a theoretical study," Physical Review B, vol. 65, pp. 144105, 2002.
- [21] B. J. Cox and J. M. Hill, "Exact and approximate geometric parameters for carbon nanotubes incorporating curvature," Carbon, vol. 45, pp. 1453-1462, 2007.
- [22] M. Batmunkh, M. J. Biggs and J. G. Shapter, "Carbon Nanotubes for Dye-Sensitized Solar Cells," Small, vol. 11, pp. 2963-2989, 2015.
- [23] M. H. Moaiyeri, A. Doostaregan and K. Navi, "Design of energy-efficient and robust ternary circuits for nanotechnology," IET Circuits, Devices & Systems, vol. 5, pp. 285-296, 2011.
- [24] M. A. Tehrani, F. Safaei, M. H. Moaiyeri and K. Navi, "Design and implementation of multistage interconnection networks using quantum-dot cellular automata," Microelectronics Journal, vol. 42, pp. 913-922, 2011.
- [25] P. Avouris, "Molecular electronics with carbon nanotubes," Accounts of chemical research, vol. 35, pp. 1026-1034, 2002.
- [26] Z. Kordrostami and M. H. Sheikhi, *Fundamental physical aspects of carbon nanotube transistors*, in *Carbon Nanotubes*, INTECH Open Access Publisher, 2010.
- [27] A. Rahman, J. Guo, S. Datta and M. S. Lundstrom, "Theory of ballistic nanotransistors," IEEE Transactions on Electron Devices, vol. 50, pp. 1853-1864, 2003.
- [28] Y. B. Kim, Y.-B. Kim and F. Lombardi, "A novel design methodology to optimize the speed and power of the CNTFET circuits," in 52nd IEEE International Midwest Symposium on Circuits and Systems (MWSCAS'09), pp. 1130-1133, 2009.
- [29] F. Sharifi, M. H. Moaiyeri, K. Navi and N. Bagherzadeh, "Quaternary full adder cells based on carbon nanotube FETs," *Journal of Computational Electronics*, vol. 14, pp. 762-772, 2015.
- [30] P. Keshavarzian, "Novel and general carbon nanotube FET-based circuit designs to implement all of the 39 ternary functions without mathematical operations," *Microelectronics Journal*, vol. 44, pp. 794-801, 2013.

زیر نویس ها

- ¹¹ Multi Wall Carbon Nanotube
- ¹² Negative Differential Resistor
- ¹³ Quantum Cellular Automata
- ¹⁴ Reconfigurable
- ¹⁵ Negative Ternary Inverter
- ¹⁶ Standard Ternary Inverter
- ¹⁷ Positive Ternary Inverter
- ¹⁸ Symbolic Approximation
- ¹⁹ Self-Consistent Voltage

- ¹ Complementary Metal Oxide Semiconductor
- ² Multiple-Valued Logic
- ³ Carbon Nanotube Field-Effect Transistor
- ⁴ Gordon E. Moore
- ⁵ Metal Oxide Semiconductor Field Effect Transistor (MOSFET)
- ⁶ Leakage Current
- ⁷ Threshold Voltage
- ⁸ Chiral
- ⁹ Single Wall Carbon Nanotube
- ¹⁰ Iijima