قابلیت اطمینان مدارهای دیجیتال با استفاده از گراف‌های سیگنال گذر احتمالاتی

وحید حمیتی واقف[۱]، استادیار؛ علی پیروی[۲]، استاد

۱- گروه پژوهشی فناوری اطلاعات و ارتباطات - پژوهشگاه نیرو - تهران - ایران – vvaghef@nri.ac.ir
۲- دانشکده مهندسی - دانشگاه فردوسی مشهد – مشهد - ایران – peiravi@um.ac.ir

چکیده: کوچک‌شدن ابعاد ترانزیستورها سبب افزایش قابلیت‌های متعدد مدارهای دیجیتال شده ولی آسیب‌پذیری آنها را در برابر خطاهای گذرا بیشتر کرده‌است. بنابراین تعیین نقاط حساس مدارهای دیجیتال در نقاط مختلف مدار از موارد ضروری در طراحی مدارهای دیجیتال به‌ویژه در فناوری‌های جدید چند نانومتری می‌باشد. از سوی دیگر افزایش تعداد گیت‌های مدارهای دیجیتال و تنوع خطاهای گذرا در آنها همراه با نحوه انتشار خطا در مدار، موجب می‌شود تا برآورد آسیب‌پذیری در برابر خطاهای گذرا بسیار پیچیده باشد. علاوه‌بر دقت محاسبات، موضوعاتی از قبیل مقیاس‌پذیری روش، پیچیدگی محاسباتی، زمان محاسبه و حافظه مصرفی نیز باید در نظر گرفته شوند. در این مقاله، ابتدا مفهوم گراف‌های گذر سیگنال احتمالاتی معرفی می‌شود و سپس روشی نوین برای تحلیل آن‌ها پیشنهاد می‌شود که ضمن حفظ دقت، از سرعت محاسبه و مقیاس‌پذیری بالایی برخوردار است. تحلیل احتمالاتی مسیرهای بازهمگرا[۱]، استفاده از روش تکرار نقطه ثابت و به‌کارگیری ماتریس‌های تُنُک[۲] از ویژگی‌های خاص روش پیشنهادی می‌باشد. با استفاده از روش پیشنهادی، قابلیت اطمینان مدارهای دارای فیدبک و مدارهای ترتیبی نیز مورد ارزیابی قرار می‌گیرد. در نتیجه شبیه‌سازی‌ها، پیچیدگی محاسباتی روش پیشنهادی برای تحلیل مداری با N گره در هر دو حالت ترکیبی و ترتیبی به‌ترتیب برابر $O(N^{0.85})$ و $O(N^{0.99})$ می‌باشد.

واژه‌های کلیدی: آسیب‌پذیری مدار دیجیتال، خطای گذرا، گراف احتمالاتی، روش مقیاس‌پذیر، ماتریس‌های تُنُک، مدارهای ترکیبی و ترتیبی.

Reliability Evaluation of Digital Circuits Using Probabilistic Signal Flow Graphs

V. Hamiyati Vaghef[1], Assistant professor; A. Peiravi[2], professor

1- Department of ICT, Niroo Research Institute, Tehran, Iran, Email: vvaghef@nri.ac.ir
2- Faculty of Engineering, Ferdowsi University of Mashhad, Mashhad, Iran, Email: Peiravi@um.ac.ir

Abstract: Although reducing the size of transistors increased their capabilities considerably, but also resulted in more susceptibility to transient errors. Thus, detecting the sensitive nodes of digital circuits is essential for designing digital circuits at few nanometers. On the other hand, increasing the number of logic gates, transient error types and several error propagation mechanisms in digital circuits, results in considerable complexity in reliability evaluation. Thus, scalability, computational complexity, runtime, accuracy and memory consumption should be taken into account for such evaluation. In this paper, using the concept of the probabilistic signal flow graphs, a new approach is proposed to evaluate the reliability of digital circuits which demonstrates good accuracy, runtime and high level of scalability. Probabilistic evaluation of re-convergent paths, using fixed point theorem and using the sparsity of matrices are features of the proposed approach. Using the proposed approach, the reliability of circuits with feedback and sequential circuits is also evaluated. Simulation results show that the computational complexity of the proposed approach for a combinational and sequential circuit with N nodes is $O(N^{0.85})$ and $O(N^{0.99})$ respectively.

Keywords: Susceptibility of digital circuits, transient faults, probabilistic graph, scalable approach, sparse matrices, combinational and sequential circuits.

تاریخ ارسال مقاله: ۱۳۹۷/۰۶/۱۰
تاریخ اصلاح مقاله: ۱۳۹۷/۰۸/۲۹، ۱۳۹۷/۱۰/۳۰و ۱۳۹۷/۱۲/۲۲
تاریخ پذیرش مقاله: ۱۳۹۸/۰۱/۲۵
نام نویسنده مسئول: وحید حمیتی واقف
نشانی نویسنده مسئول: ایران – تهران – میدان صنعت – انتهای بلوار شهید دادمان- پژوهشگاه نیرو- گروه فناوری اطلاعات و ارتباطات.

۱- مقدمه

پیشرفت فناوری ساخت مدارهای دیجیتال منجربه کوچک‌ترشدن روزافزون ابعاد ترانزیستورها شده‌است. کوچک‌شدن ابعاد ترانزیستورها از یک‌سو موجب بهبود ویژگی‌هایی از قبیل توان مصرفی و سرعت این مدارها می‌شود و از سوی دیگر افزایش آسیب‌پذیری این مدارها در برابر خطاهای گذرا را در پی دارد. کاهش ظرفیت خازنی هر گره مدار، کاهش ولتاژ تغذیه و افزایش فرکانس کار این مدارها مهم‌ترین عوامل در افزایش آسیب‌پذیری مدارهای دیجیتال در برابر خطاها هستند [۱]. خطا در مدارهای دیجیتال بر دو نوع دائمی و گذرا است. خطاهای دائمی غیرقابل بازگشت هستند و بر اثر آسیب دائم بخشی از مدار پدید می‌آیند. در مقابل، خطاهای گذرا اثر موقتی در مدار داشته و پس از مدتی کوتاه از بین می‌روند. مواردی همچون نویز محیط، پالس‌های گذرای با دامنه زیاد و عرض بسیار کوتاه، پرتوهای کیهانی و یا برخورد ذرات نوترونی با مدار که با عنوان SET[۳] شناخته می‌شوند از عوامل ایجاد خطاهای گذرا می باشند [۱].

برآورد قابلیت اطمینان مدارهای دیجیتال در برابر خطاهای گذرا موضوع پیچیده‌ای است و نیازمند درنظرگرفتن پارامترهای متعددی شامل نوع ترانزیستورها، ابعاد آنها، دامنه و عرض پالس خطا، محل بروز خطا، نرخ بروز خطا و نحوه انتشار خطا در مدار می‌باشند [۲، ۳]. از سوی دیگر، مدارهای دیجیتال به‌طور ذاتی در برابر انتشار خطا مقاومت می کنند. این مقاومت از طریق سه نوع سازوکار تأمین می‌شود که به‌عنوان سازوکارهای ممانعتی[۴] شناخته شده و عبارتند از: ممانعت منطقی[۵]، ممانعت الکتریکی[۶] و ممانعت از طریق پنجره ثبت[۷]. در فرآیند «ممانعت منطقی»، یکی از ورودی‌های یک گیت از انتقال خطا به‌دلیل سطح منطقی سایر ورودی‌های آن گیت، جلوگیری می‌نماید. در فرآیند «ممانعت الکتریکی» دامنه و عرض پالس خطا در اثر عبور از گیت تضعیف می‌شوند به‌طوری که پس از عبور از چند گیت خطای ورودی نمی‌تواند سبب تغییر منطق خروجی گیت نهایی شود. علیرغم حضور این دو سازوکار، ممکن است برخی خطاهای گذرا به ورودی فلیپ‌فلاپهای مدار برسند. در این صورت اگر خطا در پنجره ثبت ورودی فلیپ‌فلاپ واقع نشود، به خروجی فلیپ‌فلاپ نمی‌رسد که به آن «ممانعت از طریق پنجره ثبت» گفته می‌شود [۴]. در بین سه عامل ممانعتی فوق، ممانعت منطقی بیشترین نقش را در جلوگیری از انتشار خطا در مدار دارد.

بنابراین بررسی قابلیت اطمینان مدارهای الکترونیکی دیجیتال در برابر خطاهای گذرا پیچیدگی بالایی دارد و برای تحلیل آن نیاز به ارائه الگوریتمی مقیاس‌پذیر است. در غیر این صورت ممکن است روشی دارای مدل بسیار دقیقی باشد، اما در عمل محدود به مدارهای کوچک باشد و یا روشی دیگر دارای پیچیدگی محاسباتی پایین باشد؛ بدون آنکه دقت کافی داشته باشد.

روش پیشنهادی در این مقاله ضمن در نظر گرفتن عوامل موردنظر در مدل بررسی آسیب‌پذیری خطا، کلیه جنبه‌های الگوریتمی فوق را نیز در نظر می‌گیرد و روشی جامع به‌منظور بررسی قابلیت اطمینان مدارهای الکترونیکی دیجیتال در برابر خطاهای گذرا معرفی می‌نماید. پیچیدگی محاسباتی و حافظه مصرفی روش پیشنهادی، خطی است که منجربه مقیاس‌پذیربودن آن می‌شود.

ادامه این مقاله در چهار بخش ارائه می‌شود. در بخش دوم مروری بر مدل‌ها و روش‌های موجود ارزیابی قابلیت اطمینان مدارهای الکترونیکی در برابر خطاهای گذرا صورت می‌گیرد. در بخش سوم، روش پیشنهادی تشریح می‌گردد. در بخش چهارم نتایج شبیه‌سازی و مقایسه با سایر روش‌ها ارائه می‌شوند. جمع‌بندی و نتیجه‌گیری از مقاله در بخش پنجم ارائه می‌شوند و در نهایت مراجع آخرین بخش این مقاله را تشکیل می‌دهند.

۲- مروری بر کارهای قبلی

با توجه به اهمیت برآورد قابلیت اطمینان مدار در برابر خطاهای گذرا، تاکنون روش‌های متعددی در این زمینه معرفی شده‌اند. هر یک از این روش‌ها از دیدگاه‌های مختلف این موضوع را مورد بررسی قرار داده‌اند. در اغلب این روش‌ها، آسیب‌پذیری مدار در برابر SET و SEU[۸] مورد بررسی قرارگرفته است. SEU به حالتی اطلاق می‌شود که در آن یک SET بتواند با عبور از گیت‌های مدار در فلیپ‌فلاپ‌های مدار قرار گیرد و موجب بروز خطا در آنها شود. شکل‌موج SET ها، توزیع آن‌ها، امکان وقوع همزمان چند SET در مدار، مدل نوع مدار (ترکیبی یا ترتیبی)، تحلیل آماری یا احتمالاتی آنها و در نظرگرفتن اثر «مسیرهای بازهمگرا» از جمله مواردی هستند که روش‌های فعلی همه یا برخی از آنها را در نظر گرفته‌اند. روش تحلیلی [۵]، ماتریس‌های انتقال احتمالاتی در مدارهای ترکیبی [۶-۹] و مدارهای ترتیبی [۱۰]، میدان‌های تصادفی مارکوف [۱۱]، مدل بررسی احتمالاتی [۱۲]، روش‌های شکلی [۱۳-۱۶]، شبکه‌های مبتنی‌بر روش بیز [۱۷-۱۹]، روش‌های مبتنی بر انتشار خطا [۲۰-۲۶]، نمودارهای تصمیم‌گیری احتمالاتی [۲۷، ۲۸]، مدل احتمالاتی گیت‌ها [۲۹، ۳۰]، روش مبتنی‌بر احتمال وقوع سیگنال [۳۳-۳۱]، روش مبتنی‌بر نشان‌گذاری سیگنال‌ها [۳۴]، روش مبتنی بر مدل محاسباتی تصادفی [۳۵، ۳۶]، روش‌های تک‌گذر و چندگذر [۳۷، ۳۸]، روش مبتنی‌بر روابط مثلثاتی [۳۹]، با در نظرگرفتن هم‌شنوایی [۴۰]، انتشار خطای همبسته [۴۱، ۴۲]، روش مبتنی بر توصیف‌کننده‌های پارامتری [۴۳]، نمونه‌برداری از جداول ولتاژ و عرض پالس خطا [۴۴]، روش‌های مبتنی بر شبیه‌سازی با SPICE [۴۵، ۴۶]، استفاده از تولید خودکار الگوهای تست [۴۷]، استفاده از روش تفاضل منطقی زمانی [۴۸]، استفاده از الگوهای ورودی [۴۹]، با استفاده از درجه‌بندی و اولویت‌بندی گیت‌های مدار [۵۰]، تحلیل در حضور تغییرات فرآیند ساخت، ولتاژ، دما و فرسودگی ترانزیستور [۵۱]، با استفاده از نگاشت آسیب‌پذیری مدار به یک فضای حالت خاص [۵۲]، بر اساس طرح‌واره مدار [۵۳، ۵۴]، بر اساس پنجره احتمالاتی آسیب‌پذیری [۵۵]، با اندازه‌گیری پارامترهای حساسیت گیت‌های مدار [۵۶] و به‌منظور تصحیح خطا در حافظه‌های فلش [۵۷] برخی از این روش‌ها می‌باشند.

علیرغم توانایی بالای این روش‌ها در برآورد قابلیت اطمینان مدارهای الکترونیک دیجیتال در برابر خطاهای گذرا، استفاده از روش‌های مبتنی بر گراف‌های سیگنال گذر احتمالاتی در این زمینه فقط در [۵۸، ۵۹] مورد توجه قرار گرفته‌اند. در [۵۸، ۵۹] فقط مدارهای بدون فیدبک و مدارهای ترکیبی مد نظر قرار گرفته‌اند و تأثیر مدارهای فیدبک‌دار و نیز مدارهای ترتیبی در آنها مورد بررسی قرار نگرفته‌است. با توجه به آنکه تحلیل مدارهای دارای فیدبک‌های متعدد، بسیار پیچیده است، در این تحقیق با استفاده از گراف‌های گذر سیگنال احتمالاتی قابلیت اطمینان این نوع مدارها، مورد بررسی قرار گرفته‌است. برخی از مهمترین نوآوری های روش پیشنهادی به‌شرح زیر هستند:

نخست آنکه ارزیابی قابلیت اطمینان مدارهای دیجیتال ترکیبی و ترتیبی با استفاده از گراف‌های گذر سیگنال احتمالاتی و قانون میسون صورت گرفته‌است. استفاده از گراف، ویژگی تُنُک‌بودن ماتریس‌ها را در اختیار قرار می‌دهد که سبب تسریع محاسبات ماتریسی و به‌خصوص محاسبه ماتریس معکوس شده و در خطی‌شدن پیچیدگی محاسباتی و نیز حجم حافظه مصرفی، نقش به‌سزایی دارد [۶۰]. از سوی دیگر، نظریه گراف و قانون میسون تنها برای گراف‌های خطی قابل استفاده است [۶۳، ۶۴]. به‌دلیل غیرخطی‌بودن گراف گذر سیگنال احتمالاتی، امکان استفاده مستقیم آن در برآورد قابلیت اطمینان مدارهای دیجیتال وجود ندارد. از این رو، دومین نوآوری در طرح پیشنهادی، ارائه راهکاری برای به‌کارگیری گراف‌های گذر سیگنال غیرخطی جهت تحلیل قابلیت اطمینان مدارهای دیجیتال ترکیبی و ترتیبی است. سوم آنکه دو نوآوری فوق منجربه دستگاه معادلات غیرخطی می‌شود که برای حل آن از میان روش‌های مختلف، روش «نقطه ثابت» به‌عنوان یکی از بهترین روش‌های حل دستگاه معادلات غیرخطی با فرمول‌بندی بسته ماتریسی و بدون نیاز به محاسبه ماتریس ژاکوبین پیشنهاد شده‌است [۶۵]. چهارم آن‌که روش پیشنهادی، هم توانایی تحلیل مدارهای ترکیبی و هم مدارهای ترتیبی دارای فیدبک که بسیاری از روش‌های پیشین فاقد چنین ویژگی توامان هستند. پنجم آنکه اگر پنج جنبه ۱) دقت، ۲) سرعت، ۳) مقیاس‌پذیری، ۴) منابع مصرفی (حجم حافظه مصرفی در این تحقیق) و ۵) گستره کاربرد (ترکیبی و ترتیبی بودن) برای روش حل یک مسئله در نظر گرفته شوند، روش پیشنهادی دارای این ویژگی است که همزمان دارای چهار جنبه ۲ تا ۵ بوده و در زمینه دقت محاسبات نیز وضعیت مناسبی دارد. در بین موارد فوق، مقیاس‌پذیری فروخطی[۱۲] مهم‌ترین ویژگی روش پیشنهادی است که آن را برای تحلیل مدارهای بسیار بزرگ ترکیبی یا ترتیبی مناسب می‌نماید.

۳- گراف‌های گذر سیگنال احتمالاتی غیرخطی

۳-۱- مقدمه

معادل احتمالاتی هر گیت بر اساس عملکرد منطقی آن تعریف می‌شود [۵]. با قراردادن معادل احتمالاتی هر گیت در مدار، احتمال وقوع '1' در هر یک از گره‌ها که با «احتمال سیگنال (SP)»[۹] شناخته می‌شود به‌صورت یک چندجمله‌ای پارامتری یا معادل عددی آن محاسبه می‌شود [۵۸]. بر این اساس، معادل احتمالاتی برای کلیه گیت‌های پایه مدارهای دیجیتال در جدول ۱ ارائه شده است. با به‌کارگیری این روابط، احتمال سیگنال در هر یک از گره‌های مدار به‌صورت یک چندجمله‌ای از احتمالات گره‌های ورودی، به‌دست می‌آید.

جدول ۱: روابط محاسبه احتمال سیگنال (SP) در خروجی گیت‌های پایه برحسب احتمالات ورودی آنها [۵]

گیت	احتمال سیگنال (SP)
AND	$SP(in_1)SP(in_2)$
NAND	$1- SP(in_1)SP(in_2)$
OR	$SP(in_1) + SP(in_2) - SP(in_1)SP(in_2)$
NOR	$(1- SP(in_1))(1- SP(in_2))$
XOR	$SP(in_1) + SP(in_2) - 2SP(in_1)SP(in_2)$
INV	$1- SP(in_1)$

وقوع خطا در مدار اغلب با استفاده از مدل Von-Neumann شبیه‌سازی می‌شود [۶۱]. در این مدل خروجی هر گیت تحت تأثیر خطای ورودی‌های آن و یا در اثر خطای خود آن گیت دچار خطا می شود. در صورت وقوع خطا هم در ورودی گیت و هم در خود گیت، خروجی بدون خطا خواهد بود [۳۰، ۳۷]. با فرض نرخ خطای گذرا برابر ε برای هر گیت مدار، در [۲۵] مدلی پیشنهاد شده است که مطابق آن یک گیت به‌صورت دو گیت متوالی در نظر گرفته می‌شود به‌طوری که گیت اول بدون خطا و گیت دوم خطادار است. در این حالت احتمال وقوع خطا در خروجی گیت با EP_{out} نشان داده شده و از رابطه زیر حاصل می‌شود:

$$EP_{out} = \varepsilon(1-EP_i^{SP}) + (1-\varepsilon)EP_i^{SP} = \varepsilon + \varepsilon' EP_i^{SP} \qquad (۱)$$

که در آن EP_i^{SP} برابر احتمال خطای خروجی گیت سالم در حضور ممانعت منطقی و بدون در نظر گرفتن خطای گیت است و EP_{out}، احتمال خطای خروجی نهایی گیت است و'ε برابر $1-2\varepsilon$است. بالانویس SP در معادله فوق تأثیر احتمالات وقوع یک بر خطای هر گره مدار را در نظر می‌گیرد.

۳-۲- گراف‌های گذر سیگنال احتمالاتی PSFG

در یک گراف و بر اساس روابط حاکم بر SFGها، مقدار هر گره براساس ورودی‌های آن به‌وسیله رابطه زیر تعیین می‌شود [۵۸]:

$$y = a_{0y} + a_{1y}x_1 + a_{2y}x_2 + \ldots + a_{Ny}x_N = \sum_{i=0}^{N} a_{iy}x_i \qquad (۲)$$

که در آن x_iها ورودی‌های یک گره بوده و a_{iy} ها ضرایب انتقالی هستند. x_iها نیز زیرمجموعه‌ای از گره‌های مدار می‌باشند. اگر بردار ستونی V، بردار ورودی‌های گراف باشد و ماتریس T «ماتریس ضرایب انتقال» باشد به‌نحوی که در آن T_{ij} با a_{ij} برابر بوده و بیانگر ضریب انتقال از گره i به گره j باشد، مقدار همه گره‌های گراف برحسب ورودی‌های آن از رابطه ماتریسی زیر تعیین می‌شود [۵۸، ۶۲]:

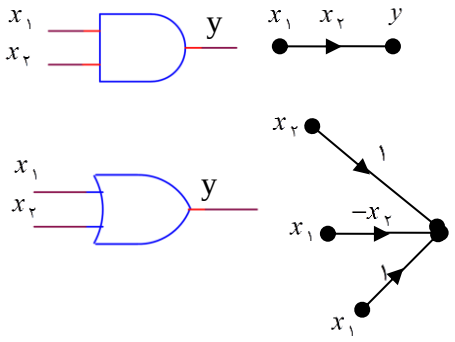
$$F = (I - T^T)^{-1}V \qquad (۳)$$

که در آن F بردار حاوی مقدار نهایی هر گره می‌باشد و تحقق ماتریسی قانون میسون می‌باشد [۶۳، ۶۴]. یکی از ویژگی‌های برجسته رابطه (۳) آن است که حتی اگر گراف دارای فیدبک‌های متعدد نیز باشد (مانند مدارهای ترتیبی)، همچنان مقدار هر گره به‌وسیله آن تعیین می‌شود. همچنین ماتریس T از نوع تُنُک است و در نتیجه محاسبه رابطه (۳) به‌لحاظ حافظه مصرفی و زمان‌بری مقیاس‌پذیر شده و گسترش آن به گراف‌های بزرگ امکان‌پذیر می‌گردد [۶۰].

با مراجعه به جدول ۱ مشاهده می‌شود که مدل احتمالاتی همه گیت‌ها را می‌توان به‌صورت معادله زیر نمایش داد [۵۸]:

$$SP(out) = a_0 + a_1 SP(in_1) + a_2 SP(in_2) + a_3 SP(in_1) SP(in_2) \qquad (۴)$$

مقایسه رابطه (۴) با رابطه (۲) نشان می‌دهد برای هر گیت مدار می توان یک گراف گذر سیگنال احتمالاتی (PSFG)[۱۰] معرفی نمود که رابطه (۳) برای آن برقرار است [۵۸]. به‌عنوان مثال گراف‌های احتمالاتی گیت‌های AND و OR دو ورودی در شکل ۱ نشان داده شده‌اند.



شکل ۱: گراف‌های احتمالاتی گیت‌های AND و OR

۳-۳- تحلیل گراف‌های گذر سیگنال غیرخطی احتمالاتی

در رابطه (۴) تنها جمله غیرخطی در رابطه احتمالاتی گیت‌های مدار، جمله شامل حاصل‌ضرب دو ورودی است. با توجه به این که قانون میسون فقط برای گراف‌های خطی صحیح است، این موضوع در گراف‌های احتمالاتی موجب بروز خطا می‌شود. برای رفع این مشکل، چنانچه یکی از ورودی‌ها از این معادله فاکتور گرفته شود، جمله مذکور به یک عبارت خطی تبدیل می‌شود و نتیجه به‌صورت ماتریسی زیر در می‌آید:

$$T = T_0 + x_1 T_1 + x_2 T_2 + \ldots + x_n T_n \qquad (۵)$$

که در آن T_iها ماتریس‌های ضرایب انتقال فاکتورگیری‌شده هستند و مقدار همه آنها ثابت می‌باشد. مقدار متغیر هر گره نیز در x_iها قرار دارد. ضمناً باید توجه داشت که T_iها نیز تُنُک هستند. بنابراین رابطه (۳) به‌صورت زیر بازنویسی می‌شود [۵۸]:

$$F(X) = (I - (T_0 + x_1 T_1 + x_2 T_2 + \ldots + x_n T_n)^T)^{-1} V \qquad (۶)$$

چون F و بردار $X = [x_1 \quad x_2 \quad \ldots \quad x_n \quad 1]^T$، بیانگر مقادیر احتمالاتی هر گره می‌باشند، با یکدیگر برابر هستند. لذا این رابطه یک دستگاه معادلات غیرخطی را تشکیل می‌دهد. در روش پیشنهادی در این مقاله برای حل این دستگاه از «نظریه نقطه ثابت»[۱۱] استفاده می‌شود که بر اساس آن اگر تابع F نگاشتی از فضای S به همان فضا باشد (F:S→S)، آنگاه F حتماً دارای یک نقطه ثابت خواهد بود و دنباله $X_{n+1}=F(X_n)$ به آن نقطه ثابت همگرا خواهد شد [۶۵]. چنانچه F تابعی انقباضی باشد، آنگاه ثابت می‌شود که F دارای نقطه‌ای ثابت و یکتا در فضای S است [۶۶]. از آنجا که در رابطه (۶) x_iها و F در فضای احتمال [۱و۰] می‌باشند، این تابع انقباضی بوده و در شرایط نظریه نقطه ثابت صدق می‌کنند. بنابراین رابطه فوق حتماً در این بازه دارای نقطه ثابت X_0 می‌باشد که در آن $F(X_0) = X_0$. چون F و X با یکدیگر برابر می باشند، نقطه ثابت معادله مذکور پاسخ آن معادله نیز است. یک امتیاز مهم نظریه نقطه ثابت نسبت به روش‌های شبه‌نیوتنی، «نقطه شروع دلخواه» حل مسئله می‌باشد.

محاسبات فوق منجر به تعیین احتمال سیگنال برای کلیه گره‌های مدار می‌شود. با توجه به شباهت معادله (۱) و معادله (۴)، برای وقوع خطا در مدار نیز دستگاه معادلات مشابهی تشکیل می‌شود که با استفاده از قانون میسون و تکرارهای نقطه ثابت قابل تحلیل می‌باشد.

یکی از عوامل تاثیرگذار بر دقت محاسبات قابلیت اطمینان مدارهای دیجیتال، مسیرهای بازهمگرا می‌باشند. این مسیرها، موجب می‌شوند تا روابط احتمالاتی حاکم بر مدار به یکدیگر وابسته شوند [۵]. در بسیاری از روش‌های تحلیلی، رفع وابستگی فوق، سبب افزایش بسیار زیاد پیچیدگی ارزیابی قابلیت اطمینان می‌شود. در این مقاله، برای کاهش تأثیر مسیرهای بازهمگرا که سبب بروز خطای محاسباتی در تحلیل احتمالاتی مدارهای الکترونیک دیجیتال می‌شوند، با اعمال رشته بیتهای صفر و یک، شبیه‌سازی کوچکی انجام شده و ضرایب همبستگی برای مسیرهای بازهمگرا تخمین زده شده و در ضرایب انتقال گراف اعمال می‌گردد [۵۸].

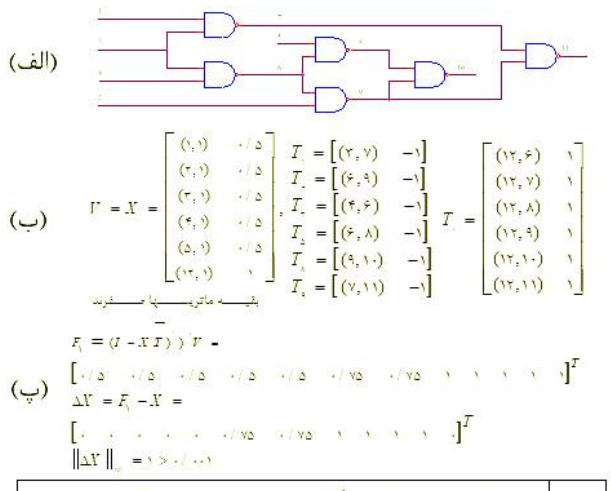
۳-۴- مثال مدار بدون فیدبک

شکل ۲ مدار C17 را به‌همراه محاسبات احتمال سیگنال‌ها آن نشان می دهد.

آستانه مورد نظر برای دقت محاسبات در این مثال برابر ۰/۰۰۱ و مقادیر احتمال سیگنال برای ورودی‌های مدار برابر ۰/۵ در نظر گرفته شده است. تعداد گره‌های مدار برابر ۱۱ است و با در نظر گرفتن یک گره کمکی برای محاسبه مقادیر ثابت، ابعاد ماتریس‌ها و بردارها به‌ترتیب ۱۲×۱۲ و ۱۲ خواهد بود. در شکل ۲ ماتریس‌های مورد استفاده، اولین تکرار کل الگوریتم و بقیه تکرارها نشان داده شده‌است.

محاسبه احتمال وقوع خطا (EP) برای مدار C17 بر اساس محاسبات SP در شکل ۳ نشان داده شده‌است. همه گیت‌ها NAND می‌باشند و معادله EP برای همه گیت‌ها به‌صورت $EP = \varepsilon + \varepsilon' [EP_1 SP_2 + EP_2 SP_1 + EP_1 EP_2 (1 - 2(SP_1 + SP_2) + 2SP_1 SP_2)]$ است (جدول ۱) که در آن اندیس‌های ۱ و ۲ به‌ترتیب بیانگر ورودی‌های اول و دوم گیت می‌باشند. با استفاده از مقادیر SP، مقادیر EP از رابطه کلی به‌صورت $EP = a_0 + a_1 EP_1 + a_2 EP_2 + a_3 EP_1 EP$ محاسبه می

شود که در آن ضرایب a_i وابسته به $SP_{1,2}$ و ε می‌باشند. با فرض ε=0.05، نتایج در گام اول و گام‌های بعدی محاسبه در شکل ۳ (ب) و (پ) نشان داده شده‌اند و ملاحظه می‌شود که مسئله فقط در سه تکرار همگرا شده است.



مقادیر احتمال سیگنال در خروجی هر گره مدار	$\|\Delta X_i\|$
$F_1 = [0.5\ 0.5\ 0.5\ 0.5\ 0.5\ 0.75\ 0.75\ 1\ 1\ 1\ 1\ 1]^T$	۱
$F_2 = [0.5\ 0.5\ 0.5\ 0.5\ 0.5\ 0.75\ 0.75\ 0.63\ 0.63\ 0\ 0.25\ 1]^T$	۱
$F_3 = [0.5\ 0.5\ 0.5\ 0.5\ 0.5\ 0.75\ 0.75\ 0.63\ 0.63\ 0.601\ 0.53\ 1]^T$	۰/۶۱
$F_4 = [0.5\ 0.5\ 0.5\ 0.5\ 0.5\ 0.75\ 0.75\ 0.63\ 0.63\ 0.61\ 0.53\ 1]^T$	۰

شکل ۲: احتمالات سیگنال‌ها برای مدار C17؛ (الف) مدار؛ (ب) ماتریس‌های انتقال SP؛ (پ) محاسبه اولین تکرار قانون میسون بهبودیافته و جدول تکرارهای بعدی روش پیشنهادی (کلیه ماتریس‌ها به‌صورت تُنُک نشان داده شده‌اند).

به‌منظور بررسی میزان وابستگی عملکرد روش پیشنهادی به تقارن احتمالات سیگنال‌های احتمالاتی ورودی، تعیین احتمال سیگنال‌ها در دو حالت با احتمالات سیگنال ورودی نامتقارن نیز مورد بررسی قرار گرفته‌است و نتایج آن در جدول ۲ ارائه شده‌است. تغییر احتمالات سیگنال ورودی، تاثیری بر ماتریس‌های T_i ندارد و مقادیر آنها نسبت به‌شکل ۲ الف، بدون تغییر می‌ماند. چنانچه ملاحظه می‌شود، الگوریتم پیشنهادی در ۴ تکرار موفق به تعیین مقادیر کلیه گره‌های مدار شده‌است.

جدول ۲: احتمالات سیگنال‌ها برای مدار C17 برای مقادیر احتمالات ورودی نامتقارن؛ (الف) مقادیر احتمالات سیگنال ورودی در هر حالت؛ (ب) مقادیر احتمالات سیگنال در حالت اول؛ (پ) مقادیر احتمالات سیگنال در حالت دوم

(الف)

احتمال سیگنال					
شماره گره ورودی	۵	۴	۲	۲	۱
حالت اول	۰/۵	۰/۵	۰/۵	۰/۸	۰/۸
حالت دوم	۰/۷	۰/۶	۰/۵	۰/۴	۰/۳

(ب)

مقادیر احتمال سیگنال در حالت اول	$\|\Delta X_i\|$
$F_1 = [0.8\ 0.8\ 0.5\ 0.5\ 0.5\ 0.75\ 0.60\ 0.813\ 0.7\ 1/00\ 1/00\ 1]^T$	۱
$F_2 = [0.8\ 0.8\ 0.5\ 0.5\ 0.5\ 0.75\ 0.60\ 0.625\ 0.4\ 0.62\ 0.67\ 1]^T$	۰/۳۸
$F_3 = [0.8\ 0.8\ 0.5\ 0.5\ 0.5\ 0.75\ 0.60\ 0.625\ 0.4\ 0.75\ 0.76\ 1]^T$	۰/۱۳
$F_4 = [0.8\ 0.8\ 0.5\ 0.5\ 0.5\ 0.75\ 0.60\ 0.625\ 0.4\ 0.75\ 0.76\ 1]^T$	۰

(پ)

مقادیر احتمال سیگنال در حالت دوم	$\|\Delta X_i\|$
$F_1 = [0.3\ 0.4\ 0.5\ 0.6\ 0.7\ 0.7\ 0.85\ 0.755\ 0.86\ 1\ 1\ 1]^T$	۱
$F_2 = [0.3\ 0.4\ 0.5\ 0.6\ 0.7\ 0.7\ 0.85\ 0.51\ 0.72\ 0.51\ 0.33\ 1]^T$	۰/۶۷
$F_3 = [0.3\ 0.4\ 0.5\ 0.6\ 0.7\ 0.7\ 0.85\ 0.51\ 0.72\ 0.63\ 0.39\ 1]^T$	۰/۱۲
$F_4 = [0.3\ 0.4\ 0.5\ 0.6\ 0.7\ 0.7\ 0.85\ 0.51\ 0.72\ 0.63\ 0.39\ 1]^T$	۰

(الف)

$$T_1 = \begin{bmatrix} (3,6) & 0.45 \\ (4,6) & 0.45 \\ (12,6) & 0.05 \\ (1,7) & 0.45 \\ (3,7) & 0.45 \\ (12,7) & 0.05 \\ (5,8) & 0.675 \\ (6,8) & 0.5 \\ (12,8) & 0.05 \\ (6,9) & 0.45 \\ (2,9) & 0.675 \\ (12,9) & 0.05 \\ (8,10) & 0.5625 \\ (9,10) & 0.5625 \\ (12,10) & 0.05 \\ (7,11) & 0.5625 \\ (9,11) & 0.675 \\ (12,11) & 0.05 \end{bmatrix}$$

$$T_1 = [(3,7)\ \ -0.45]$$
$$T_2 = [(6,9)\ \ -0.675]$$
$$T_3 = [(4,6)\ \ -0.45]$$
$$T_4 = [(6,8)\ \ -0.675]$$
$$T_5 = [(9,10)\ \ 0.647]$$
$$T_6 = [(7,11)\ \ 0.731]$$

بقیه ماتریس‌ها صفرند

$$V = X = [(12,1)\ \ 1]$$

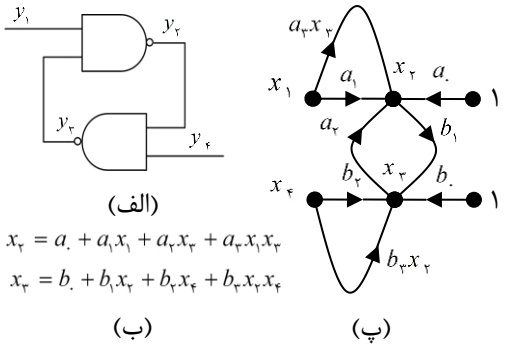
(ب)

	تکرار		
	۱	۲	۳
مقادیر احتمال EP خروجی	$F_1 = \begin{bmatrix} 0 \\ 0 \\ 0 \\ 0 \\ 0 \\ 0.050 \\ 0.050 \\ 0.072 \\ 0.072 \\ 0.132 \\ 0.127 \\ 1 \end{bmatrix}$	$F_2 = \begin{bmatrix} 0 \\ 0 \\ 0 \\ 0 \\ 0 \\ 0.050 \\ 0.050 \\ 0.072 \\ 0.072 \\ 0.128 \\ 0.124 \\ 1 \end{bmatrix}$	$F_3 = \begin{bmatrix} 0 \\ 0 \\ 0 \\ 0 \\ 0 \\ 0.050 \\ 0.050 \\ 0.072 \\ 0.072 \\ 0.128 \\ 0.124 \\ 1 \end{bmatrix}$
$\|\Delta X_i\|$ خروجی	۰/۱۳۲	۰/۰۰۴	۰

شکل ۳: محاسبه مقادیر EP برای مدار C17؛ (الف) ماتریس‌های ضرایب انتقال در اولین تکرار؛ (ب) مقادیر خروجی در تکرارهای بعدی

۳-۵- مثال (مدار دارای فیدبک)

در شکل ۴ مدار SR latch به‌عنوان مداری فیدبک‌دار همراه با گراف احتمالاتی و معادلات حاکم بر آن نشان داده شده‌است.



(الف)

$$x_2 = a_0 + a_1x_1 + a_2x_3 + a_3x_1x_3$$
$$x_3 = b_0 + b_1x_2 + b_2x_4 + b_3x_2x_4$$

(ب) (پ)

شکل ۴: تحلیل احتمالاتی یک مدار فیدبک‌دار با استفاده از قانون میسون بهبود یافته؛ الف) مدار؛ ب) معادلات احتمالاتی حاکم بر گراف؛ پ) گراف احتمالاتی مدار

گراف احتمالاتی مدار و مقادیر بردارهای V و X و ماتریس‌های T_0 تا T_4 در ابتدای الگوریتم به‌صورت جدول ۳ (الف) حاصل می‌شوند. مقدار آستانه برای توقف الگوریتم، برابر ۰/۰۰۱ در نظر گرفته شده‌است.

جدول ۳: احتمالات سیگنال‌ها برای مدار SR latch؛ الف) ماتریس‌های گذار و بردارهای X و V؛ ب) بردار احتمال سیگنال گره‌ها در هر تکرار

(الف)

$$T_0 = \begin{bmatrix} (1, x_2) & 1 \\ (1, x_3) & 1 \end{bmatrix}$$
$$T_1 = \begin{bmatrix} (x_2, x_1) & -1 \end{bmatrix}$$
$$T_2 = \begin{bmatrix} (x_4, x_3) & -1 \end{bmatrix}$$

$$V = \begin{bmatrix} x_1 \\ x_2 \\ x_3 \\ x_4 \\ 1 \end{bmatrix} = \begin{bmatrix} 0.5 \\ 0 \\ 0 \\ 0.5 \\ 1 \end{bmatrix}, X = \begin{bmatrix} x_1 \\ x_2 \\ x_3 \\ x_4 \\ 1 \end{bmatrix} = \begin{bmatrix} 0 \\ 0 \\ 0 \\ 0 \\ 1 \end{bmatrix}$$

(ب)

تکرار	مقادیر SP				$\|\Delta X_i\|_{inf}$
	y_1	y_2	y_3	y_4	
۱	F = [۰/۵۰۰	۰/۵۰۰	۱/۰۰۰	۰/۵۰۰ ۱]^T	۱
۲	F = [۰/۵۰۰	۰/۷۵۰	۰/۶۲۵	۰/۵۰۰ ۱]^T	۰/۲۵۰۰
۳	F = [۰/۵۰۰	۰/۶۸۷۵	۰/۶۵۶۳	۰/۵۰۰ ۱]^T	۰/۰۶۲۵
۴	F = [۰/۵۰۰	۰/۶۷۱۹	۰/۶۶۴۱	۰/۵۰۰ ۱]^T	۰/۰۱۵۶
۵	F = [۰/۵۰۰	۰/۶۶۸۰	۰/۶۶۶۰	۰/۵۰۰ ۱]^T	۰/۰۰۳۹
۶	F = [۰/۵۰۰	۰/۶۶۷۰	۰/۶۶۶۵	۰/۵۰۰ ۱]^T	۰/۰۰۱۰

۴- نتایج شبیه‌سازی

در این بخش نتایج شبیه‌سازی روش پیشنهادی برای بررسی زمان‌بری، دقت، سرعت همگرایی، پیچیدگی محاسباتی و حافظه مصرفی ارائه می شوند. همچنین عملکرد روش پیشنهادی با دو روش دیگر مقایسه می شود. شبیه‌سازی‌ها بر روی رایانه MacBook MD-102 با پردازنده اینتل Core i7 در فرکانس 3.6GHz و حافظه RAM برابر 8GB و در محیط MATLAB انجام شده‌اند. مدارهای ISCAS'85 و ISCAS'89 برای شبیه‌سازی به‌کار گرفته شده‌اند و با فرض ε=۰/۰۵، احتمال وقوع خطا در خروجی ارائه شده‌است. آستانه توقف الگوریتم برابر ۰/۰۰۱ در نظر گرفته شده‌است.

۴-۱- نتایج شبیه‌سازی بر روی مدارهای ترکیبی

نتایج شبیه‌سازی روش پیشنهادی بر روی مدارهای ترکیبی در جدول ۴ و در ۵ ستون اصلی ارائه شده‌است. نتایج روش پیشنهادی در دو حالت همراه با اصلاح اثر مسیرهای بازهمگرا و بدون اصلاح آنها ارائه شده‌است. در ستون اصلی دوم، میانگین احتمال وقوع خطا در خروجی‌های مدار با استفاده از روش پیشنهادی و روش مونت‌کارلو (MC) ارائه شده‌است. روش مونت‌کارلو، با اعمال یک میلیون بردار صفر و یک تولیدشده تصادفی به ورودی‌های مدار پیاده‌سازی شده‌است. همزمان هر گیت مدار نیز به‌صورت تصادفی در برخی از تکرارها، عملکرد خطادار از خود بروز می‌دهد به‌نحوی که میانگین این خطاها با نرخ خرابی ε=۰/۰۵ برابر باشد. به‌طور موازی، مدار با همان وروی‌های تصادفی نیز تحریک می شود، ولی هیچ خطایی در آن اعمال نمی‌شود تا مقدار صحیح هر گره مدار با توجه به آن مشخص شود. برای هر گره مدار، نسبت تعداد خطای خروجی آن گره به کل تعداد تکرارها، محاسبه شده و به‌عنوان احتمال وقوع خطا در آن گره در نظر گرفته می‌شود. با توجه به اعمال صفر و یک در این روش، اثر مسیرهای بازهمگرا عملاً در آن لحاظ شده‌است و با توجه به اعمال تعداد بسیار زیاد تکرار، فرض می‌شود میانگین به‌دست‌آمده به مقدار واقعی نزدیک است. در ستون سوم اصلی در جدول ۴، خطای نسبی روش پیشنهادی نسبت به روش مونت‌کارلو محاسبه و ذکر شده‌است. بر این اساس، خطای نسبی روش پیشنهادی پس از اعمال اصلاح اثر مسیرهای بازهمگرا بسیار کاهش یافته و در اغلب موارد به کمتر از ۱٪ می‌رسد.

جدول ۴: نتایج اجرای روش پیشنهادی بر روی مدارهای ترکیبی ISCAS'85. نتایج برای دو حالت اصلاح یا عدم اصلاح اثر مسیرهای بازهمگرا ارائه شده‌اند.

مدار	تعداد تکرارها			زمان‌بری روش پیشنهادی (ثانیه)		خطا نسبت به روش مونت‌کارلو (درصد)		میانگین احتمال آسیب‌پذیری خروجی‌های مدار		
	عمق منطقی	EPمحاسبه	SPمحاسبه	با اصلاح اثر مسیرهای بازهمگرا	بدون اصلاح اثر مسیرهای بازهمگرا	با اصلاح اثر مسیرهای بازهمگرا	بدون اصلاح اثر مسیرهای بازهمگرا	مونت کارلو (MC)	روش پیشنهادی (با اصلاح اثر مسیرهای بازهمگرا)	روش پیشنهادی (بدون اصلاح اثر مسیرهای بازهمگرا)
C432	۱۷	۷	۱۵	۰/۰۲۶	۰/۰۰۶	۰/۴۴	۶/۲۷	۰/۶۸۶	۰/۶۸۹	۰/۶۴۳
C499	۱۱	۶	۱۰	۰/۰۲۰	۰/۰۰۵	۰/۳۹	۳/۴۳	۰/۸۷۵	۰/۸۷۳	۰/۸۴۵
C880	۲۴	۷	۱۳	۰/۰۳۰	۰/۰۰۷	۰/۲۷	۱/۴۳	۰/۷۷۰	۰/۷۷۳	۰/۷۸۱

C1355	۰/۷۸۲	۰/۷۷۳	۰/۷۷۴	۱/۰۳	۰/۱۴	۰/۰۰۹	۰/۰۴۰	۱۱	۸	۲۴
C1908	۰/۷۴۶	۰/۷۴۶	۰/۷۴۷	۳/۱۳	۰/۴۷	۰/۰۱۱	۰/۰۸۰	۱۱	۸	۴۰
C2670	۰/۸۱۳	۰/۸۰۶	۰/۸۰۵	۰/۹۹	۰/۱۲	۰/۰۱۵	۰/۰۷۰	۱۲	۱۰	۳۲
C3540	۰/۷۱۵	۰/۶۱۷	۰/۶۰۷	۱۷/۷۹	۱/۱۵	۰/۰۲۰	۰/۰۱۳	۱۳	۱۰	۴۷
C5315	۰/۸۰۲	۰/۷۹۶	۰/۷۹۲	۱/۲۶	۰/۵۱	۰/۰۲۵	۰/۲۰۰	۱۰	۹	۴۹
C6288	۰/۶۵۸	۰/۵۳۵	۰/۵۳۸	۲۲/۳۰	۰/۹۶	۰/۰۶۸	۰/۲۲۰	۳۶	۲۴	۱۲۴
C7552	۰/۷۸۲	۰/۷۶۷	۰/۷۶۲	۳/۶۲	۰/۶۶	۰/۰۳۴	۰/۱۸۰	۱۰	۱۰	۴۳
میانگین				۶/۱۳	۰/۵۱	۰/۰۲	۰/۱۰	۱۴/۱۰	۹/۹۰	۴۱/۱

در ستون چهارم اصلی در جدول ۴، زمان‌بری روش پیشنهادی ارائه شده‌است که مطابق آن در حضور اصلاح اثر مسیرهای بازهمگرا، برای همه مدارها حداکثر ۰/۲۲ ثانیه است. در ستون پنجم اصلی تعداد تکرارهای الگوریتم برای انجام محاسبات وقوع خطا و عمق منطقی (Logic depth) هر مدار که بیانگر بیشینه تعداد گیت‌های متوالی مدار می‌باشد، ارائه شده‌اند. نتایج مندرج در این ستون، سرعت همگرایی روش پیشنهادی را نشان می‌دهد و مطابق آن محاسبه SPها اغلب در کمتر از ۱۵ تکرار و محاسبه EPها نیز اغلب در کمتر از ۱۰ تکرار انجام می‌شود و بیانگر سرعت بالای همگرایی روش پیشنهادی دارد. بررسی جدول ۴ همچنین نشان می‌دهد، مدار C6288 پیش از اصلاح اثر مسیرهای بازهمگرا، دارای خطای بالای محاسباتی در مقایسه با سایر مدارها می باشد، ولی پس از اصلاح اثر آن مسیرها، خطای محاسباتی به کمتر از ۱٪ کاهش می‌یابد. علت خطای بالای محاسباتی در مدار C6288، تعداد بالای مسیرهای بازهمگرای آن است که در ستون دوم جدول ۵ نیز نشان داده شده‌است.

در جدول ۵ دقت محاسباتی روش پیشنهادی و روش‌های ارائه‌شده در [۱۹، ۳۷] به‌دلیل ادعای مقیاس‌پذیری و تحلیل مسیرهای بازهمگرا با یکدیگر مقایسه شده‌اند. در همه موارد روش پیشنهادی و سایر روش‌ها از دقت تقریباً برابری برخوردار هستند. درباره مدار C6288، به‌دلیل عدم ارائه اطلاعات توسط مرجع [۳۷] و نیز عدم اخذ نتیجه از شبیه‌سازی آن روش، نتیجه آن در دسترس نیست.

جدول ۵: مقایسه دقت محاسباتی روش پیشنهادی با دو روش دیگر در تحلیل مدارهای ترکیبی

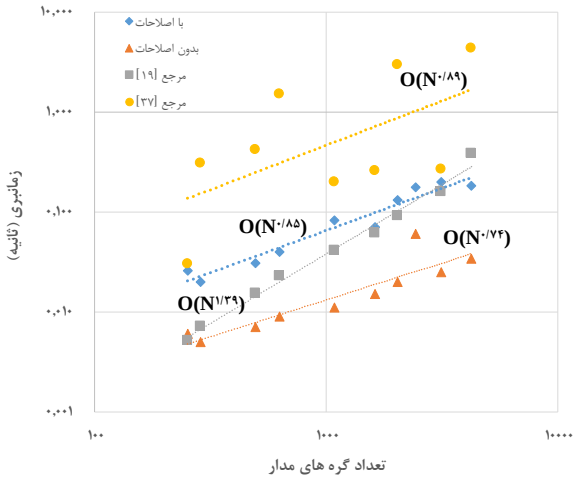
مدار	تعداد مسیرهای بازهمگرا	مقایسه خطای نسبی محاسباتی روش پیشنهادی و سایر روشها در مقایسه با روش مونت کارلو (درصد)		
		روش پیشنهادی	[۱۹]	[۳۷]
C432	۱۰۸۴۶	۰/۴۴	۰/۲۱	۵/۷
C499	۷۷۵۰	۰/۳۹	۰/۲۳	۳/۲۸
C880	۱۳۴۴۳	۰/۲۷	۰/۲۶	۲/۸۹
C1355	۸۵۰۶۲	۰/۱۴	۰/۰۹	۳/۲۲
C1908	۱۴۷۵۳۲	۰/۴۷	۲/۵۸	۲/۴۹
C3540	۲۷۲۷۶۲	۱/۱۵	۰/۴۳	۱۶/۴۱
C5315	۱۲۸۱۷۲	۰/۵۱	۰/۶۴	۰/۶۹
C6288	۸۷۸۲۲۰	۰/۹۶	۱/۱۲	-
C7552	۲۲۵۰۷۵	۰/۶۶	۰/۱۴	۳/۲۳
میانگین	**۱۷۶۸۸۶**	**۰/۵۵**	**۰/۶۳**	**۴/۷۳**

در جدول ۶ زمان‌بری روش‌های فوق‌الذکر مقایسه شده‌اند که مطابق آن، روش پیشنهادی از سرعت بالاتر برخوردار است.

جدول ۶: مقایسه زمان‌بری روش پیشنهادی با برخی از روش‌های فعلی در تحلیل مدارهای ترکیبی

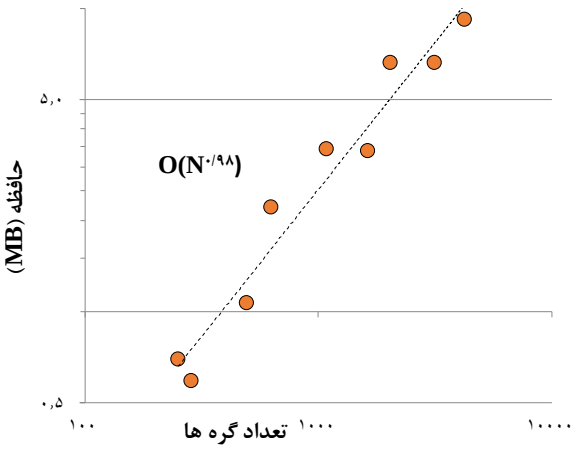
مدار	تعداد گیت‌های مدار	تعداد مسیرهای بازهمگرا	زمان‌بری (ثانیه)			
			[۳۷]	[۱۹]	روش پیشنهادی (بدون اصلاح اثر مسیرهای بازهمگرا)	روش پیشنهادی (با اصلاح اثر مسیرهای بازهمگرا)
C432	۲۵۲	۱۰۸۴۶	۰/۱۲	۰/۷۵	۰/۰۰۶	۰/۰۲۶
C499	۲۸۷	۷۷۵۰	۰/۵۳	۰/۸۸	۰/۰۰۵	۰/۰۲
C880	۴۹۵	۱۳۴۴۳	۰/۷۳	۱/۵۶	۰/۰۰۷	۰/۰۳
C1355	۶۳۱	۸۵۰۶۲	۲/۶۷	۲/۳۷	۰/۰۰۹	۰/۰۴
C1908	۱۰۹۰	۱۴۷۵۳۲	۰/۴۶	۳/۵۹	۰/۰۱۱	۰/۰۸
C3540	۲۰۳۳	۲۷۲۷۶۲	۴/۹۳	۶/۸۳	۰/۰۲	۰/۱۳
C5315	۳۱۵۱	۱۲۸۱۷۲	۰/۵۵	۱۰/۸۸	۰/۰۲۵	۰/۲
C6288	۲۴۴۸	۸۷۸۲۲۰	-	۱۱/۳۶	۰/۰۶۸	۰/۲۲
C7552	۴۲۴۹	۲۲۵۰۷۵	۸/۲	۱۴/۸۴	۰/۰۳۴	۰/۱۸
میانگین	**۱۴۶۴**	**۱۷۶۸۸۶**	**۲/۲۷**	**۵/۹**	**۰/۰۲۱**	**۰/۱۰۳**

پیچیدگی محاسباتی برای روش‌های فوق‌الذکر در شکل ۵ ارائه شده‌است. برای هر روش، بهترین خط ممکن درون‌یابی شده‌است که بر اساس آن، پیچیدگی محاسباتی روش پیشنهادی از سایر روش‌ها کمتر و به‌صورت فروخطی[۱۲] می‌باشد.



شکل ۵: مقایسه پیچیدگی محاسباتی روش پیشنهادی با دو روش دیگر برآورد آسیب‌پذیری مدارهای ترکیبی

حجم حافظه مصرفی روش پیشنهادی در شکل ۶: ارائه شده‌است. چنانچه ملاحظه می‌شود، حافظه مصرفی در این روش اندک است (8MB برای مداری با حدود ۵۰۰۰ گیت) و از رشدی تقریباً خطی نیز برخوردار می‌باشد که آن را برای استفاده در مدارهای بسیار بزرگ مناسب می‌نماید.



شکل ۶: حافظه مصرفی روش پیشنهادی برحسب تعداد گره‌های مدار

۴-۲- نتایج شبیه‌سازی بر روی مدارهای ترتیبی

نتایج شبیه‌سازی روش پیشنهادی بر روی مدارهای ترتیبی و مقایسه آنها با برخی از کارهای مشابه قبلی در دو حالت همراه با اصلاح اثر مسیرهای بازهمگرا و بدون اصلاح آنها در جدول ۷ و جدول ۸ ارائه شده و با نتایج مراجع [۱۰، ۳۴] مقایسه شده‌است.

جدول ۷: مقایسه دقت روش پیشنهادی با دو روش پیشنهادی در زمینه تحلیل مدارهای ترتیبی

مدار	تعداد گره‌های مدار	خطای نسبی (درصد)			
		روش پیشنهادی (با اصلاح اثر مسیرهای بازهمگرا)	روش پیشنهادی (بدون اصلاح اثر مسیرهای بازهمگرا)	[۱۰]	[۳۴]
S510	۲۶۶	۱/۵۶	۵۸/۱۲	۱/۰۹	۱۷/۸۸
S713	۴۹۳	۱/۴	۰/۶۵	۱/۰۹	۵/۰۶
S953	۴۷۵	۰/۹۲	۳/۲۳	۲/۱۴	۶/۹۸
S1423	۷۶۰	۱/۲۴	۱/۶۶	۰/۵۳	۰/۳۸
S5378	۳۳۶۰	۰/۸	۰/۸۹	۰/۴۳	۱۷/۴۸
S9234	۶۰۶۳	۰/۵۳	۵/۱۸	۴/۷۱	۱۷/۷۳
S15850	۱۰۶۶۸	۰/۶۶	۵/۰۲	۴/۳۱	۱۷/۴۹
S38417	۲۴۸۴۰	۰/۵۸	۱/۲۱	۲/۹۷	۴۲/۳۶
میانگین	۵۸۶۵/۶۳	**۰/۹۶**	**۹/۵**	**۲/۱۶**	**۱۵/۶۷**

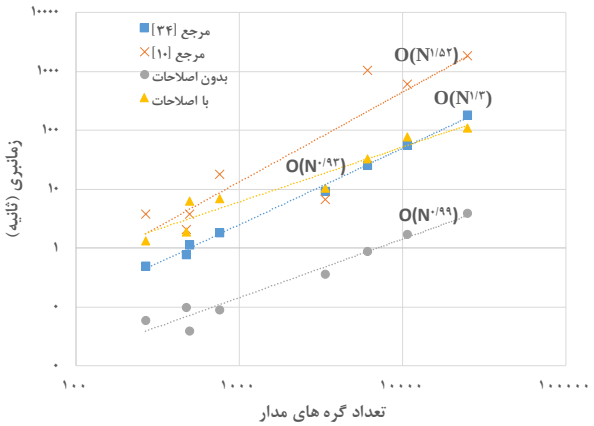
جدول ۸: مقایسه زمان‌بری روش پیشنهادی با دو روش پیشنهادی در زمینه تحلیل مدارهای ترتیبی

مدار	تعداد گره‌های مدار	زمان‌بری (ثانیه)			
		روش پیشنهادی (با اصلاح اثر مسیرهای بازهمگرا)	روش پیشنهادی (بدون اصلاح اثر مسیرهای بازهمگرا)	[۱۰]	[۳۴]
S510	۲۶۶	۱/۳۵	۰/۰۶	۳/۸۳	۰/۵
S713	۴۹۳	۶/۳	۰/۰۴	۳/۸۵	۱/۱۴
S953	۴۷۵	۱/۹	۰/۱	۲/۰۸	۰/۷۸
S1423	۷۶۰	۶/۹	۰/۰۹	۱۸/۴۲	۱/۸۷
S5378	۳۳۶۰	۱۰/۵	۰/۳۷	۶/۷۵	۹/۳
S9234	۶۰۶۳	۳۳/۷	۰/۹	۱۰۷۵/۹	۲۵/۴
S15850	۱۰۶۶۸	۷۹/۵	۱/۷۵	۶۲۵/۶۲	۵۶/۳
S38417	۲۴۸۴۰	۱۱۱	۳/۹	۱۸۸۰/۳۶	۱۸۵/۴

میانگین	۵۸۶۵/۶۳	۳۵/۰۹	۴۵۲/۱	۰/۹	۳۱/۳۹

خطای نسبی روش پیشنهادی در جدول ۷ برای همه مدارها پس از اصلاح اثر مسیرهای بازهمگرا کمتر از ۱/۵٪ است و مطابق جدول ۸ سرعت آن بالاتر از دو روش دیگر است.

پیچیدگی محاسباتی روش پیشنهادی در تحلیل مدارهای ترتیبی در شکل ۷ مورد بررسی قرار گرفته‌است. چنانچه ملاحظه می‌شود، روش پیشنهادی در زمینه تحلیل مدارهای ترتیبی نیز از پیچیدگی محاسباتی $O(N^{0.99})$ برخوردار است.



شکل ۷: پیچیدگی محاسباتی روش پیشنهادی و کارهای قبلی در برای ارزیابی قابلیت اطمینان مدارهای ترتیبی

۴-۳- مقایسه عملکرد روش پیشنهادی با کارهای قبلی در زمینه به‌کارگیری گراف‌های گذر احتمالاتی

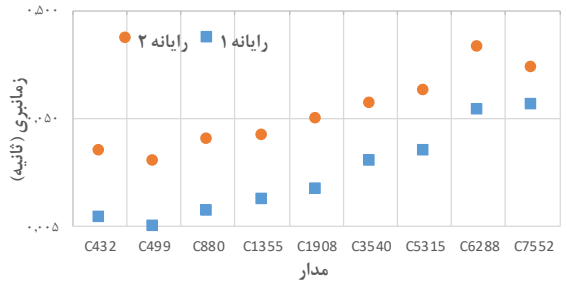
چنانچه در مقدمه تشریح شد، استفاده از گراف‌های گذر احتمالاتی پیشتر در [۵۸، ۵۹] پیشنهاد شده و با استفاده از آنها مدارهای ترکیبی مورد ارزیابی قرار گرفته بودند. لیکن یک نکته مهم در ارزیابی عملکرد روش پیشنهادی، بررسی میزان وابستگی آن به رایانه مورد استفاده است. لذا در این قسمت زمان‌بری محاسبات مذکور بر روی رایانه‌ای دیگر و با پردازنده‌ای سریع‌تر نسبت به آن دو مرجع تکرار شده‌است و نتایج آن در جدول ۹ ارائه شده‌است. در جدول ۹، رایانه ۱ دارای پردازنده Core2 Duo در فرکانس ۲GHz بوده و حافظه RAM آن برابر ۲GB با باس داخلی ۶۶۷MHz است [۵۸]. رایانه ۲ نیز دارای پردازنده Core i7 نسل سوم در فرکانس ۳/۶GHz و حافظه RAM برابر ۸GB با باس داخلی ۱۶۰۰MHz می‌باشد.

جدول ۹: مقایسه میزان وابستگی زمان‌بری روش پیشنهادی به رایانه (منظور از «اصلاح» اصلاح اثر مسیرهای بازهمگرا می‌باشد)

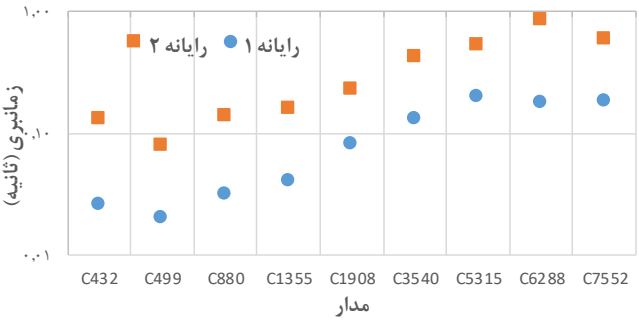
مدار	تعداد مسیرهای بازهمگرا	تعداد گیت‌های مدار	زمان‌بری (ثانیه)			
			رایانه ۲ (بدون اصلاح)	رایانه ۲ (با اصلاح)	رایانه ۱ (بدون اصلاح) [۵۸]	رایانه ۱ (با اصلاح) [۵۸]
C432	۱۰۸۴۶	۲۵۲	۰/۰۰۶	۰/۰۲۶	۰/۰۲۵	۰/۱۳
C499	۷۷۵۰	۲۸۷	۰/۰۰۵	۰/۰۲	۰/۰۲	۰/۰۸
C880	۱۳۴۴۳	۴۹۵	۰/۰۰۷	۰/۰۳۱	۰/۰۳	۰/۱۴
C1355	۸۵۰۶۲	۶۳۱	۰/۰۰۹	۰/۰۴	۰/۰۳	۰/۱۶

C1908	۱۴۷۵۳۲	۱۰۹۰	۰/۰۱۱	۰/۰۸۲	۰/۰۵	۰/۲۳
C3540	۲۷۲۷۶۲	۲۰۳۳	۰/۰۲	۰/۱۳۲	۰/۰۷	۰/۴۳
C5315	۱۲۸۱۷۲	۳۱۵۱	۰/۰۲۵	۰/۲	۰/۰۹	۰/۵۳
C6288	۸۷۸۲۲۰	۲۴۴۸	۰/۰۶	۰/۱۷۸	۰/۲۳	۰/۸۵
C7552	۲۲۵۰۷۵	۴۲۴۹	۰/۰۶۸	۰/۱۸۲	۰/۱۵	۰/۶

به جهت مقایسه بهتر، منحنی‌های زمان‌بری مربوط به هر رایانه به‌طور جداگانه برای حالت بدون اصلاح اثر مسیرهای بازهمگرا و با اصلاح آن، در شکل ۸ و شکل ۹ نشان داده شده‌است. چنانکه ملاحظه می‌شود، روند تغییرات هر دو حالت با یکدیگر مشابهت بسیار دارد و کاهش زمان‌بری برای رایانه ۲ نسبت به رایانه ۱ برای همه مدارها و در هر دو حالت تقریباً یکسان است.



شکل ۸: مقایسه زمان‌بری مربوط به هر رایانه در حالت بدون اصلاح اثر مسیرهای بازهمگرا



شکل ۹: مقایسه زمان‌بری مربوط به هر رایانه در حالت با اصلاح اثر مسیرهای بازهمگرا

پیچیدگی محاسباتی حاصل از پردازش بر روی دو رایانه نیز به یکدیگر بسیار نزدیک است، به‌طوری که با استفاده از رایانه پیچیدگی محاسباتی در حالت بدون اصلاح اثر مسیرهای بازهمگرا و با اصلاح اثر آنها به‌ترتیب برابر $O(N^{0.68})$ و $O(N^{0.86})$ می‌باشد [۵۸]. این مقادیر برای رایانه ۲، مطابق نتایج ارائه‌شده در شکل ۵ در دو حالت بدون اصلاح و با اصلاح اثر مسیرهای بازهمگرا به‌ترتیب برابر $O(N^{0.74})$ و $O(N^{0.85})$ می باشد که انطباق بالایی با نتایج رایانه ۱ در مرجع [۵۸] دارد. بنابراین، در مجموع مقیاس‌پذیری روش پیشنهادی چنانکه انتظار نیز می‌رود، وابستگی اندکی به رایانه مورد استفاده دارد و استفاده از رایانه‌های سریع‌تر، تنها موجب افزایش سرعت پردازش شده و تقریباً تاثیری در مقیاس‌پذیری روش ندارند.

۵- نتیجه

در این مقاله روشی برای برآورد آسیب‌پذیری مدارهای الکترونیکی دیجیتال در برابر خطاهای گذرا با استفاده از گراف‌های گذر سیگنال احتمالاتی با کاربرد برآورد قابلیت اطمینان مدارهای دیجیتال معرفی می شود. این روش با استفاده از قانون بهبودیافته میسون و نظریه نقطه ثابت این گراف‌ها را مورد تحلیل قرار می‌دهد و کاملاً مبتنی بر عملیات ماتریسی می‌باشد. استفاده از ماتریس‌های تُنُک موجب شده است تا روش پیشنهادی، پیچیدگی محاسباتی، حافظه مصرفی و زمان‌بری پایینی برای مدار ترکیبی و مدارهای ترتیبی دارای فیدبک، داشته باشد. در نتیجه شبیه‌سازی‌ها، پیچیدگی محاسباتی روش پیشنهادی برای مدارهای ترکیبی و ترتیبی به‌ترتیب برابر $O(N^{0.85})$ و $O(N^{0.99})$ می‌باشد و حافظه مصرفی نیز با روندی به‌صورت $O(N^{0.98})$ رشد می‌کند که بیانگر مقیاس‌پذیری بسیار مناسب روش پیشنهادی می‌باشد.

مراجع

[1] H. T. Nguyen, Y. Yagil, N. Seifert and M. Reitsma, “Chip-level soft error estimation method,” IEEE Device and Materials Reliability, vol. 5, no. 3, pp. 365-381, Sep. 2005.

[2] S. Borkar, “Designing reliable systems from unreliable components: the challenge of transistor variability and degradation,” IEEE Micro., vol. 25, no. 6, pp. 10–16, 2005.

[3] R. D. Schrimpf and et al, “Reliability and radiation effects in IC technologies,” IEEE 46th Int. Reliability Physics Symp (IRPS 2008), Phoenix, pp. 97-106, May 2008.

[4] P. Shivakumar, M. Kistler, S. W. Keckler, D. Burger and L. Alvisi, “Modeling the effect of technology trends on the soft error rate of combinational logic,” IEEE Int. conf. on Dependable Systems and Networks (DSN 2002), Bethesda, MD, USA, pp. 389-398, June 2002.

[5] K. Parker and E. McCluskey, “Probabilistic treatment of general combinational networks,” IEEE Trans. on Electronic Computers, vol. C-24, no. 6, pp. 668–670, 1975.

[6] K. N. Patel, I .L. Markov and J. P. Hayes, “Evaluating circuit reliability under probabilistic gate-level fault models,” in Int. Workshop on Logic and Synthesis (IWLS), pp. 59-64, 2003.

[7] S. Krishnaswamy, G. F. Viamonte, I. L. Markov and J. P. Hayes, “Accurate reliability evaluation and enhancement via probabilistic transfer matrices,” in Proc. of Design Automation and Test in Europe (DATE 2005), Munich, Germany, pp. 282–287, March 2005.

[8] S. Krishnaswamy, I. L. Markov and J. P. Hayes, “Tracking uncertainty with probabilistic logic circuit testing,” IEEE Design and Test of Computers, vol. 24, no. 4, pp. 312-321, 2007.

[9] S. Krishnaswamy, G.F. Viamontes, I.L. Markov and J.P. Hayes, “Probabilistic transfer matrices in symbolic reliability analysis of logic circuits,” ACM Trans. Design Automation of Electronic Systems, vol. 13, no. 1, Article 8, 2008.

[10] C. C. Yu and J. P. Hayes, “Scalable and accurate estimation of probabilistic behavior in sequential circuits,” in Proc. 28th VLSI Test Symposium (VTS 2010), Santa Cruz, CA, pp. 165-170, April 2010.

[11] R. I. Bahar, J. Chen and J. Mundy, “A probabilistic-based design methodology for nanoscale computation,” in Proc. IEEE/ACM Int. Conf. on Computer Aided Design (ICCAD’03), San Jose, CA, pp. 480–486, Nov. 2003.

[12] G. Norman, D. Parker, M. Kwiatkowska and S. Shukla, “Evaluating the reliability of NAND multiplexing with PRISM,” IEEE Trans. CAD of Integrated Circuits and Systems, vol. 24, no. 10, pp. 1629-1637, 2005.

[13] N. M. Zivanov and D. Marculescu, “Multiple transient faults in combinational and sequential circuits: a systematic approach,” IEEE Trans. CAD, vol. 29, no. 10, pp. 1614-27, 2010.

[14] N. M. Zivanov and D. Marculescu, "Circuit reliability analysis using symbolic techniques," IEEE Trans. CAD Integrated Circuits Syst., vol. 25, no. 12, pp. 2638–2649, 2006.
[15] N. M. Zivanov and D. Marculescu, "Modeling and optimization for soft-error reliability of sequential circuits," IEEE Trans. CAD Integrated Circuits Syst. vol. 27, no. 5, pp. 803-816, 2008.
[16] N. M. Zivanov and D. Marculescu, "Soft error rate analysis for sequential circuits," in Proc. IEEE Design, Automation and Test in Europe (DATE 2007), Nice Acropolis, France, pp. 1436-1441, April 2007.
[17] T. Rejimon and S. Bhanja, "Scalable probabilistic computing models using Bayesian networks," in Proc. 48th Int. Midwest Symp. Circuits Syst., vol. 1, Covington KY, pp. 712–715, Aug. 2005.
[18] T. Rejimon and S. Bhanja, "Probabilistic error model for unreliable nano-logic gates," in Proc. 6th IEEE Conf. Nanotechnology, Cincinnati, Ohio, pp. 47-50, July. 2006.
[19] T. Rejimon, K. Lingasubramanian and S. Bhanja," Probabilistic error modeling for nano-domain logic circuits," IEEE Trans. VLSI, vol. 17, no. 1, pp. 55–65, 2009.
[20] H. Asadi, M. B. Tahoori, M. Fazeli and S. G. Miremadi "Efficient algorithms to accurately compute derating factors of digital circuits," Microelectronics Reliability, vol. 52, no. 6, pp. 1215-1226, 2012.
[21] G. Asadi and M. B. Tahoori, "An analytical approach for soft error rate estimation in digital circuits," in Proc. Int. Symp. Circuits and Systems (ISCAS 2005), vol. 3, Kobe, Japan, pp. 2991-2994, May 2005.
[22] H. Asadi and M. B. Tahoori, "Soft error derating computation in sequential circuits," in Proc. Int. Conf. CAD (ICCAD'06), San Jose, CA, pp. 497-501, Nov. 2006.
[23] H. Asadi and M. B. Tahoori, "Soft error modeling and remediation techniques in ASIC designs," Microelectronic, vol. 41, no. 8, pp. 506-522, 2010.
[24] M. Fazeli, S. N. Ahmadian, S. G. Miremadi, H. Asadi and M. B. Tahoori, "Soft error rate estimation of digital circuits in the presence of multiple event transients (METs)," Proc. IEEE/ACM Int. Conf. Design Automation and Test in Europe (DATE 2011), Grenoble, France, pp. 70-75, March 2011.
[25] N. Mohyuddin, E. Pakbaznia and M. Pedram, "Probabilistic error propagation in logic circuits using the Boolean difference calculus," ," in Proc. 26th Int. Conf. Computer Design (ICCD 2008), Lake Tahoe, CA, pp. 7-13, Oct. 2008.
[26] S. Gupta, A. J. C. Gemund and R. Abreu, "Probabilistic error propagation modeling in logic circuits," in Proc. 4th Software Testing, Verification and Validation Workshops (ICSTW 2011), Berlin, Germany, pp. 617-623, March 2011.
[27] A. Abdollahi, "Probabilistic decision diagrams for exact probabilistic analysis," Int. conf. on CAD (ICCAD'07), San Jose, California, pp. 266-272, Nov. 2007.
[28] G. B. Hamad, S. R. Hasan, O. A. Mohamed and Y. Savaria, "Characterizing, modeling, and analyzing soft error propagation in asynchronous and synchronous digital circuits," Microelectronics Reliability, vol. 55, no. 1, pp. 238-250, 2015.
[29] J. Han, E. Taylor, J. Gao and J. Fortes, "Towards accurate and efficient reliability modeling of nanoelectronic circuits," in Proc. 6th IEEE Conf. Nanotechnology, Cincinnati, Ohio, pp. 395-398, July 2006.
[30] J. Han, H. Chen, E. Boykin and J. Fortes, "Reliability evaluation of logic circuits using probabilistic gate models," Microelectronics Reliability, vol. 51, no. 2, pp. 468-476, 2011.
[31] D. T. Franco, M. C. Vasconcelos, L. Naviner and J-F. Naviner, "Signal probability for reliability evaluation of logic circuits," Microelectronics Reliability, vol. 48, no. 8-9, pp. 1586–1591, 2008.
[32] J. T. Flaquer, J. M. Daveau, L. Naviner and P. Roche, "Fast reliability analysis of combinatorial logic circuits using conditional probabilities," Microelectronics Reliability, vol. 50, no. 9-11, pp. 1215-1218, 2010.
[33] J. T. Flaquer, J. M. Daveau, L. Naviner and P. Roche, "An approach to reduce computational cost in combinatorial logic netlist reliability analysis using circuit clustering and conditional probabilities," in Proc. 17th IEEE Int. On-line Testing Symposium (IOLTS 2011), Athens, pp. 98-103, July 2011.
[34] S. Krishnaswamy, S. M. Plaza, I. L. Markov and J. P. Hayes, "Signature-based SER analysis and design of logic circuits," IEEE Trans. CAD Integrated Circuits Syst., vol. 28, no. 1, pp. 74–86, 2009.
[35] H. Chen, J. Han and F. Lombardi, "A transistor-level stochastic approach for evaluating the reliability of digital nanometric CMOS circuits," IEEE Int. Symp. Defect and Fault Tolerance in VLSI and Nanotechnology Systems (DFT 2011), Vancouver, BC, Canada, pp. 60-67, Oct. 2011.
[36] J. Han, H. Chen, J. Liang, P. Zhu, Z. Yang and F. Lombardi, "A stochastic computational approach for accurate and efficient reliability evaluation," IEEE Trans. Computers, vol. 63, no. 6, pp. 1336–1350, 2014.
[37] M. R. Choudhury and K. Mohanram, "Reliability analysis of logic circuits," IEEE Trans. CAD. Integrated Circuits Syst., vol. 28, no. 3, pp. 392-405, 2009.
[38] S. J. S. Mahdavi and K. Mohammadi, "SCRAP: sequential circuits reliability analysis program," Microelectronics Reliability, vol. 49, no. 8, pp. 924–933, 2009.
[39] C. C. Yu and J. P. Hayes, "Trigonometric method to handle realistic error probabilities in logic circuits," in Proc. IEEE Design, Automation and Test in Europe (DATE 2011), Grenoble, France, pp. 64-69, March 2011.
[40] B. Liu and L. Cai, "Reliability evaluation for single event transients on digital circuits," IEEE Trans. Reliability, vol. 61, no. 3, pp. 687-691, 2012.
[41] L. Chen and M. B. Tahoori, "An efficient probability framework for error propagation and correlation estimation," 18th IEEE Int. On-Line Testing Symposium (IOLTS 2012), Sitges, Spain, pp. 170-175, June 2012.
[42] L. Chen, M. Ebrahimi and M.B. Tahoori, "CEP: Correlated error propagation for hierarchical soft error analysis," J Electron Testing, Springer, vol. 29, pp. 143–158, 2013.
[43] R. R. Rao, K. Chopra, D. T. Blaauw and D. M. Sylvester, "Computing the soft error rate of combinational logic circuit using parameterized descriptors," IEEE Trans. CAD Integrated Circuits Syst., vol. 26, no. 3, pp. 468-479, 2007.
[44] C. Zhao, X. Bai and S. Dey, "Evaluating transient error effects in digital nanometer circuits," IEEE Trans. Reliability, vol. 56, no. 3, pp. 381-391, 2007.
[45] R. Rajaraman, J. S. Kim, N. Vijaykrishnan, Y. Xie and M. J. Irwin, "SEAT-LA: a soft error analysis tool for combinational logic," Proc. 19th Int. Conf. on VLSI Design, Hyderabad, India, pp. 499-502, Jan. 2006.
[46] M. Omana, G. Papasso, D. Rossi and C. Metra, "A model for transient fault propagation in combinatorial logic," in Proc. 9th Int. On-Line Testing Symp. (IOLTS 2003), Bologna, Italy, pp. 111-115, July 2003.
[47] B. S. Gill, C. Papachristou, F. G. Wolff and N. Seifert, "Node sensitivity analysis for soft errors in CMOS logic," Proc. Test Conf. (ITS 2005), Austin, Tx, pp. 984–972, Nov. 2005.
[48] S. Gangadhar and S. Tragoudas, "A probabilistic approach to diagnose SETs in sequential circuits," Electron Testing, Springer, vol. 29, no. 3, pp 317-330, 2013.
[49] S. Rezaei, S. G. Miremadi, H. Asadi and M. Fazeli, "Soft error estimation and mitigation of digital circuits by characterizing input patterns of logic gates," Microelectronics Reliability, vol. 54, no. 6-7, pp 1412-1420, 2014.
[50] M. S. Ansari, A. Mahani, J. Han and B. F. Cockburn, "A novel gate grading approach for soft error tolerance in combinational circuits," IEEE Canadian Conference on Electrical and Computer Engineering Conf. (CCECE 2016), Vancouver, Canada, pp. 1-4, May 2016.
[51] B. Farahani, S. Habibi and S. Safari, "A cross-layer SER analysis in the presence of PVTA variations," Microelectronics Reliability, vol. 55, no. 7, pp. 1013-1027, 2015.F. K. Lodhi, S. R. Hasan, O. Hasan and F. Awwad, "Analyzing Vulnerability of Asynchronous Pipeline to Soft Errors: Leveraging Formal Verification," Electronic Testing, vol. 32, no. 5, pp. 569-586, 2016.
[52] M. Ebrahimi, H. Asadi, R. Bishnoi and M. B. Tahoori, "Layout-based modeling and mitigation of multiple event transients," IEEE Trans. on CAD. Integrated Circuits Syst., vol. 35, no. 3, pp. 367-379, 2016.
[53] Y. Du and S. Chen, "A novel layout-based single event transient injection approach to evaluate the soft error rate of large combinational circuits in complimentary metal-oxide-semiconductor bulk technology," IEEE Trans. on Reliability, vol. 65, no. 1, pp. 248-255, 2016.

[54] M. Raji, H. Pedram and B. Ghavami, "Soft error rate estimation of combinational circuits based on vulnerability analysis," IET Computers & Digital Techniques, vol. 9, no. 6, pp. 311-320, 2015.

[۵۵] محمدامین ثابت سروستانی، بهنام قوامی، محسن راجی، «کاهش نرخ خطای نرم چندگانه مدارهای ترکیبی مبتنی بر اندازه‌گذاری دروازه‌ها بر مبنای پارامتر حساسیت»، مجله مهندسی برق دانشگاه تبریز، دوره ۴۷، شماره ۲، صفحات ۴۴۵ تا ۴۵۴، تابستان ۱۳۹۶.

[۵۶] سعیده نبی‌پور، جواد جاویدان، غلامرضا زارع فتین، «طراحی یک دیکدر BCH بهینه جهت افزایش اطمینان در ذخیره‌سازی اطلاعات و تصحیح خطا در حافظه‌های فلش»، مجله مهندسی برق دانشگاه تبریز، دوره ۴۶، شماره ۳، صفحات ۳۱۹ تا ۳۳۱، پاییز ۱۳۹۶.

[57] V. H. Vaghef and A. Peiravi, "A graph based approach for reliability analysis of nano-scale VLSI logic circuits," Microelectronics Reliability, vol. 54, no. 6-7, pp. 1299-1306, 2014.

[58] V. H. Vaghef and A. Peiravi, "Node-to-node error sensitivity analysis using a graph based approach for VLSI logic circuits," Microelectronics Reliability, vol. 55, no. 1, pp. 264-271, 2015.

[59] T.A. Davis, "Direct methods for sparse linear systems," Philadelphia, SIAM, 2006.

[60] J. V. Neumann, "Probabilistic logics and the synthesis of reliable organisms from unreliable components," In: Shannon CE, McCarthy J, editors. Automata studies. Princeton (NJ): Princeton University Press, pp. 43–98, 1956.

[61] M. E. Van Valkenburg, "Network analysis," Englewood Cliffs, NJ, Prentice-Hall, 1974.

[62] S. J. Mason, "Feedback theory – some properties of signal flow graphs," in Proc. of IRE, vol. 41, no.9, New York, pp. 1144-1156, 1953.

[63] S. J. Mason, "Feedback theory: further properties of signal flow graphs," in Proc. IRE, vol. 44, no.7, New York, pp. 920-926, 1956.

[64] L. E. J. Brouwer, "Ueber eineindeutige, stetige transformationen von flachen in sich," in Springer Mathematische Annalen, vol. 69, no. 2, pp. 176-180, 1910.

[65] S. Banach, "Sur les opérations dans les ensembles abstraits et leur application aux équations integrals," Fundamenta Mathematicae, vol. 3, no.1, pp. 133-181, 1922.

زیرنویس‌ها

[1] Re-convergent paths
[2] Sparse
[3] Single event transient
[4] Masking mechanisms
[5] Logical masking
[6] Electrical masking
[7] Latching-window masking
[8] Single event upset
[9] Signal probability
[10] Probabilistic signal flow graph
[11] Fixed-point theorem
[12] Sub-linear