

سامانه توزیع پالس ساعت نوری با استفاده از دیودهای بهمنی تک فوتون در فن آوری CMOS

محمد عظیم کرمی^۱، دانشیار؛ میثاق انصاریان^۲، دانشجوی کارشناسی ارشد

۱- دانشکده مهندسی برق - دانشگاه علم و صنعت ایران - تهران - ایران - karami@iust.ac.ir

۲- دانشکده مهندسی برق و کامپیوتر - دانشگاه علم و صنعت ایران - تهران - ایران - misagh_ansarian@elec.iust.ac.ir

چکیده: یک سامانه توزیع پالس ساعت با استفاده از دیودهای بهمنی تک فوتون قابل پیاده سازی در فن آوری استاندارد سیماس بدون استفاده از ادوات متمرکزکننده نوری ارائه شده است. این سیستم بدون نیاز به پیاده سازی موج برهای نوری قابلیت توزیع پالس ساعت را در سطح تراشه دارد. سیستم متشکل از یک منبع نور با فرکانس قطع و وصل زیر ۶۶۰ مگاهرتز بوده که در قسمت دریافت کننده دارای سه آشکارساز دیود بهمنی تک فوتون موازی است که سه پالس ساعت ۲۲۰ مگاهرتز مجزا را می توانند تولید نمایند. در هر لحظه از زمان دو عدد از سه عدد آشکارساز دیود بهمنی تک فوتون در فاز خاموش/انتظار و سومین دیود دوباره شارژ شده آماده دریافت فوتون است. بدین ترتیب ساختاری مشابه خط لوله پیاده سازی می شود که در نهایت با تعبیه یک دروازه منطقی، پالس ساعت ۶۶۰ مگاهرتزی تولید می گردد. این سیستم در فن آوری ۱۸۰ نانومتری CMOS طراحی و طرح بندی آن شبیه سازی شده است. همچنین این سیستم دارای توان مصرفی ۶/۷۴ میلی وات به ازای هر سلول سه تایی از آشکارسازها بوده که لغزش الکتریکی ۲۳۷ فمتوثانیه و چولگی ۴۳ پیکوثانیه را نتیجه داده است.

واژه های کلیدی: شبکه توزیع پالس ساعت نوری، آشکارساز دیود بهمنی تک فوتون، CMOS

Optical Clock Distribution Network using CMOS Single-photon Avalanche Diodes

Mohammad Azim Karami¹, Associate professor; Misagh Ansarian², MSc student²,

1- Department of Electrical Engineering, Iran University of Science and Technology, Tehran, Iran, Email: karami@iust.ac.ir

2- Department of Electrical Engineering, Iran University of Science and Technology, Tehran, Iran, Email: m_ansarian@elec.iust.ac.ir

Abstract: A new clock distribution network using CMOS single-photon avalanche diodes (SPAD) in combination with free space optics is proposed. The system can work without special implementation of optical waveguides. It consists of an optical source with 660 MHz operation, which in the receiver end is composed of three parallel SPADs biased in quench, hold-off and recharge phases. With the pipeline analogues implementation of SPADs and a logic cell output a 660 MHz clock source can be achieved. The proposed system is post layout simulated in 180nm CMOS technology. The power consumption of 6.74 mW for each SPAD cell, electrical jitter of 237 fs and skew of 43 ps is resulted.

Keywords: Optical clock distribution network, single-photon avalanche diode, CMOS.

تاریخ ارسال مقاله: ۱۳۹۷/۰۵/۲۴

تاریخ اصلاح مقاله: ۱۳۹۷/۰۸/۳۰

تاریخ پذیرش مقاله: ۱۳۹۷/۱۱/۲۰

نام نویسنده مسئول: محمد عظیم کرمی

نشانی نویسنده مسئول: ایران - تبریز - بلوار ۲۹ بهمن - دانشگاه تبریز - دانشکده مهندسی برق و کامپیوتر.

۱- مقدمه

جدول ۱: مقایسه مشخصات زمانی فن آوریهای CMOS مختلف از [۴].

توان الکتریکی (وات)	توان نوری (وات)	لغزش الکتریکی (درصد)	لغزش نوری (درصد)	چولگی الکتریکی (درصد)	چولگی نوری (درصد)	فن آوری (نانومتر)
۰/۴۲	۰/۰۴	۷/۷۹	۴/۱۷	۱۰/۲۳	۷/۲۳	۹۰
۱/۸۲	۰/۱۹	۱۲/۵۲	۵/۲۹	۳۷/۴۳	۹/۳۲	۶۵
۴/۷۸	۰/۸۰	۱۵/۴۴	۵/۴۳	۴۶/۷۵	۹/۳۲	۴۵
۳/۶۹	۰/۷۹	۱۷/۸۱	۵/۵۶	۵۴/۶۸	۹/۳۲	۳۲
۹/۸۴	۳/۴۶	۲۲/۶۸	۵/۵۶	۷۲/۷۶	۹/۳۲	۲۲

سیستم‌های توزیع پالس ساعت نوری^۱ به‌عنوان کامل‌کننده سیستم‌های توزیع پالس ساعت الکتریکی محلی در مدارهای مجتمع دیجیتال مطرح شده‌اند [۱]. امروز پردازشگرهای با کارایی بالا دارای فرکانس‌های پالس ساعت رو به افزایش می‌باشند [۲ و ۱]. علاوه بر سطح مصرفی و توان الکتریکی، دو کمیت اصلی لغزش^۲ و چولگی^۳ میزان کارایی یک شبکه توزیع پالس ساعت را مشخص می‌نمایند [۳].

از آنجاکه در فرایندهای ساخت مدارهای مجتمع بسیار زیر میکرون تغییرات در فرایند ساخت افزاره، عمل کرد مدارها را تحت تاثیر قرار می‌دهند و همچنین دوره تناوب پالس ساعت سیگنال ساعت در این مدارها رو به کاهش است [۴]. لغزش و چولگی در این مدارها بحرانی‌تر می‌شوند [۵]. راه‌حل‌های مختلفی چون ایجاد شبکه پالس ساعت [۶].

چولگی‌زادی فعال^۴ [۷] و شبکه‌های توزیع پالس ساعت با اشکال هندسی متفاوت [۸-۱۰] پیشنهاد شده‌اند که لغزش و چولگی را کاهش داده‌اند. به‌علاوه شبکه‌های توزیع پالس ساعت نوری برای رسیدن به شبکه توزیع پالس ساعت با دقت بالا پیشنهاد شده‌اند.

شبکه‌های توزیع پالس ساعت نوری دارای نویز هم‌شنوایی الکتریکی کم، توان مصرفی کم و چولگی کم [۱۱] بوده و محدودیت‌های ناشی از جایابی^۵ [۱۲] در طرح‌بندی^۶ پیاده‌سازی را کاهش می‌دهند. اگرچه شبکه توزیع پالس ساعت نوری مزایای فوق را دارد، چالش اصلی این شبکه‌ها در پیاده‌سازی موج‌برهای منطبق با فن‌آوری ساخت سیلیکونی استاندارد CMOS است [۱۳ و ۱]. این چالش‌ها حتی مهندسی را به استفاده از نیمه‌هادیهای ترکیبی مانند سیلیکن ژرمانیوم برای پیاده‌سازی سیستم الکترونیک نوری پالس ساعت واداشته است [۱۴].

مطالعات نشان می‌دهد که لیزرهای پالسی با فرکانس قطع و وصل چند گیگاهرتز قابلیت جمع با تراشه‌های ساخته‌شده در فن‌آوری CMOS را دارند [۱].

این مقاله ارائه‌دهنده راه‌حل جدید برای افزایش فرکانس پالس ساعت نتیجه‌یافته نوری با آشکارساز دیودهای بهمنی تک‌فوتون^۸ است که به‌عنوان عنصر دریافت‌کننده نور مورد استفاده قرار می‌گیرند. در این مقاله چیدمان و مدارهای جانبی دیودهای بهمنی تک‌فوتون به‌گونه‌ای مهندسی شده‌اند که فرکانس بالاتری نسبت به دیگر تحقیقات مشابه را نتیجه داده‌است. همچنین باید توجه داشت که به‌علت قابلیت آشکارسازی تک‌فوتون می‌توان توان تابنده توری به‌عنوان سیگنال پالس ساعت را بسیار کاهش داد.

در بخش دوم این مقاله به‌طور خلاصه شبکه‌های توزیع پالس ساعت نوری مرور خواهند شد و بخش سوم نحوه عمل کرد آشکارسازهای بهمنی تک‌فوتون را شرح می‌دهد و بخش چهارم جزییات و شبیه‌سازی شبکه پالس ساعت نوری ارائه‌شده را عنوان می‌نماید. در بخش پنجم نتایج شبیه‌سازی مورد دقت نظر قرار گرفته و در بخش ششم نتایج حاصله از این طراحی ارائه می‌گردد.

۲- مقدمه

جدول ۱ مقایسه‌ای بین شبکه توزیع پالس الکتریکی و نوری را در فن‌آوریهای استاندارد CMOS نمایش می‌دهد [۴]. این مقایسه با شبیه‌سازیهای براساس نتایج دورنمای فن‌آوری بین‌المللی نیمه‌هادی^۹ به‌دست آمده‌است [۴].

در این جدول میزان مقادیر زمانی براساس درصد زمان دوره تناوب پالس ساعت ارائه شده و همچنین توان منبع نوری در نظر گرفته نشده‌است. براساس جدول ۱، شبکه‌های تولید پالس ساعت معمول به مرور زمان و با پیشرفت فن‌آوری دچار مشکلاتی می‌شوند. به‌علاوه چولگی در سیستم‌های الکتریکی با افزایش تغییر در فرایند ساخت روزبه‌روز در حال افزایش است [۴]. در عوض شبکه‌های توزیع پالس ساعت نوری در سه کمیت لغزش، چولگی و توان مصرفی عمل‌کرد بهتری می‌توانند داشته‌باشند [۴].

یک شبکه اتصال میانی نوری برای اتصال به منبع نوری پالس ساعت به آشکارساز نور نیاز دارد. شبکه‌های اتصالی میانی نوری یا با استفاده از موج‌بر یا با استفاده از اپتیک فضای آزاد^{۱۰} قابل پیاده‌سازی هستند [۱۱].

۲-۱- سیستم‌های توزیع پالس ساعت نوری با موج‌بر

سیستم‌های توزیع پالس ساعت نوری با موج‌بر متشکل از چهار قسمت می‌باشند: منبع نور، موج‌بر، آشکارساز و تقویت‌کننده‌ها و مدارهای تولیدکننده شکل موج [۱]. مشکل این نوع سیستم‌ها در عدم قابلیت پیاده‌سازی موج‌برهای نوری در فن‌آوری سیلیکونی CMOS استاندارد و نیاز به آشکارسازها و مدارهای جانبی سریع است. به‌علاوه تقویت پرسرعت و مدارهای شکل‌دهنده شکل موج معمولاً سطح مصرفی زیادی دارند و توان زیادی را مصرف می‌نمایند [۱۲].

۲-۲- سیستم‌های توزیع پالس ساعت نوری با اپتیک آزاد

این نوع شبکه‌های توزیع پالس ساعت مشابه شبکه‌های توزیع پالس ساعت نوری با موج‌بر بوده با این تفاوت که محیط انتشار نور در آن‌ها

فرایند خاموش کردن دیود می‌تواند توسط یک مقاومت سری انجام شود که جریان افزاره را محدود نماید (خاموش کردن پسیو) و یا توسط مدارهای حساسی که به محض رخداد شکست بهمنی آنرا آشکار نموده جریان دیود را محدود می‌نمایند (خاموش کردن اکتیو) [۱۹]. همچنین فرایند شارژ دوباره افزاره ممکن است توسط یک مقاومت الکتریکی ساده انجام شود که خازن افزاره را شارژ نماید (شارژ دوباره پسیو) و یا توسط منابع جریان موازی رخ دهد که زمان شارژ دوباره را کاهش دهند (شارژ دوباره اکتیو) [۲۰].

۳-۲- مشخصات اصلی دیود بهمنی تک فوتون با کاربرد شبکه توزیع پالس ساعت

دیود بهمنی تک فوتون مورد استفاده در شبکه توزیع پالس ساعت نوری دارای دو مشخصه است که در کاربرد این مقاله بسیار اهمیت دارد. میزان شمارش در تاریکی^{۱۳} و پالس‌های ثانویه^{۱۴} [۱۵].

همه آشکارسازهای نور به دلیل تولید الکترون‌های حرارتی در تاریکی و یا بوجود آمدن حامل‌های آزاد ناشی از تونل‌زنی، از وجود جریان تاریک رنج می‌برند. معادل جریان تاریک در حسگرهای تک فوتون نرخ شمارش در تاریکی است که بدون جذب هیچ فوتونی در افزاره رخ می‌دهد. از سوی دیگر با رخداد شکست بهمنی، جریان بسیار زیادی از آن عبور نموده که می‌تواند تله‌های خالی و خرابی‌ها را از حامل پر نماید. اگر این تله‌های خالی و خرابی‌های پر شده در زمان نامطلوب الکترون محصور خود را آزاد نمایند سبب تولید پالس‌های ثانویه می‌شوند که نوعی نویز است. هر دو مکانیزم می‌توانند عمل کرد این افزاره را مختل نمایند. راه‌های مختلفی برای کاهش نرخ شمارش در تاریکی و پالس‌های ثانویه ارائه شده‌است. برای کاهش پالس‌های ثانویه کاهش میزان تله‌های خالی [۲۱]، کاهش جریان گذرنده بیشینه از اتصال [۲۲] پیشنهاد شده‌است. این کاهش جریان توسط سرعت بخشیدن به عملیات خاموش کردن، کاهش ولتاژ اضافه بایاس^{۱۵} افزاره و کاهش میزان خازن‌ها قابل انجام است [۲۳]. به علاوه یک راه متداول جهت کاهش پالس‌های ثانویه اضافه کردن زمان انتظار قبل از فاز شارژ مجدد است. به عبارت دیگر بعد از فاز خاموش سازی عملیات شارژ مجدد با تاخیری برای خالی شدن تله‌های پر از حامل رخ می‌دهد. برای تعبیه وجود زمان انتظار به استفاده از شارژ مجدد اکتیو نیاز دارد و همچنین کاهش نرخ شمارش در تاریکی با استفاده از فرایند ساخت بسیار تمیز و با کاهش دما می‌تواند صورت گیرد که در آن احتمال مشاهده رخداد ثانویه حداقل [۲۴] و نرخ شمارش در تاریکی بسیار کم [۲۵] خواهد شد.

۳-۳- پیاده‌سازی شبکه توزیع پالس ساعت توسط دیودهای بهمنی تک فوتون

استفاده از دیودهای بهمنی تک فوتون به علت داشتن خروجی دیجیتال این مزیت را دارد که نیاز به تعبیه مدار گیرنده بهره بالا نیست [۱۲]. دیودهای بهمنی تک فوتون دارای زمان مرده‌ای هستند که در آن قابلیت

متفاوت است. در این نوع سیستم‌ها یک منبع نور کل سطح تراشه را در معرض نور قرار می‌دهد و آشکارسازها را تحریک می‌نماید [۱۵]. البته باید توجه داشت که یکی از چالش‌های این نوع سیستم‌ها توان تحویلی به منبع نور است که به علت انتشار سه‌بعدی نور به هنگام رسیدن به آشکارساز به شدت افت می‌کند [۱۵]. به همین منظور باید به دنبال راه‌حل‌های جدید برای کاهش توان مصرفی بود. همچنین در سیستم‌های با ایتیک آزاد از آنجا که نور به کل تراشه اعمال می‌شود، باید پوشاندن سایر نواحی تراشه به‌جز دریافت‌کننده‌های پالس ساعت نوری انجام گیرد. یکی از آشکارسازهایی که به علت حساسیت بالا به فوتون مورد توجه قرار می‌گیرد دیودهای بهمنی تک فوتون هستند [۱۲]. دیودهای آشکارساز بهمنی آشکارسازهایی کاملاً دیجیتال هستند که با دریافت یک فوتون یک پالس دیجیتال تولید می‌نمایند. ایده اولیه استفاده از دیود بهمنی تک فوتون به جای حسگرهای نور معمول ابتدا در [۱۵] پیشنهاد شد. باید توجه داشت که در [۱۵] از این آشکارسازها فقط برای تولید سیگنال سنکرون‌سازی با فرکانس ۸۰ مگاهرتز استفاده شد در حالیکه سلول‌های حافظه خود دارای نوسان‌گرهای حلقه با فرکانس بالا بودند.

این مقاله پیشنهاد می‌نماید دیودهای بهمنی تک فوتون به‌عنوان آشکارساز نور در کنار سیستم ایتیک فضای آزاد مورد بهره‌برداری قرار گیرند. این سیستم برخلاف [۱۵]، یک پالس ساعت سرتاسری برای کل تراشه را به جای یک پالس سنکرون‌ساز محلی پیشنهاد می‌نماید.

۳-۳- دیود بهمنی تک فوتون

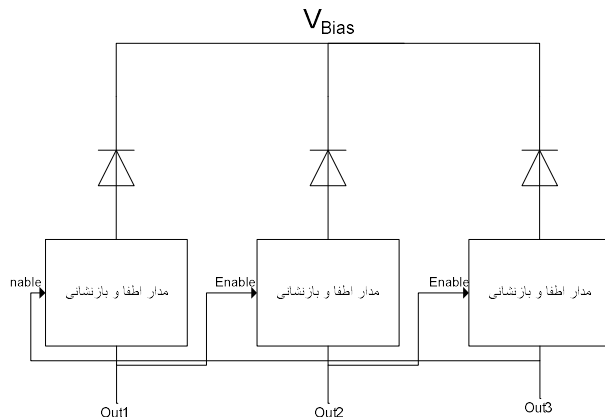
یک دیود بهمنی تک فوتون یک اتصال pn مهندسی شده‌است که تا ولتاژ بزرگتر از ولتاژ شکست بهمنی (ناحیه گایگر) قابل بایاس است [۱۶]. این قطعه به‌گونه‌ای مهندسی شده‌است که شکست ناخواسته ناشی از آزاد شدن الکترون‌های حرارتی یا نویز هم‌شنوایی کم شده، در حالیکه احتمال آشکارسازی فوتون^{۱۱} در آن زیاد است. به محض دریافت یک تک فوتون در ناحیه تخلیه دیود یک زوج الکترون حفره تولید می‌شود که هر کدام از این دو حامل توانایی راه‌اندازی فرایند یونیزاسیون ایمپکت را دارند [۱۷]. به علت بایاس معکوس زیاد این افزاره، بهره (نسبت تعداد حامل آزاد تولید شده به یک فوتون دریافتی) این افزاره بالا بوده و با جذب یک فوتون جریان الکتریکی زیاد و پالس دیجیتال را تولید می‌نماید [۱۸].

۳-۱- فرایند دوباره خاموش و روشن کردن

به محض رخداد شکست بهمنی نیاز به مداری است که جلوی عبور جریان زیاد از افزاره را بگیرد (فرایند خاموش کردن). بعد از اتمام فرایند خاموش کردن باید دوباره اندازه ولتاژ معکوس دوسر دیود زیاد شود تا افزاره برای جذب فوتون بعدی و رخداد شکست بهمنی بعدی آماده گردد (فرایند شارژ دوباره).

تک فوتون اعمال می‌شود. علت آن که زمان خاموشی واقعی اندکی بیشتر از مجموع تاخیرها است زیرا بین بازنشانی هر دیود بهمنی تک فوتون و رسیدن فوتون به آن اندکی تأخیر وجود دارد.

نکته دیگر که در طراحی مورد توجه قرار گرفته است، آن است که واحدهای تأخیر از نوع قابل تنظیم هستند. با این قابلیت می‌توان مقدار زمان خاموشی را برای دیودهای بهمنی تک فوتون مختلف تنظیم کرد تا به مقدار دلخواه زمان خاموشی رسید.



شکل ۱- نمای استفاده از سه دیود بهمنی موازی به صورت خط لوله به عنوان پیکسل واحد برای دریافت پالس ساعت.

۴- شبیه‌سازی شبکه توزیع پالس ساعت نوری و جزییات

مدار شبیه‌سازی شده

در این بخش به توضیح هر یک از واحدهای پیاده‌سازی شده می‌پردازیم. لازم به ذکر است که برای شبیه‌سازی عمل کرد دیود بهمنی تک فوتون که باید پالس نوری را تبدیل به پالس الکتریکی نماید از مدل [۱۹] که برای همین دیود در فن‌آوری ۱۸۰ نانومتر ارائه شده استفاده شده است.

بلوک RED^{۱۶} واحد آشکارساز لبه بالارونده است که جزییات آن در شکل ۴ نشان داده شده است. با اعمال لبه بالارونده به ورودی هر دو ورودی گیت AND برای مدت تأخیر یک منطقی هستند و خروجی یک منطقی خواهد بود. پس از گذشت زمان تأخیر ورودی شماره یک گیت AND، صفر منطقی شده و خروجی نیز صفر منطقی می‌شود. به این ترتیب این واحد با اعمال لبه بالارونده در ورودی آن در خروجی یک پالس مثبت ایجاد می‌کند که پهنای این پالس برابر با مقدار تأخیر است. لازم به ذکر است که تاخیر استفاده شده در این واحد با تعداد زوجی از گیت‌های وارون گر پیاده‌سازی شده است.

همچنین شکل ۵ نشان‌گر واحد پالایه پهنای پالس می‌باشد. در مدار اطفا و بازنشانی طراحی شده، اگر در هنگام بازنشانی یک فروشکست به هر علتی (رسیدن فوتون، نویز شمارش در تاریکی و یا نویز ثانویه) اتفاق بیافتد، باعث اختلال در عمل کرد مدار شده و دیود بهمنی تک فوتون بعدی بازنشانی نمی‌شود. برای حل این مشکل ایده‌ای شبیه به [۲۶] پیاده‌سازی شده است. اگر برای مدتی بیش از یک سوم زمان خاموشی

حسن شدن فوتون وجود ندارد، لذا سرعت شمارش فوتون‌ها با این زمان مرده رابطه معکوس دارد. در این مقاله در هر بسته گیرنده نور از سه دیود بهمنی تک فوتون موازی با چیدمان نشان داده در شکل ۱ استفاده شده است.

در این روش ابتدا دیود اول توسط مدار طراحی شده بازنشانی (شارژ مجدد) و آماده دریافت فوتون می‌شود. به محض دریافت اولین فوتون عمل اطفا (خاموش شدن) انجام شده، سیگنال خروجی دیود اول به ورودی فعال‌ساز مدار دیود دوم ارسال می‌شود و دیود دوم آماده دریافت فوتون می‌شود و دیود اول خاموش می‌شود. مشابه همین چیدمان بین دیود دوم و سوم نیز وجود دارد. حسن این روش نسبت به روش [۱۵] خاموش بودن دو دیود دیگر هنگام فعال بودن یک دیود و در نتیجه کاهش نویز تاریک و هم‌شنوایی است. شکل ۲ نمایان‌گر نمودار جعبه‌ای مدار اطفا و بازنشانی طراحی شده و شکل ۳ نمودار زمانی عمل کرد مدار طراحی شده را نمایان می‌سازد.

در زمان t_0 هیچ یک از دیودهای بهمنی تک فوتون در ولتاژی بالاتر از ولتاژ شکست بهمنی بایاس نشده‌اند. چرا که ماسفت‌های M_4 ، M_5 و M_6 روشن هستند. در لحظه t_1 سطح سیگنال EN یک منطقی می‌شود. در نتیجه ماسفت‌های ذکر شده خاموش می‌شوند. در این لحظه، واحد PRO فعال می‌شود. پس از فعال شدن PRO اولین لبه بالارونده در خروجی آن توسط RED1 و ترانزیستور M_1 به پالس جریان تبدیل می‌شود. در این هنگام SPAD1 در ولتاژی بالاتر از ولتاژ شکست بهمنی (V_{DD}) بایاس و V_1 صفر منطقی می‌شود. علاوه بر این V_7 نیز صفر منطقی می‌شود و واحد PRO را غیرفعال می‌کند. در ادامه نحوه عمل کرد واحد PWF و علت استفاده از آن در کنار واحد PRO بیان خواهد شد.

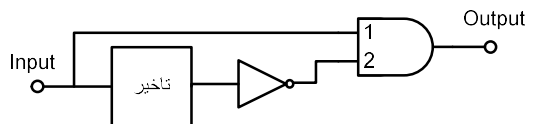
در لحظه t_2 اولین فوتون به SPAD1 برخورد می‌کند. چون این دیود بهمنی تک فوتون به اندازه V_{DD} بیشتر از ولتاژ شکست بهمنی بایاس شده است، فوتون برخورد کرده باعث ایجاد شکست بهمنی در این دیود بهمنی تک فوتون می‌شود و سطح ولتاژ V_1 به V_{DD} می‌رسد. سپس لبه بالارونده در V_1 پس از تأخیر $DLY1$ به واحد RED2 می‌رسد. پس از آن RED2 و M_2 این لبه بالارونده را به پالس جریان تبدیل می‌کنند و SPAD2 را بازنشانی کرده و در ولتاژی بالاتر از ولتاژ شکست بهمنی بایاس می‌کنند. در این هنگام SPAD2 آماده دریافت فوتون می‌شود و همین روال به صورت پیوسته ادامه پیدا می‌کند. در این الگوریتم کاری با فرض رسیدن فوتون‌ها با حداکثر فرکانس کاری مدار، به هر دیود بهمنی تک فوتون زمان خاموشی برابر با سه برابر تأخیر DLY اعمال می‌شود. تأخیر واحدهای $DLY1$ ، $DLY2$ و $DLY3$ مساوی است و تقریباً برابر با یک سوم زمان خاموشی‌ای است که در نهایت به دیودهای بهمنی

خروجی گیت همواره یک منطقی خواهد بود و هیچ نوسانی صورت نمی گیرد. وقتی هر دو ورودی اول و دوم گیت NAND یک منطقی باشند خروجی گیت برابر با معکوس ورودی سوم خواهد شد و حلقه نوسان ساز کامل می شود. دوره تناوب نوسان دو برابر مقدار تأخیر خواهد بود و از آنجاکه پالس های تولیدی نوسان ساز برای بازنشانی دیود بهمنی تک فوتون استفاده می شوند باید فاصله این پالس ها به اندازه زمان خاموشی مورد نیاز باشد. بنابراین مقدار تأخیر باید نصف زمان خاموشی باشد. تا اگر پالس اول موفق به بازنشانی دیود بهمنی تک فوتون نشد، به اندازه زمان خاموشی سپری شود و آن گاه پالس دوم اعمال شود.

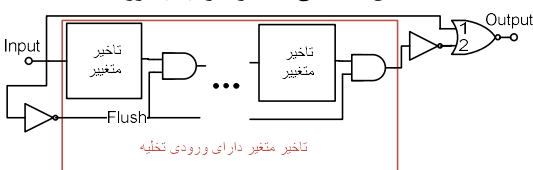
لازم به ذکر است که در سیستم پیاده سازی شده از واحد تأخیر قابل تغییر استفاده شده است [27]. علت استفاده از واحدهای تأخیر قابل تغییر به جای ثابت، آن است که بتوان زمان خاموشی اعمال شده به دیودهای بهمنی تک فوتون را تنظیم کرد. زیرا طراحی های مختلف از دیود بهمنی تک فوتون ممکن است نیاز به زمان خاموشی بیش تر جهت کمینه کردن پالس های ثانویه داشته باشند. به این ترتیب مدار طراحی شده می تواند با دیودهای بهمنی مختلف کار کند و یا مصالحه بین سرعت و پالس های ثانویه را کنترل نماید.

شکل ۷ طرح بندی نهایی مدار اطفا و بازنشانی طراحی شده ارائه شده است. مساحت این طرح بندی 0.32 mm^2 است و در آن از ۶ لایه فلز استفاده شده است.

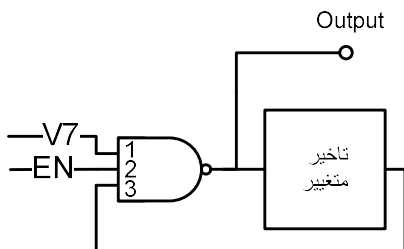
همان طور که اشاره شد از دروازه NAND سه ورودی جهت ترکیب خروجی های سه گانه استفاده شده است. نکته حائز اهمیت آن است که این دروازه باید متقارن باشد، بدان معنا که باید تأخیر ورودی تا خروجی برای هر یک از ورودی های دروازه با هم برابر باشند. زیرا در صورت متقارن نبودن کارایی زمانی مدار کاهش خواهد یافت.



شکل ۴- نمای آشکارساز لبه بالارونده

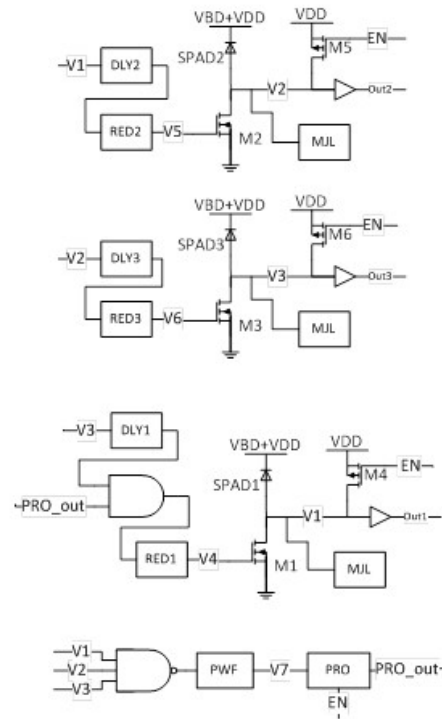


شکل ۵- واحد پالایه پهنای پالس

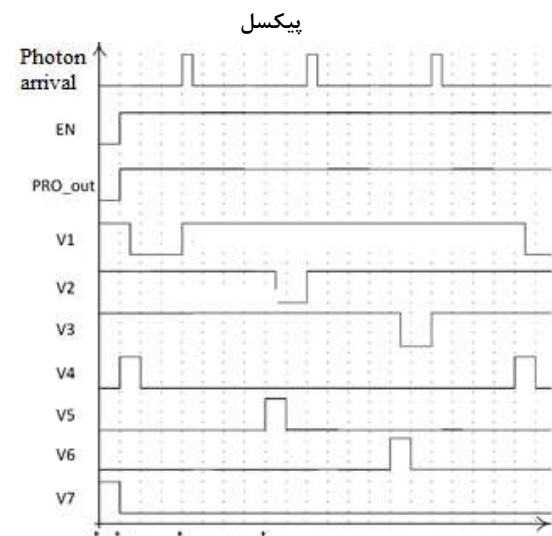


شکل ۶- واحد نوسان ساز حلقوی قابل مکث

هر دیود بهمنی تک فوتون، هیچ یک از دیودهای بهمنی تک فوتون بازنشانی نشوند، نشان گر این خواهد بود که مدار از کار افتاده است. حال برای آشکارسازی این خطا واحد PWF پیاده سازی شده است. عمل کرد این واحد به این صورت است که اگر یک پالس منفی با پهنای بیش از مدت آستانه به ورودی آن اعمال شود، خروجی آن فعال می شود.



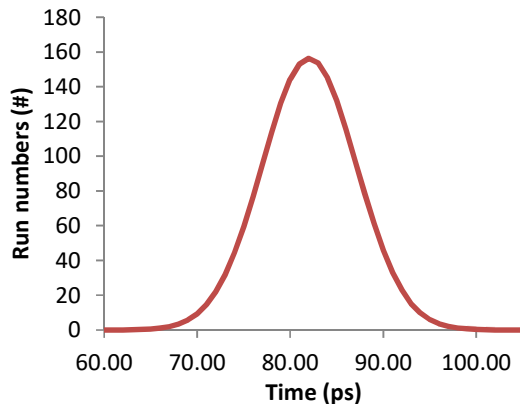
شکل ۲- نحوه چیدمان دریافت کننده نور و سیگنال دهی در هر



شکل ۳- نمودار زمانی نحوه عمل کرد پیکسل

واحد PRO^{۱۷} (شکل ۶) از واحدهای تأخیر قابل تغییر و یک گیت NAND سه ورودی تشکیل شده است. طرح این واحد را نشان می دهد. اگر هر یک از ورودی های اول یا دوم گیت NAND صفر منطقی باشند،

شکل ۸- نمودار تحلیل نویز گذرا



شکل ۹- نمودار چولگی شبیه‌سازی شده با روش مونت کارلو

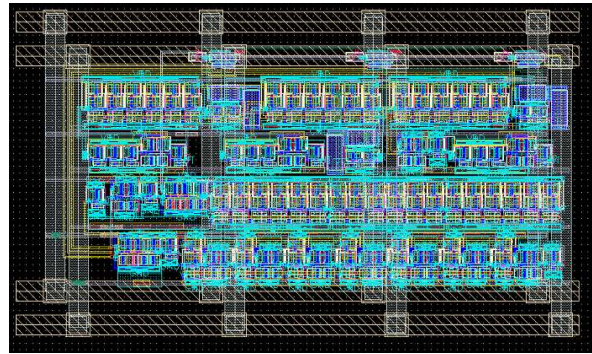
۲-۵- چولگی

شکل ۹ نشان‌گر بافت نگاهت^{۲۰} تأخیر بین لبه بالا رونده منبع نور و لبه پایین‌رونده سیگنال نهایی مدار اطفاف و بازنشانی است. لازم به ذکر است که پالس منبع نور در این نرم‌افزار الکتریکی با یک منبع پالس ۶۶۰ مگاهرتزی که به‌عنوان پایانه الکتریکی فوتون در مدل دیود بهمنی تک‌فوتون وجود دارد شبیه‌سازی شده است. مقدار عددی چولگی که در متون علمی گزارش می‌شود برابر است با شش برابر انحراف از معیار بافت‌نگاشت چولگی، با این حساب چولگی مدار اطفاف و بازنشانی طراحی شده برابر با ۴۳ ps می‌شود.

همچنین جدول ۲ نشان‌دهنده مقایسه بین پیاده‌سازی حاضر با تعدادی از شبکه‌های توزیع پالس ساعت الکتریکی و نوری است.

جدول ۲: مقایسه مشخصات زمانی تحقیقات مختلف

ردیف	مجموعه	تعمیرات (تعمیرات)	تعمیرات (تعمیرات)	تعمیرات (تعمیرات)	تعمیرات (تعمیرات)	تعمیرات (تعمیرات)
۳۲	[۳۰]	۷	نامعلوم	رزونانسی	۴	نامعلوم
۲۲	[۳۱]	۱۸	نامعلوم	رزونانسی	۴/۳	نامعلوم
۲۲	[۳۲]	۱۵	نامعلوم	پسیو	۳/۸	نامعلوم
۹۰	[۶]	۱۲	نامعلوم	شبکه	۴	نامعلوم
۱۳۰	[۳۳]	۷	نامعلوم	اکتیو	۱/۵	۱۳۰
۱۸۰	[۳۴]	۲۸	نامعلوم	اکتیو	۰/۸۸	نامعلوم
۱۸۰	کار حاضر	۰/۱	۱/۱۶	اپتیک آزاد	۱/۸	۶۰/۷۴
۲۵۰	[۵]	نامعلوم	۴/۱	بدون دریافت نوری	۱	نامعلوم
۲۵۰	[۱]	۲۵	نامعلوم	شبه درخت	۱	۶۶



شکل ۷- طرح‌بندی^{۱۸} مدار اطفاف و بازنشانی طراحی و ارائه شده در این مقاله

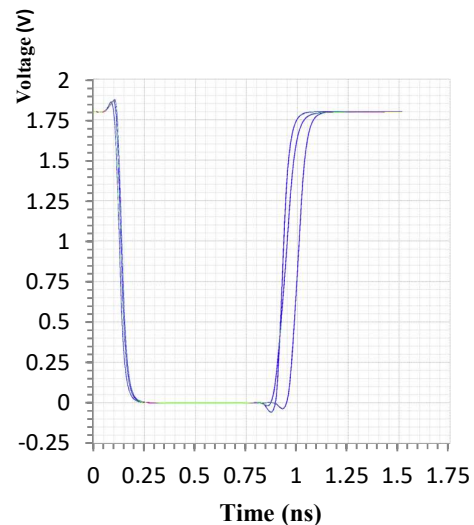
۵- نتایج شبیه‌سازی

معمولاً لغزش و چولگی دیود بهمنی تک‌فوتون به خودی خود بیش‌تر از مقداری است که مدار اطفاف و بازنشانی به سیگنال نهایی اضافه می‌کند. باتوجه‌به ایده جدید این مقاله در زمینه مدار اطفاف و بازنشانی لغزش و چولگی مدار گزارش می‌گردد.

۱-۵- لغزش

لغزش به دو قسمت اصلی تصادفی و قابل تعیین تقسیم می‌شود. قسمت تصادفی به‌علت وجود نویز قطعات الکترونیک ایجاد می‌شود. در این مقاله شبیه‌سازی لغزش توسط تحلیل نویز گذرا با نرم‌افزار کیدنس انجام شده است [۲۸، ۲۹].

شکل ۸ نمودار خروجی نهایی مدار اطفاف و بازنشانی را نمایش می‌دهد. نکته قابل توجه آن‌که فقط لبه پایین‌رونده سیگنال مدنظر است، چراکه این لبه متناظر با دریافت فوتون است و لبه بالا رونده متناظر با بازنشانی دیود بهمنی تک‌فوتون است. زمان شبیه‌سازی برای تحلیل لغزش معادل ۵۰ میکرو ثانیه است. در نتیجه این شبیه‌سازی لغزش پیک‌تاپیک ps ۱/۱۶ و لغزش مؤثر^{۱۹} ۳۷ fs بدست آمده است.



۶- نتیجه

این مقاله یک سیستم توزیع نوری پالس ساعت با استفاده از دیود بهمنی تک فوتون را ارائه نمود. این سیستم دریافت پالس ساعت نوری با فن آوری ۱۸۰ نانومتر سیماس استاندارد طراحی و نتایج شبیه سازی پسا طرح بندی موید عمل کرد آن است. این سیستم مشابه خط لوله عمل نموده که سه دیود مختلف در فازهای دوباره شارژ شده، خاموش و در انتظار باشند قرار دارند. در نهایت پالس ساعتی با فرکانس ۶۶۰ مگاهرتز با ۲۳۷ فمتو ثانیه لغزش و ۴۳ پیکوثانیه چولگی با استفاده از این شبکه قابل پیاده سازی است.

مراجع

- [13] Y. Zhang, X. Xu, D. Kwong, J. Covey, A. Hosseini, and R. T. Chen, "0.88-THz Optical Clock Distribution on Adhesively Bonded Silicon Nanomembrane," *Photonics Technology Letters, IEEE*, vol. 26, no. 23, pp. 2376-2379, 2014.
- [14] B. Krueger, R. E. Makon, O. Landolt, O. Hidri, T. Schweiger, E. Krune, D. Knoll, S. Lischke, and J. Schulze, "A monolithically integrated, optically clocked 10 GS/s sampler with a bandwidth of > 30 GHz and a jitter of < 30 fs in photonic SiGe BiCMOS technology," *IEEE Custom Integrated Circuits Conference (CICC)*, pp. 1-4, IEEE, 2017.
- [15] C. Favi, "Single-photon techniques for standard CMOS digital ICs," *PhD thesis*, EPFL, 2011.
- [16] M. A. Karami, "Deep-submicron CMOS single photon detectors and quantum effects," *PhD thesis*, TU Delft, Delft University of Technology, 2011.
- [17] M. J. Lee, M. R. Ximenes, P. Padmanabhan, T. J. Wang, K. C. Huang, Y. Yamashita, D. N. Yaung, and E. Charbon, "A back illuminated 3D- stacked single-photon avalanche diode in 45nm CMOS technology", *IEEE Electron Device Meeting (IEDM)*, pp. 6-16, 2017.
- [18] T. C. de Albuquerque, F. Calmon, R. Clerc, P. Pittet, Y. Benhammou, D. Golanski, S. Juan, D. Rideau, A. Cathelin, "Integration of SPAD in 28nm FDSOI CMOS technology", *48th European solid-state device research conference (ESSDERC)*, 2018.
- [19] D. Mora, A. Tosi, S. Tisa, and F. Zappa, "Single-photon avalanche diode model for circuit simulations," *Photonics Technology Letters, IEEE*, vol. 19, no. 23, pp. 1922-1924, 2007.
- [20] D. Palubiak, M. M. El-Desouki, O. Marinov, M. J. Deen, and Q. Fang, "High-speed, single-photon avalanche-photodiode imager for biomedical applications," *Sensors Journal, IEEE*, vol. 11, no. 10, pp. 2401-2412, 2011.
- [21] M. Liu, C. Hu, J. C. Campbell, Z. Pan, and M. M. Tashima, "A novel quenching circuit to reduce afterpulsing of single photon avalanche diodes.", *Quantum Sensing and Nanophotonic Devices*, pp. 69001F, 2009.
- [22] M. A. Wayne, A. Restelli, J. C. Bienfang, and P. G. Kwiat, "Afterpulse Reduction Through Prompt Quenching in Silicon Reach-Through Single-Photon Avalanche Diodes," *Journal of Lightwave Technology*, vol. 32, no. 21, pp. 3495-3501, 2014.
- [23] A. Gallivanoni, I. Rech, and M. Ghioni, "Progress in quenching circuits for single photon avalanche diodes," *IEEE Transactions on Nuclear Science*, vol. 57, no. 6, pp. 3815-3826, 2010.
- [24] C. Niclass, and M. Soga, "A miniature actively recharged single-photon detector free of afterpulsing effects with 6ns dead time in a 0.18 μ m CMOS technology", *Electron Devices Meeting (IEDM)*, 2010.
- [25] D. Bronzi, S. Tisa, F. Villa, S. Bellisai, A. Tosi, and F. Zappa, "Fast sensing and quenching of CMOS SPADs for minimal afterpulsing effects," *IEEE Photonics Technology Letters*, vol. 25, no. 8, pp. 776-779, 2013.
- [26] M. Gronholm, J. Poikonen, and M. Laiho, "A ring-oscillator-based active quenching and active recharge circuit for single photon avalanche diodes.", *European conference, Circuit Theory and Design ECCTD*, pp. 5-8, 2009.
- [۲۷] محمد عظیم کرمی، میثاق انصاریان و سوده عقلی مقدم، "نوسان ساز حلقوی جدید کنترل شده با ولتاژ با استفاده از اثر میلر"، *مجله مهندسی برق دانشگاه تبریز*، جلد ۴۷، شماره ۱ صفحه ۲۲۱-۲۲۸، ۱۳۹۶.
- [28] C. S. U. s. Manual, "Cadence design systems," *San Jose, CA*, 1994.
- [۲۹] خلیل منفردی و یوسف بلقیس آذر "تقویت کننده کسکود تمام تفاضلی بازیابی تا شده بهبود یافته ولتاژ و ولتاژ توان پایین"، *مجله مهندسی برق دانشگاه تبریز*، جلد ۴۸، شماره ۱ صفحه ۳۲۸-۳۳۴ و ۱۳۹۷.
- [30] V. S. Sathe, S. Arekapudi, A. Ishii, C. Ouyang, M. C. Papaefthymiou, and S. Naffziger, "Resonant-clock design for a power-efficient, high-volume x86-64 microprocessor," *Solid-State Circuits, IEEE Journal of*, vol. 48, no. 1, pp. 140-149, 2013.
- [31] P. Restle, D. Shan, D. Hogenmiller, Y. Kim, A. Drake, J. Hibbeler, T. Bucelot, G. Still, K. Jenkins, and J. Friedrich, "Wide-frequency-range resonant clock with on-the-fly mode changing
- [1] C. Thangaraj, R. Pownall, P. Nikkel, G. Yuan, K. L. Lear, and T. Chen, "Fully CMOS-compatible on-chip optical clock distribution and recovery," *Very Large Scale Integration (VLSI) Systems, IEEE Transactions on*, vol. 18, no. 10, pp. 1385-1398, 2010.
- [2] J. Warnock, B. Curran, J. Badar, G. Fredeman, D. Plass, Y. Chan, S. Carey, G. Salem, F. Schroeder, and F. Malgioglio, "4.1 22nm Next-generation IBM System z microprocessor.", *Solid-State Circuits Conference-ISSCC*, pp. 1-3, 2015.
- [3] N. H. E. Weste, and D. Harris, "Sequential Circuit Design," *CMOS VLSI design: A circuits and systems perspectives*, Boston: Addison Wesley, 2005.
- [4] B. Ackland, B. Razavi, and L. West, "A comparison of electrical and optical clock networks in nanometer technologies", *Custom Integrated Circuits Conference*, pp. 779-782, 2005.
- [5] C. Debaes, A. Bhatnagar, D. Agarwal, R. Chen, G. A. Keeler, N. C. Helman, H. Thienpont, and D. A. Miller, "Receiver-less optical clock injection for clock distribution networks," *Selected Topics in Quantum Electronics, IEEE Journal of*, vol. 9, no. 2, pp. 400-409, 2003.
- [6] D. Pham, S. Asano, M. Bolliger, M. N. Day, H. P. Hofstee, C. Johns, J. Kahle, A. Kameyama, J. Keaty, Y. Masubuchi, M. Riley, D. Shippy, D. Stasiak, M. Suzuoki, M. Wang, J. Warnock, S. Weitzel, D. Wendel, T. Yamazaki, and K. Yazawa, "The design and implementation of a first-generation CELL processor - a multi-core SoC.", *Digest of Technical Papers. ISSCC*, pp. 49-52, 2005.
- [7] P. Mahoney, E. Fetzer, B. Doyle, and S. Naffziger, "Clock distribution on a dual-core, multi-threaded Itanium®-family processor.", *Solid-State Circuits Conference, 2005. Digest of Technical Papers. ISSCC*, pp. 292-599, 2005.
- [8] C. C. Tsai, C. C. Kuo, F. T. Hsu, L. J. Gu, and T. Y. Lee, "X-architecture zero-skew clock tree construction with performance and DFM considerations.", *SoC Design Conference (ISOC), 2010 International*, pp. 294-297, 2010.
- [9] W. K. Loo, K. S. Tan, and Y. K. Teh, "A study and design of CMOS H-Tree clock distribution network in system-on-chip.", *ASIC, 2009. ASICON'09. IEEE 8th International Conference*, pp. 411-414, 2009.
- [10] C. Hongyu, C. Chung-Kuan, A. B. Kahng, I. I. Mandoiu, W. Qinke, and Y. Bo, "The Y architecture for on-chip interconnect: analysis and methodology," *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems*, vol. 24, no. 4, pp. 588-599, 2005.
- [11] A. V. Mule, E. N. Glytsis, T. K. Gaylord, and J. D. Meindl, "Electrical and optical clock distribution networks for gigascale microprocessors," *Very Large Scale Integration (VLSI) Systems, IEEE Transactions on*, vol. 10, no. 5, pp. 582-594, 2002.
- [12] C. Favi, T. Kluter, C. Mester, and E. Charbon, "Optically-clocked instruction set extensions for high efficiency embedded processors," *Circuits and Systems I: Regular Papers, IEEE Transactions on*, vol. 59, no. 3, pp. 604-615, 2012.

- [33] J. Stinson, and S. Rusu, " Stinson J, Rusu S. A 1.5 GHz third generation itanium® 2 processor". *Proceedings of the 40th annual Design Automation Conference*, ", vol.1, pp. 706-709, 2003.
- [34] S. Rusu, and S. Tam, " Clock generation and distribution for the first IA-64 microprocessor.", *IEEE Journal of Solid-State Circuits*, Vol. 35, no.1, pp. 1545-1552, 2000.
- for the POWER8™ microprocessor.", *Solid-State Circuits Conference Digest of Technical Papers*, pp. 100-101, 2014.
- [32] S. Rusu, H. Muljono, D. Ayers, S. Tam, W. Chen, A. Martin, S. Li, S. Vora, R. Varada, and E. Wang, " A 22nm 15-core enterprise Xeon® processor family." *Solid-State Circuits Conference Digest of Technical Papers (ISSCC)*, pp. 102-103, 2014.

زیر نویس ها

- ¹¹ Photon Detection Probability
- ¹² Passive recharge
- ¹³ Dark Count Rate (DCR)
- ¹⁴ Afterpulsing
- ¹⁵ Excess bias
- ¹⁶ Rising Edge detector
- ¹⁷ Pause enable Ring Oscillator
- ¹⁸ Layout
- ¹⁹ Root mean square
- ²⁰ Histogram

- ¹ Optical clock distribution network
- ² Jitter
- ³ Skew
- ⁴ Clock grid
- ⁵ Active deskew
- ⁶ Floor planning
- ⁷ Layout
- ⁸ Single-Photon Avalanche Diode (SPAD)
- ⁹ International Technology Roadmap for Semiconductors (ITRS)
- ¹⁰ Free Space Optics (FSO)