

طراحی یک مدار ضرب کننده آنالوگ برمبنای حلقه translinear در حالت جریان با توان مصرفی پایین و دقت بالا

توحید آقائی^۱، دانشجوی کارشناسی ارشد؛ علی نادری ساعتلو^۲، استادیار

۱- گروه مهندسی برق- واحد ارومیه- دانشگاه آزاد اسلامی- ارومیه- ایران - t.aghaei.elc@gmail.com

۲- گروه مهندسی برق- واحد ارومیه- دانشگاه آزاد اسلامی- ارومیه- ایران - a.naderi@iaurmia.ac.ir

چکیده: در این مقاله یک مدار ضرب کننده CMOS آنالوگ چهار ربع جدید در حالت جریان که مبتنی بر دو جفت حلقه translinear دوگان می باشد ارائه می گردد. ویژگی های مهم مدار عبارتند از پهنای باند بالا، توان مصرفی کم و آزادبودن از اثر بدنه، که علت اصلی آن دوگان بودن مدار به این صورت که در هر حلقه translinear دوگان^۲ از دو NMOS و دو PMOS استفاده شده است. علاوه بر این، اعوجاج هارمونیک ناشی از ناهمگونی^۳ در سیگنال های ورودی (I_x , I_y)، پارامترهای هدایت انتقالی (K) و ولتاژ آستانه (V_{th}) مورد بحث قرار گرفته است که نتایج حاکی از این است که مدار در برابر ناهمگونی بسیار مقاوم می باشد. به منظور بررسی عملکرد درست مدار ضرب کننده، از آن در دو کاربرد پراستفاده یعنی مدولاتور دامنه و دو برابر کننده فرکانس استفاده شده است که نتایج شبیه سازی آن ارائه شده است. این مدار با استفاده از شبیه ساز HSPICE با مدل TSMC مرحله ۴۹ ($BSIM3v3$) در تکنولوژی ۰/۱۸ میکرومتر استاندارد CMOS طراحی و شبیه سازی شده است. که نتایج حاکی از خطای غیرخطی ۰/۶۲ درصد، اعوجاج هارمونیک کل ۱/۱^۴ در فرکانس ۱ مگا هرتز، پهنای باند ۱/۱۵ گیگا هرتز و حداکثر توان مصرفی ۹۳/۷ میکرو وات می باشد.

واژه های کلیدی: ضرب کننده آنالوگ، حلقه translinear، اثر بدنه، چهار ربعی، توان مصرفی، پهنای باند.

A New Highly Accurate Translinear Based CMOS Multiplier in Current Mode with Low Power Dissipation

T. Aghaei¹, MSc Student; A. Naderi Saatlo², Assistant Professor

1- Young researchers and elite club, Urmia Branch, Islamic Azad University, Urmia, Iran, Email: t.aghaei.elc@gmail.com

2- Department of Electrical-Electronics Engineering Urmia Branch, Islamic Azad University, Urmia, Iran, Email: a.naderi@iaurmia.ac.ir

Abstract: This paper deals with a new strategy for design of analog multiplier which operates in four quadrant. The proposed circuit employs the dual translinear principle with composition of NMOS and PMOS transistors, simultaneously. The important achievements of the circuit are its wide bandwidth, low power consumption as well as the body effect free performance. In order to demonstrate efficiency of the circuit, harmonic distortion analysis due to the mismatch in input signals (I_x , I_y), transconductance parameters (K) and threshold voltage (V_{th}) are discussed in detail, and the obtained relations verify the simulation results and indicate the robustness of the circuit in the presence of mismatch. Also, to validate the circuit performance, it is used in two useful applications of amplitude modulator and frequency doubler, and the simulation results of them are presented. Additionally, the Monte Carlo analysis for transistor parameters as well as the temperature variation results demonstrate stable performance of the circuit. This circuit is designed and simulated using HSPICE software with TSMC and level 49 parameters ($BSIM3v3$) in 180nm technology. The simulation results demonstrate a linearity error of 0.69%, a THD of 1.05% in 1MHz, a -3dB bandwidth of 1.17GHz and a maximum power consumption of 93μW.

Keywords: Analog multipliers, translinear loop, body effect, four-quadrant, power consumption, bandwidth.

تاریخ ارسال مقاله: ۱۳۹۷/۰۵/۲۰

تاریخ اصلاح مقاله: ۱۳۹۷/۰۸/۲۷

تاریخ پذیرش مقاله: ۱۳۹۷/۱۲/۲۱

نام نویسنده مسئول: علی نادری ساعتلو

نشانی نویسنده مسئول: ایران - ارومیه - جاده سلماس - دانشگاه آزاد ارومیه - دانشکده فنی و مهندسی

۱- مقدمه

ضرب کننده‌های چهار ربعی یکی از پر اهمیت ترین بلوک‌های ساختمانی سیستم‌های پردازشگر سیگنال آنالوگ را تشکیل می‌دهند. در واقع ضرب کننده‌ها، اجزای کلیدی مورد نیاز مدارهای الکترونیکی در دامنه وسیعی از کاربردها، نظیر کنترل اتوماتیک بهره، مدولاسیون، شبکه‌های عصبی، حلقه فازی قفل شده، انتقال فرکانس، مخلوط کننده‌ها و سیستم‌های فازی هستند [۷-۱]. در حالت ایده‌آل خروجی ضرب کننده آنالوگ به صورت حاصل ضرب خطی دو سیگنال ورودی x و y است که در خروجی $z = Kxy$ را تولید می‌کند که K ، یک ثابت با ابعاد مناسب می‌باشد. ضرب کننده‌ها را از لحاظ ماهیت عملکرد ربع، می‌توان به سه دسته تقسیم بندی کرد: (الف) یک ربعی، زمانی که ورودی x و y غیر قطبی باشند. (ب) دو ربعی، زمانی که فقط یکی از دو سیگنال ورودی دو قطبی باشند [۸-۱۰]. (پ) چهار ربعی، زمانی که هر دو سیگنال ورودی دو قطبی باشند [۱۱-۱۳]. در طول سال‌ها، سلول‌های ضرب کننده متعددی معرفی شده‌اند که می‌توان به دو گروه اصلی حالت جریان و حالت ولتاژ [۱۴، ۱۵]، تقسیم بندی کرد. ضرب کننده‌های جریان، به لطف مزایای بالقوه نظیر سرعت بالا، توان مصرفی کم، پهنای باند وسیع و ساختار مداری ساده، مورد توجه بسیار واقع شدند و در سال‌های اخیر به طور گسترده مورد استفاده قرار گرفته‌اند [۱۶].

در مقاله‌های علمی ضرب کننده‌ها به روش‌های مختلفی طراحی شده‌اند. یکی از تکنیک‌ها برای تحقق ساختار ضرب کننده‌های حالت جریان استفاده از تکنولوژی CMOS می‌باشد [۱۷، ۱۸]. روش دیگر برای طراحی ضرب کننده‌های آنالوگ، استفاده از ادوات فعال است [۲۱-۱۹] که می‌توان به حامل‌های جریان^۵ و نسل دوم حامل‌های جریان کنترل شده^۶ اشاره کرد [۲۲]. با این وجود، مدارهای ضرب کننده حالت جریان سابق در [۲۳] با به کار بردن دو نوع اضافی از حامل‌های جریان کنترل شده^۷ بدون استفاده از اجزای غیرفعال خارجی پیشنهاد شده‌اند. به غیر از موارد ذکر شده، چندین مدار ضرب کننده، تقسیم کننده فرکانس حالت جریان با به کار بردن ادوات فعال در حالت جریان نیز گزارش شده است [۲۴، ۲۵].

یکی از مهم ترین کلاس‌های ضرب کننده که در حالت جریان طراحی می‌شود، مبتنی بر اصل حلقه (TL) translinear می‌باشد [۲۸-۲۶]. یک حلقه TL ساختاری می‌باشد که آرایش خاصی به ترانزیستورهای موجود در حلقه می‌دهد و باعث می‌شود که ارتباط سیگنال بسیار خوبی بین جریان‌های آن‌ها وجود داشته باشد [۲۶]. معمولاً اجزایی که در حلقه‌های TL به کار برده می‌شوند، ترانزیستورهای BJT، ترانزیستورهای MOS و دیودها هستند. اگر از دیودها استفاده شود، باید آنها را با عناصر فعال جایگزین نمود [۲۸]. از مزیت‌های این مدار می‌توان به استقلال جریان خروجی نسبت به پارامترهای ترانزیستورها اشاره کرد که نوع طراحی آن، عملکرد مدار را تحت تأثیر تغییرات دما قرار نمی‌دهد.

با توجه به ناحیه کاری ترانزیستورهای حلقه TL، می‌توان آن‌ها را

به سه دسته معکوس ضعیف^۸ [۳۱-۲۹]، معکوس قوی^۹ [۳۶-۳۲] و اشباع^{۱۰} [۴۰-۳۷] تقسیم بندی کرد. در معکوس ضعیف اگر چه کاهش توان مصرفی بسیار پایین است، اما محدوده دینامیکی ورودی و پهنای باند بسیار محدود است؛ برای مدارهای TL که در ناحیه معکوس قوی کار می‌کنند، نتایج خطای ناشی از اثر بدنه یک مشکل جدی می‌باشد، به طوری که این اثر موجب ناهمگونی در ولتاژ آستانه می‌شود که به نوبه خود بر خطی بودن و دقت مدار نیز تأثیر می‌گذارد، اما در برخی مطالعات این اثر به خوبی مورد بحث قرار گرفته و چند تکنیک مفید پیشنهاد شده است [۴۱، ۴۲]. در ناحیه اشباع نیز مدارهای ضرب کننده که بر طبق اصل translinear طراحی شده‌اند، به توپولوژی‌های "stacked" و "up-down" معروف هستند و دارای پهنای باند بالا، محدوده دینامیکی گسترده و سرعت بالا هستند. این مدارها با استفاده همزمان از ترانزیستورهای NMOS و PMOS تحقق پیدا می‌کند [۳۷، ۳۸، ۴۰، ۴۳]. همچنین، بعضی از مدارهای ضرب کننده CMOS با استفاده از ترانزیستورهای MOS طراحی می‌شوند که در ناحیه خطی عمل می‌کنند [۴۴، ۴۵]. همچنین چندین مدار ضرب کننده CMOS با استفاده از ترانزیستورهای مسافت کانال کوتاه طراحی شده‌اند، اما خطای آنها به دلیل کاهش تحرک حامل‌های جریان بالاست [۴۹-۴۶]، بنابراین دقت این مدارها کاهش می‌یابد. به تازگی حلقه‌های translinear دوگان که شامل دو ترانزیستور NMOS و PMOS هستند، معرفی شده‌اند. این سلول‌ها تمامی معایب مطرح شده در حالتی که حلقه TL از ۴ NMOS یا ۴ PMOS تشکیل شده باشد را جبران می‌کند. حلقه‌های TL دوگان برای کاربردهای سرعت بالا در حالت جریان بی نظیر است که از مزایای آن می‌توان به پهنای باند بالا، توان مصرفی کم، منبع تغذیه پایین و گستره کاری بالای مدار اشاره کرد.

در حال حاضر، توان مصرفی یک پارامتر کلیدی در طراحی یک مدار مجتمع با عملکرد بالا می‌باشد [۴۸]. بنابراین برخی از ضرب کننده‌های CMOS [۵۴-۵۰]، برای کاربردهای ولتاژ پایین یا توان پایین مطلوب نیستند. اخیراً چندین تکنیک، برای کاهش توان مصرفی مدارهای ضرب کننده آنالوگ CMOS مطرح شده است، از جمله آن‌ها می‌توان به استفاده از مسافت گیت شناور [۵۷-۵۵]، مسافت bulk driven [۵۸]، حالت زیر آستانه [۶۰، ۶۱]، یا حالت کلاس-AB [۱۶، ۶۲] اشاره کرد.

در این مقاله یک مدار جدید برای مربع کردن سیگنال ارائه می‌شود که دارای دو جفت حلقه translinear دوگان می‌باشد، به این صورت که در هر حلقه، از دو ترانزیستور NMOS و دو ترانزیستور PMOS استفاده شده است. مزیت مدارهای مربع کننده^{۱۱} که بر اساس ساختار حلقه translinear دوگان کار می‌کنند، پهنای باند وسیع تر و سرعت عملکرد بیشتری نسبت به انواع دیگر TL‌ها می‌باشند. همچنین برای پیاده سازی مدار ضرب کننده آنالوگ با استفاده از مدار مربع کننده ارائه شده، برخلاف کارهای پیشین [۴۲، ۴۳، ۴۹] شاخه‌ای که به صورت مشترک برای هر دو مدار مربع کننده استفاده شده، حذف گردیده است. این کار، حداقل

جریان درین-سورس ترانزیستورهای M_1 و M_2 توسط جریان بایاس I_B مشخص می‌شود ($I_{DS1} = I_{DS2} = I_B$)، بنابراین روابط (۲) و (۳) به دست می‌آیند:

$$\sqrt{I_{DS1}} + \sqrt{I_{DS2}} = \sqrt{I_{DS3}} + \sqrt{I_{DS4}} \quad (2)$$

$$2\sqrt{I_B} = \sqrt{I_{DS3}} + \sqrt{I_{DS4}} \quad (3)$$

با نوشتن KCL در گره A به دست می‌آید:

$$I_{DS3} = I_{DS4} + I_{in} \quad (4)$$

حال رابطه (۴) در رابطه (۳) جایگذاری می‌شود:

$$2\sqrt{I_B} = \sqrt{I_{DS3}} + \sqrt{I_{DS3} - I_{in}} \quad (5)$$

طرفین رابطه (۵)، ۲ بار به توان ۲ رسانده می‌شود:

$$16I_B^2 + I_{in}^2 + 8I_B I_{in} = 16I_B I_{DS3} \quad (6)$$

جریان خروجی حلقه translinear دوگان متشکل از ترانزیستورهای M_1 ، M_2 ، M_3 و M_4 برابر می‌شود با:

$$I_{DS3} = \frac{I_{in}^2}{16I_B} + \frac{I_{in}}{2} + I_B \quad (7)$$

حال به منظور به دست آوردن I_{DS5} ، تمامی این مراحل را به صورت مشابه برای حلقه translinear دوگان متشکل از ترانزیستورهای M_1 ، M_2 ، M_5 و M_6 باید انجام داده شود:

$$\sqrt{I_{DS1}} + \sqrt{I_{DS2}} = \sqrt{I_{DS5}} + \sqrt{I_{DS6}} \quad (8)$$

$$\begin{cases} I_{DS5} = I_{DS6} - I_{in} \\ 2\sqrt{I_B} = \sqrt{I_{DS5}} + \sqrt{I_{DS5} + I_{in}} \\ 16I_B^2 + I_{in}^2 - 8I_B I_{in} = 16I_B I_{DS5} \end{cases} \quad (9)$$

جریان I_{DS5} برابر می‌شود با:

$$I_{DS5} = \frac{I_{in}^2}{16I_B} - \frac{I_{in}}{2} + I_B \quad (10)$$

با نوشتن KCL در گره C، رابطه زیر به دست می‌آید:

$$I_{out} + 2I_B = I_{DS3} + I_{DS5} \quad (11)$$

حال جریان خروجی مدار پیشنهادی به صورت زیر بیان می‌شود:

$$I_{out} = \frac{I_{in}^2}{8I_B} \quad (12)$$

همان طور که از رابطه (۱۲) برمی‌آید، جریان ورودی به توان ۲ رسیده و مخرج آن $(8I_B)$ یک مقدار ثابت می‌باشد. شایان ذکر است این مدار هسته اصلی مدار ضرب کننده را تشکیل خواهد داد.

۲-۲- مدار ضرب کننده

اصل عملکرد ضرب کننده پیشنهادی بر مبنای عبارت جبری زیر است:

$$(X + Y)^2 - (X - Y)^2 = 4XY \quad (13)$$

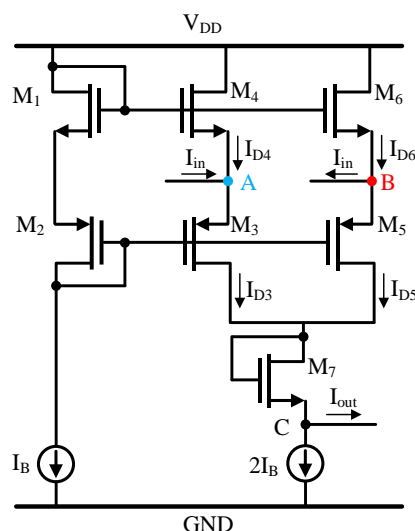
دو فایده دارد: اولاً، مدار فضای کمتری را اشغال کند، ثانیاً، توان مصرفی مدار کاهش می‌یابد. به منظور بررسی عملکرد مؤثر مدار، اعوجاج هارمونیک ناشی از ناهمگونی جریان‌های ورودی، پارامتر هدایت انتقالی و ولتاژ آستانه مورد بررسی قرار خواهد گرفت و نتایج آن نیز شبیه سازی خواهد شد که نتایج حاکی از مقاومت بالا در برابر ناهمگونی است.

مقاله در ۴ بخش تنظیم شده است: روش مورد نظر برای طراحی مدارهای مربع کننده و ضرب کننده پیشنهادی در بخش ۲ بیان شده و در بخش ۳ تجزیه و تحلیل عملکرد مدارها توضیح داده شده است. به منظور اثبات کارایی مدار، طرح layout مدار پیشنهادی با استفاده از نرم افزار Cadence طراحی و نتایج آن توسط نرم افزار HSPICE، شبیه سازی و در بخش ۴ ارائه شده است، و در نهایت نتیجه گیری کلی در بخش ۵ مطرح شده است.

۲- توضیحات مداری

۲-۱- مدار مربع کننده حالت جریان

شکل ۱ مدار مربع کننده طراحی شده را نشان می‌دهد که ورودی‌های آن جریان است. هسته اصلی این مدار را دو حلقه translinear دوگان تشکیل می‌دهد که حلقه اول شامل ترانزیستورهای M_1 ، M_2 ، M_3 و M_4 و حلقه دوم شامل ترانزیستورهای M_1 ، M_2 ، M_5 و M_6 می‌باشد.

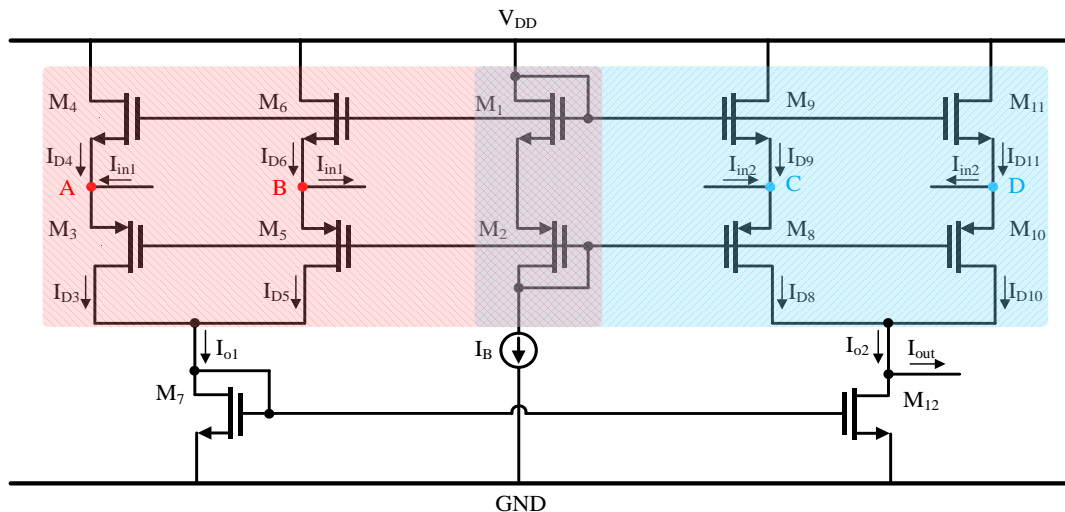


شکل ۱: مدار مربع کننده حالت جریان پیشنهادی

حلقه translinear دوگان متشکل از ترانزیستورهای M_1 ، M_2 ، M_3 و M_4 در شکل ۱ را در نظر بگیرید، طبق قانون کیرشهف در این حلقه یک KVL زده می‌شود:

$$V_{GS1} + V_{GS2} = V_{GS3} + V_{GS4} \quad (1)$$

با فرض اینکه تمامی ترانزیستورهای مدار در ناحیه اشباع کار می‌کنند و همسانی خوبی دارند و دارای پارامترهای عرضی مشابه $(K_N = K_P)$ هستند. بنابراین با استفاده از رابطه (۱) و با توجه به اینکه



شکل ۲: مدار ضرب کننده پیشنهادی

می باشد که I_B دارای مقدار ثابت ۱۰ میکروآمپر می باشد. جریان بایاس (I_B) یک مقدار ثابت می باشد که در مقالات مشابه نیز معمولاً ۱۰ میکروآمپر در نظر گرفته شده است. مقدار این جریان در واقع به عدد یک نرمالیزه می شود و مقدار آن می تواند متغیر باشد، ولی چون در کارهای مشابه معمولاً ۱۰ میکروآمپر در نظر گرفته شده است [۴۳، ۳۷، ۲۷، ۲۶]، لذا برای مقایسه منصفانه کار پیشنهادی با کارهای قبلی (مخصوصاً در مورد توان مصرفی) همین مقدار منظور شده است، ضمن این که جریان I_B در رنج ورودی مدار نیز مؤثر می باشد که تحلیل آن در بخش ۳-۴ بررسی شده است. به عبارتی با تغییر I_B مدار، گستره کاری مدار نیز تغییر می یابد.

۳- تجزیه و تحلیل عملکرد مدار

در این بخش اعوجاج هارمونیک ناشی از ناهمگونی در ترانزیستورهای طبقه ورودی که منجر به خطا در $I_x + I_y$ و $I_x - I_y$ می شود، مورد بحث قرار گرفته است. همچنین در ادامه اثرات ناسازگاری در پارامترهای هدایت انتقالی ترانزیستورها در حلقه translinear دوگان و سپس ناهمگونی در ولتاژ آستانه که ناشی از اثر بدنه ترانزیستورها می باشد به طور کامل تجزیه و تحلیل شده است. در پایان گستره کاری مدار مربع کننده و ضرب کننده پیشنهادی بررسی شده است.

۳-۱- ناهمگونی جریان های ورودی

ضرب کننده پیشنهادی به دو ورودی I_x و I_y نیاز دارد که هم پوشانی خوبی با هم داشته باشند. لازم به ذکر است که ناهمگونی در سیگنال های ورودی منجر به اعوجاج هارمونیک دوم در خروجی مدار ضرب کننده می شود.

با توجه به شرایط ذکر شده، هر جریان ورودی را در شرایط ناهمگونی

می توان به صورت زیر نوشت:

$$I_{xi} = \hat{I}_x + \Delta x_i \hat{I}_x \quad (18)$$

همان طور که از رابطه (۱۳) مشخص است، ضرب کننده به عملیات ریاضی جمع، تفریق و مجذور شدن نیاز دارد. همچنین دو ورودی وجود دارد که در یک طرف، سیگنال های جریان باهم جمع و در طرف دیگر با هم تفریق می شوند، در خروجی نیز سیگنال ها در هم ضرب می شوند.

مدار ضرب کننده پیشنهادی در شکل ۲ نشان داده شده است. این مدار مبتنی است بر مدار مربع کننده حالت جریان شکل ۱ و از دو جفت حلقه translinear دوگان تشکیل شده است که هر حلقه از دو ترانزیستور NMOS و PMOS تشکیل می شود. حلقه اول و دوم به ترتیب شامل ترانزیستورهای (M_4 و M_3 ، M_2 ، M_1) و (M_6 و M_5 ، M_2 ، M_1) می باشد که ورودی حلقه ها به صورت جریان $(I_x - I_y)$ و خروجی آن ها $(I_x - I_y)^2$ می باشد و حلقه سوم و چهارم به ترتیب شامل ترانزیستورهای (M_9 و M_8 ، M_2 ، M_1) و (M_{11} و M_{10} ، M_2 ، M_1) می باشد که ورودی حلقه ها به صورت جریان $(I_x + I_y)$ و خروجی آن ها $(I_x + I_y)^2$ را فراهم می کند.

$$I_{o1} = \frac{I_{in1}^2}{8I_B} \quad (14)$$

$$I_{o2} = \frac{I_{in2}^2}{8I_B} \quad (15)$$

$$I_{out} = I_{o2} - I_{o1} \quad (16)$$

با توجه به اینکه $I_{in1} = (I_x - I_y)$ و $I_{in2} = (I_x + I_y)$ می باشد، بنابراین با جایگذاری رابطه (۱۴) و (۱۵) در رابطه (۱۶)، جریان خروجی به دست می آید:

$$I_{out} = \frac{I_x I_y}{2I_B} \quad (17)$$

در رابطه (۱۷) به وضوح دیده می شود که خروجی مدار ضرب کننده پیشنهادی، حاصل ضرب سیگنال های ورودی، تقسیم بر جریان $2I_B$

$$\begin{cases} \delta_x = \Delta x_2 - \Delta x_1 \\ \delta_y = \Delta y_2 - \Delta y_1 \end{cases}, \begin{cases} \Delta x_t = \Delta x_2 + \Delta x_1 \\ \Delta y_t = \Delta y_2 + \Delta y_1 \end{cases} \quad (29)$$

اگر در رابطه (۲۸) یکی از ورودی‌ها (\hat{I}_x) مقدار ثابت و دیگری سینوسی به فرم $\hat{I}_y = \hat{i}_m \sin \omega t$ در نظر گرفته شود، I'_{out} برابر می‌شود با:

$$I'_{out} = \hat{i}_m \sin \omega t \left[\frac{\hat{I}_x}{2I_B} + \frac{\hat{I}_x (\Delta x_t + \Delta y_t)}{4I_B} \right] + \frac{\delta_y \hat{i}_m^2 (1 - \cos 2\omega t)}{4I_B} + \frac{\delta_x \hat{I}_x^2}{4I_B} \quad (30)$$

در این صورت اعوجاج هارمونیک دوم با توجه به ناهمگونی سیگنال‌های ورودی به شرح زیر خواهد بود:

$$HD_2 = \frac{\delta_x}{4 \sqrt{1 + \Delta x_t + \Delta y_t + \frac{2\delta_x \hat{I}_x}{\hat{i}_m \sin \omega t}}} \quad (31)$$

از رابطه (۳۱) می‌توان فهمید، هنگامی که درصد ناهمگونی \hat{I}_x افزایش می‌یابد اعوجاج هارمونیک دوم نیز افزایش می‌یابد (کاهش در dB). آنچه در محاسبات به دست آمده، گویای این است که اعوجاج هارمونیک سوم تقریباً ثابت باقی می‌ماند و تغییر چندانی نمی‌کند.

۳-۲- ناهمگونی پارامترهای هدایت انتقالی

در این بخش تجزیه و تحلیل دقیق ناهمگونی بین پارامترهای هدایت انتقالی برای ترانزیستورهای NMOS و PMOS صورت گرفته و خطاهای مؤثر بر عملکرد ایده‌آل مدار پیشنهادی مورد بحث قرار گرفته است.

ناهمگونی پارامترهای هدایت انتقالی را می‌توان به صورت زیر بیان کرد:

$$K_p = K + \Delta k K \quad (32)$$

$$K_n = K - \Delta k K \quad (33)$$

که ثابت K مقدار اصلی و Δk درصد ناهمگونی پارامترهای هدایت انتقالی می‌باشد.

با در نظر گرفتن روابط (۳۲) و (۳۳) و با فرض اینکه Δk^2 خیلی کوچک‌تر از یک می‌باشد ($\Delta k^2 \ll 1$)، روابط (۴) و (۱۰) به صورت زیر بازنویسی می‌شوند:

$$\sqrt{\frac{I_B}{K - \Delta k K}} + \sqrt{\frac{I_B}{K + \Delta k K}} = \sqrt{\frac{I''_{DS3}}{K + \Delta k K}} + \sqrt{\frac{I''_{DS4}}{K - \Delta k K}} \quad (34)$$

$$I''_{DS3} = \frac{I_{in1}^2 (1 + 2\Delta k) + 8I_B I_{in1} (1 + \Delta k) + 16I_B^2}{16I_B + 4I_{in1} \Delta k} \quad (35)$$

$$\sqrt{\frac{I_B}{K - \Delta k K}} + \sqrt{\frac{I_B}{K + \Delta k K}} = \sqrt{\frac{I''_{DS5}}{K + \Delta k K}} + \sqrt{\frac{I''_{DS6}}{K - \Delta k K}} \quad (36)$$

$$I''_{DS5} = \frac{I_{in1}^2 (1 + 2\Delta k) - 8I_B I_{in1} (1 + \Delta k) + 16I_B^2}{16I_B - 4I_{in1} \Delta k} \quad (37)$$

$$I_{yi} = \hat{I}_y + \Delta y_i \hat{I}_y, \quad i = 1, 2 \quad (19)$$

که در آن \hat{I}_y و \hat{I}_x مقادیر اصلی هستند و Δx_i و Δy_i به ترتیب درصد ناهمگونی برای \hat{I}_{yi} و \hat{I}_{xi} می‌باشند.

با اعمال $I_{in2} = I_{xi} + I_{yi}$ و $I_{in1} = I_{xi} - I_{yi}$ به مدار ضرب کننده و با فرض اینکه Δx_i^2 ، Δy_i^2 ، $\Delta x_i \Delta y_i$ خیلی کوچک‌تر از یک می‌باشند (Δx_i^2 ، Δy_i^2 ، $\Delta x_i \Delta y_i \ll 1$) خواهیم داشت:

$$I_{in1} = \hat{I}_x + \Delta x_1 \hat{I}_x - \hat{I}_y - \Delta y_1 \hat{I}_y \quad (20)$$

$$I_{in2} = \hat{I}_x + \Delta x_2 \hat{I}_x + \hat{I}_y + \Delta y_2 \hat{I}_y \quad (21)$$

حال با در نظر گرفتن حلقه‌های TL متشکل از ترانزیستورهای (M1)، (M2)، (M3) و (M4) و (M5)، (M6) می‌نویسیم:

$$I'_{DS3} = \frac{(\hat{I}_x - \hat{I}_y)^2}{16I_B} + 4I_B (\hat{I}_x + \Delta x_1 \hat{I}_x - \hat{I}_y - \Delta y_1 \hat{I}_y) + \frac{\hat{I}_x^2 \Delta x_1 + \hat{I}_y^2 \Delta y_1 - \hat{I}_x \hat{I}_y (\Delta x_1 + \Delta y_1)}{8I_B} + I_B \quad (22)$$

$$I'_{DS5} = \frac{(\hat{I}_x - \hat{I}_y)^2}{16I_B} - 4I_B (\hat{I}_x + \Delta x_1 \hat{I}_x - \hat{I}_y - \Delta y_1 \hat{I}_y) + \frac{\hat{I}_x^2 \Delta x_1 + \hat{I}_y^2 \Delta y_1 - \hat{I}_x \hat{I}_y (\Delta x_1 + \Delta y_1)}{8I_B} + I_B \quad (23)$$

$$I'_{o1} = I'_{DS3} + I'_{DS5} = \frac{(\hat{I}_x - \hat{I}_y)^2}{8I_B} + \frac{\hat{I}_x^2 \Delta x_1 + \hat{I}_y^2 \Delta y_1 - \hat{I}_x \hat{I}_y (\Delta x_1 + \Delta y_1)}{4I_B} + 2I_B \quad (24)$$

به صورت مشابه برای حلقه‌های TL متشکل از ترانزیستورهای (M1)، (M2)، (M8) و (M9) و (M10)، (M2)، (M1) می‌شود:

$$I'_{DS8} = \frac{(\hat{I}_x + \hat{I}_y)^2}{16I_B} + 4I_B (\hat{I}_x + \Delta x_2 \hat{I}_x + \hat{I}_y + \Delta y_2 \hat{I}_y) + \frac{\hat{I}_x^2 \Delta x_2 + \hat{I}_y^2 \Delta y_2 - \hat{I}_x \hat{I}_y (\Delta x_2 + \Delta y_2)}{8I_B} + I_B \quad (25)$$

$$I'_{DS10} = \frac{(\hat{I}_x + \hat{I}_y)^2}{16I_B} - 4I_B (\hat{I}_x + \Delta x_2 \hat{I}_x + \hat{I}_y + \Delta y_2 \hat{I}_y) + \frac{\hat{I}_x^2 \Delta x_2 + \hat{I}_y^2 \Delta y_2 - \hat{I}_x \hat{I}_y (\Delta x_2 + \Delta y_2)}{8I_B} + I_B \quad (26)$$

$$I'_{o2} = I'_{DS8} + I'_{DS10} = \frac{(\hat{I}_x + \hat{I}_y)^2}{8I_B} + \frac{\hat{I}_x^2 \Delta x_2 + \hat{I}_y^2 \Delta y_2 + \hat{I}_x \hat{I}_y (\Delta x_2 + \Delta y_2)}{4I_B} + 2I_B \quad (27)$$

جریان خروجی برابر است با:

$$I'_{out} = I'_{o2} - I'_{o1} = \frac{\hat{I}_x \hat{I}_y}{2I_B} + \frac{\delta_x \hat{I}_x^2 + \delta_y \hat{I}_y^2 + \hat{I}_x \hat{I}_y (\Delta x_t + \Delta y_t)}{4I_B} \quad (28)$$

که در آن:

است. برای جلوگیری از این اثر، ترانزیستورهای MOS cascaded در مکان‌های مجزا قرار می‌گیرند و V_{SB} صفر خواهد بود. بنابراین، این ترانزیستورها دارای ولتاژ آستانه صفر است. فرض شده است که در حلقه TL متشکل از ترانزیستورهای (M_1, M_2, M_3, M_4)، ولتاژ سورس-بدنه ترانزیستورها برابر صفر نباشد ($V_{SB} \neq 0$)، در نتیجه ولتاژ گیت-سورس ترانزیستورها به‌صورت زیر بیان خواهیم شد:

$$\begin{cases} V_{GS1} = V_{t1} + \Delta V_1 \\ V_{GS2} = V_{t2} + \Delta V_2 \end{cases}, \begin{cases} V_{GS3} = V_{t3} + \Delta V_3 \\ V_{GS4} = V_{t4} + \Delta V_4 \end{cases} \quad (48)$$

لذا با توجه به این ناهمگونی، رابطه (۱) بازنویسی می‌شود:

$$V_{t1} + \Delta V_1 + V_{t2} + \Delta V_2 = V_{t3} + \Delta V_3 + V_{t4} + \Delta V_4 \quad (49)$$

و از طرفی ولتاژ آستانه ترانزیستورها به‌صورت زیر می‌باشد:

$$\begin{cases} V_{t1} = V_t + \delta_1 \\ V_{t2} = V_t + \delta_2 \end{cases}, \begin{cases} V_{t3} = V_t - \delta_3 \\ V_{t4} = V_t - \delta_4 \end{cases} \quad (50)$$

که در آن δ عبارت ناهمگونی بین ولتاژ آستانه‌ها می‌باشد، در نتیجه رابطه (۱) به‌صورت زیر بیان می‌شود.

$$\delta + 2\sqrt{\frac{I_B}{K}} = \sqrt{\frac{I_{DS3}''}{K}} + \sqrt{\frac{I_{DS3}''' + I_{in}}{K}} - \delta \quad (51)$$

رابطه (۵۱) به توان ۲ رسانده می‌شود و سپس عبارت‌های δ^2 ، برابر صفر قرار داده می‌شود ($\delta^2 = 0$):

$$8\delta\sqrt{\frac{I_B}{K}} + \frac{4I_B}{K} = \frac{2I_{DS3}''}{K} - \frac{I_{in}}{K} + 2\sqrt{\frac{I_{DS3}''^2 - I_{DS3}''I_{in}}{K^2}} \quad (52)$$

فرض می‌شود که $I_B = K\Delta V^2$ باشد، حال هر دو طرف رابطه (۵۲) را به توان ۲ رسانده می‌شود، در نتیجه جریان I_{DS3}''' برابر است با:

$$I_{DS3}''' = \frac{I_{in}^2}{16K\Delta V(\Delta V + 2\delta)} + \frac{I_{in}}{2} + K\Delta V(\Delta V + 2\delta) \quad (53)$$

برای به‌دست آوردن I_{DS5}''' ، تمامی این مراحل را به‌صورت مشابه برای حلقه TL متشکل از ترانزیستورهای (M_1, M_2, M_5, M_6)، انجام داده می‌شود، در نتیجه I_{DS5}''' طبق رابطه (۵۴) بیان می‌شود:

$$I_{DS5}''' = \frac{I_{in}^2}{16K\Delta V(\Delta V + 2\delta)} - \frac{I_{in}}{2} + K\Delta V(\Delta V + 2\delta) \quad (54)$$

در نتیجه جریان خروجی برابر است با:

$$I_{out}''' = I_{DS3}''' + I_{DS5}''' = \frac{I_{in}^2}{8K\Delta V(\Delta V + 2\delta)} + 4K\delta\Delta V \quad (55)$$

در رابطه (۵۵) می‌توان دید که از خطای ناهمگونی ولتاژهای آستانه به‌دلیل اینکه $\Delta V \gg 2\delta$ می‌توان چشم‌پوشی کرد. حال رابطه (۵۵) را از رابطه (۱۲) کم کرده و خطای جریان خروجی محاسبه می‌شود:

$$\begin{aligned} |I_{error}| &= I_{out} - I_{out}''' \\ &= \frac{I_{in}^2}{8K\Delta V^2} - \left[\frac{I_{in}^2}{8K\Delta V(\Delta V + 2\delta)} + 4K\delta\Delta V \right] \end{aligned} \quad (56)$$

از آنجایی که ΔV و δ خیلی کوچک‌تر از یک هستند، لذا عبارت‌های

$$I_{o1}'' = I_{DS3}'' + I_{DS5}'' = \frac{I_{in1}^2(1+2\Delta k) + 16I_B^2}{8I_B} \quad (38)$$

حال برای حلقه‌های TL متشکل از ترانزیستورهای (M_1, M_2, M_8, M_9) و (M_1, M_2, M_{10}, M_{11}) نیز طبق روابط زیر نوشته می‌شود:

$$\sqrt{\frac{I_B}{K - \Delta kK}} + \sqrt{\frac{I_B}{K + \Delta kK}} = \sqrt{\frac{I_{DS8}''}{K + \Delta kK}} + \sqrt{\frac{I_{DS9}''}{K - \Delta kK}} \quad (39)$$

$$I_{DS8}'' = \frac{I_{in2}^2(1+2\Delta k) + 8I_B I_{in2}(1+\Delta k) + 16I_B^2}{16I_B + 4I_{in2}\Delta k} \quad (40)$$

$$\sqrt{\frac{I_B}{K - \Delta kK}} + \sqrt{\frac{I_B}{K + \Delta kK}} = \sqrt{\frac{I_{DS10}''}{K + \Delta kK}} + \sqrt{\frac{I_{DS11}''}{K - \Delta kK}} \quad (41)$$

$$I_{DS10}'' = \frac{I_{in2}^2(1+2\Delta k) - 8I_B I_{in2}(1+\Delta k) + 16I_B^2}{16I_B - 4I_{in2}\Delta k} \quad (42)$$

$$I_{o2}'' = I_{DS8}'' + I_{DS10}'' = \frac{I_{in2}^2(1+2\Delta k) + 16I_B^2}{8I_B} \quad (43)$$

با توجه به اینکه $I_{in2} = I_x + I_y$ و $I_{in1} = I_x - I_y$ می‌باشد، بنابراین جریان خروجی برابر است با:

$$I_{out}'' = I_{o2}'' - I_{o1}'' = \frac{I_x I_y (1+2\Delta k)}{2I_B} \quad (44)$$

در (۴۴)، ورودی \hat{I}_x مقدار ثابت و \hat{I}_y سینوسی به‌فرم $\hat{I}_y = \hat{i}_m \sin \omega t$ در نظر گرفته می‌شود، در نتیجه I_{out}'' مطابق رابطه (۴۵) بیان می‌شود.

$$I_{out}'' = \hat{i}_m \sin \omega t \left[\frac{I_x (1+2\Delta k)}{2I_B} \right] \quad (45)$$

در این صورت اعوجاج هارمونیک اول با توجه به ناهمگونی پارامترهای هدایت انتقالی به‌شرح زیر خواهد بود:

$$HD_1 = \frac{2I_B(1+2\Delta k)}{\hat{i}_m \sin \omega t (1+4\Delta k)} \quad (46)$$

از رابطه (۴۶) برمی‌آید که چون هارمونیک دوم و سوم از مشتق هارمونیک اول نسبت به I_{out}'' به‌دست می‌آید، لذا اعوجاج هارمونیک دوم و سوم تغییر نخواهد کرد.

۳-۳- خطای اثر بدنه و ناهمگونی ولتاژ آستانه

در بخش ۱، به‌منظور ساده‌سازی محاسبات مدار پایه، از اثر بدنه که بر روی ولتاژ آستانه ترانزیستورها در حلقه translinear تأثیر می‌گذاشت، صرف‌نظر کردیم. این بخش به بررسی دقیق اثر بدنه بر روی عملکرد مدار ضرب‌کننده می‌پردازد و پارامترهای ضرب‌کننده پیشنهادی مورد تجزیه و تحلیل قرار می‌گیرد.

در یک ترانزیستور MOS، اثر بدنه منجر به تغییر ولتاژ آستانه (V_{th}) ترانزیستور می‌شود که از اختلاف ولتاژ بین سورس و زیر لایه ترانزیستور تشکیل یافته است، که می‌توان آن را با رابطه زیر بیان کرد:

$$V_t = V_{t0} + \gamma \left[\sqrt{2\phi_b + |V_{SB}|} - \sqrt{2\phi_b} \right] \quad (47)$$

که در آن V_{t0} ولتاژ آستانه صفر، γ ضریب اثر بدنه و ϕ_b پتانسیل بالک

حاوی ΔV^n ($n = 4, 5$) و δ^2 نادیده گرفته می شود:

$$|I_{error}| = \frac{\delta}{4K \Delta V^2 (\Delta V + 2\delta)} I_{in}^2 \quad (57)$$

در رابطه (۵۷) عبارت ΔV^3 ، گویای این است که مقدار خطا خیلی کوچک می باشد. از مزایای استفاده از مشخصه جبری $(X+Y)^2 - (X-Y)^2$ در مدار ضرب کننده، از بین بردن افست و خطای اثر بدنه با حذف عبارت دوم در رابطه (۵۵) می باشد. در نتیجه جریان خروجی مدار ضرب کننده با در نظر گرفتن ناهمگونی در ولتاژ آستانه، برابر است با:

$$I_{out} = \frac{I_x I_y}{2I_B + 4\delta K \Delta V} \quad (58)$$

۳-۴- تعیین گستره کاری مدار ضرب کننده

محدوده دینامیکی ورودی مدار ضرب کننده، توسط ترانزیستورهای تشکیل دهنده حلقه translinear محدود می شود که باید در ناحیه اشباع عمل کنند. برای تعیین این محدوده فرض می شود که $I_{in} = \alpha I_B$ است و α بزرگترین عددی می باشد که ضرب کننده به ازای آن به درستی کار می کند، حال رابطه (۲) باز نویسی می شود:

$$2\sqrt{I_B} \geq \sqrt{\frac{\alpha^2 I_B^2}{16I_B} + \frac{\alpha I_B}{2} + I_B} + \sqrt{\frac{\alpha^2 I_B^2}{16I_B} - \frac{\alpha I_B}{2} + I_B} \quad (59)$$

با حل این نامعادله $\alpha_{max} = 4$ به دست می آید، پس در نتیجه محدوده ورودی مدار مربع کننده و ضرب کننده به ترتیب برابر $-4I_B \leq I_{in(sq)} \leq 4I_B$ و $-2I_B \leq I_{in(mul)} \leq 2I_B$ می باشد، همچنین می توان محدوده خروجی را نیز مشخص کرد که برای مدار مربع کننده و ضرب کننده به ترتیب برابر $0 \leq I_{out(sq)} \leq 2I_B$ و $-2I_B \leq I_{in(mul)} \leq 2I_B$ خواهد بود. از آنجایی که جریان های ورودی مدار ضرب کننده به صورت $(I_x - I_y)$ و $(I_x + I_y)$ هستند، پس در بدترین حالت حداکثر دامنه جریان های I_x و I_y باید به اندازه نصف $2I_B$ باشد که در رابطه (۶۰) بیان شده است.

$$|I_x| = |I_y| \leq 2I_B \quad (60)$$

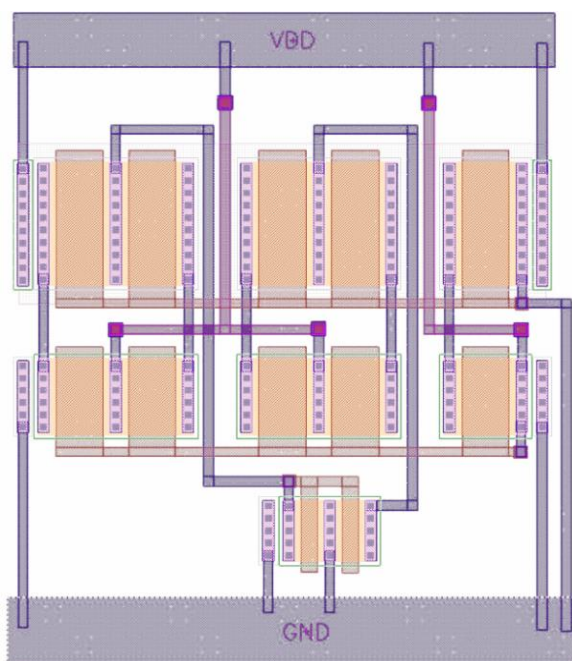
با مقایسه کارهای قبلی مشخص شد که محدوده ورودی مدار مربع کننده پیشنهادی، نسبت به کارهای قبلی بیشتر است، که علت آن استفاده از ساختار TL دوگان می باشد [۲۲].

۴- نتایج شبیه سازی

در این بخش طرح layout مدار پیشنهادی با استفاده از نرم افزارهای Cadence و HSPICE با مدل TSMC مرحله ۴۹ ($BSIM3v3$) در تکنولوژی ۰/۱۸ میکرومتر استاندارد CMOS طراحی و شبیه سازی شده است. ولتاژ منبع تغذیه ۱/۸ ولت و مقدار جریان بایاس I_B روی ۱۰ میکرو آمپر تنظیم شده است.

شکل ۳ طرح layout ضرب کننده پیشنهادی را نشان می دهد. در طراحی این مدار، یک پلی و دو فلز (فلز ۱ و فلز ۲)، به کار گرفته

شده است.



شکل ۳: طرح layout ضرب کننده پیشنهادی

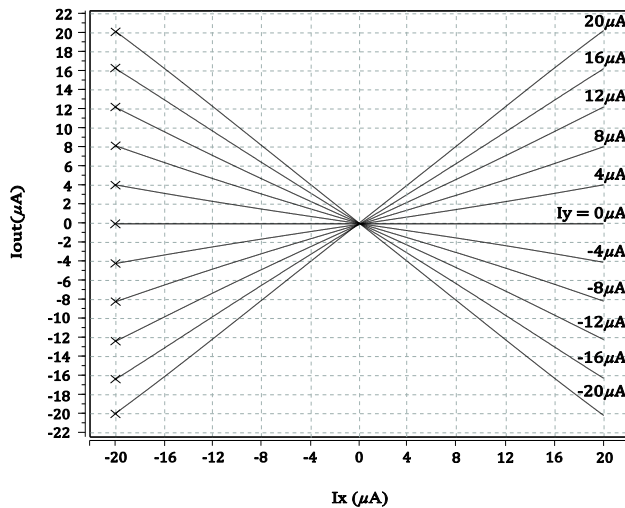
سایز ترانزیستورهای مدار ضرب کننده در جدول ۱ نشان داده شده است. در خصوص ابعاد ترانزیستورها، با توجه به اینکه ترانزیستورهای اول و دوم و ترانزیستورهای (M₄ و M₃، M₂، M₁) و (M₆ و M₅، M₂، M₁) به ترتیب در حلقه های اول و دوم و ترانزیستورهای (M₉ و M₈، M₂، M₁) و (M₁₁ و M₁₀، M₂، M₁) به ترتیب در حلقه های سوم و چهارم، هسته اصلی حلقه های translinear را تشکیل می دهند و لازم است رابطه ناحیه اشباع بین جریان درین و ولتاژ گیت-سورس، یک رابطه توان دویی داشته باشد و برای اینکه این رابطه برقرار باشد باید مقادیر L ترانزیستورهای حلقه translinear بزرگ در نظر گرفته شود [۱۱، ۲۲، ۳۰، ۳۲، ۴۴، ۵۳].

جدول ۱: سایز ترانزیستورهای ضرب کننده پیشنهادی

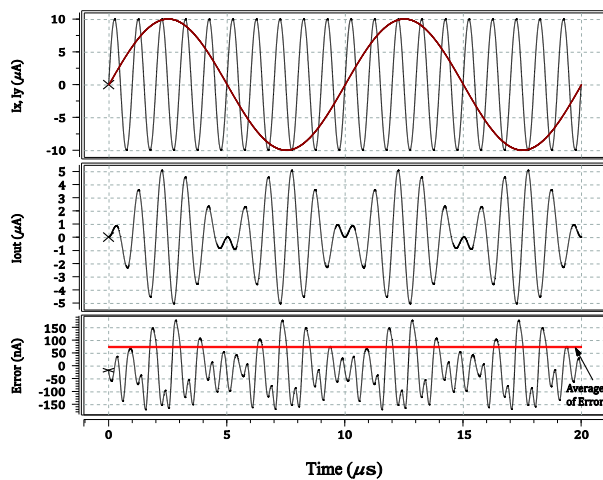
عرض (میکرو متر)	طول (میکرو متر)	نوع	مافت
۵	۳	NMOS	M ₁ , M ₄ , M ₆ , M ₉ , M ₁₁
۸	۳	PMOS	M ₂ , M ₃ , M ₅ , M ₈ , M ₁₀
۴	۱	NMOS	M ₇ , M ₁₂

شکل ۴ نتایج شبیه سازی مدار مربع کننده پیشنهادی را نشان می دهد. جریان ورودی به صورت مثلثی با فرکانس ۱ مگا هرتز اعمال شده است. لازم به ذکر است، دامنه سیگنال ورودی ۴۰ میکرو آمپر می باشد. نمودار میانی و پائینی به ترتیب جریان خروجی و مقدار خطای اندازه گیری شده را نشان می دهد و بیانگر این است که جریان ورودی به توان ۲ رسیده است. در این شبیه سازی میانگین خطای خروجی ۰/۳۶ درصد به دست آمده است.

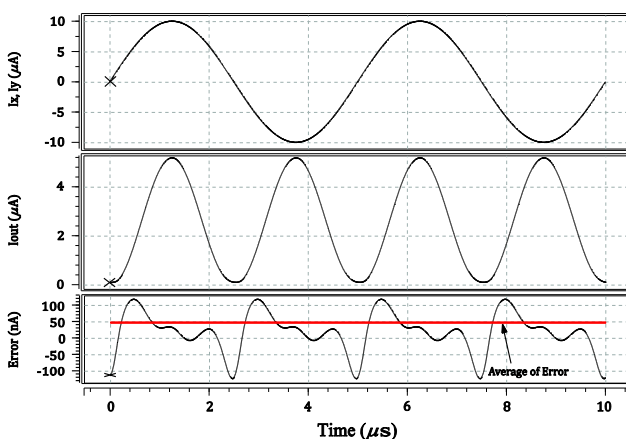
برابر کننده فرکانس به کار برد. اگر فرکانس هر دو جریان ورودی I_x و I_y برابر ۲۰۰ کیلوهرتز در نظر گرفته شود، همان طور که مشاهده می کنید در شکل، فرکانس موج خروجی دو برابر شده و خطای اندازه گیری شده نیز نشان داده شده است، که میانگین خطای اندازه گیری شده، ۴۸/۱۳ نانو آمپر می باشد.



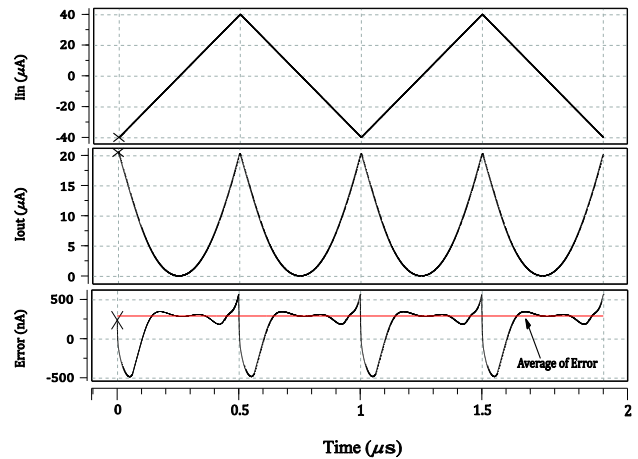
شکل ۴: تحلیل DC مدار ضرب کننده آنالوگ



شکل ۵: نمایش پاسخ زمانی ضرب کننده، به عنوان مدولاتور دامنه

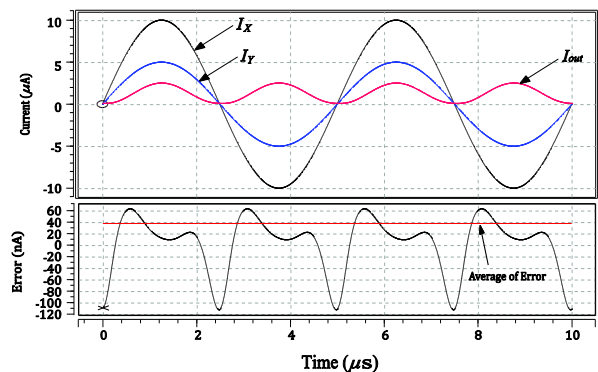


شکل ۶: استفاده از ضرب کننده به عنوان دو برابر کننده فرکانس



شکل ۷: نتایج شبیه سازی مدار مربع کننده شکل ۱ و خطای اندازه گیری شده

شکل ۵ نتایج خروجی مدار ضرب کننده با خطای اندازه گیری شده را نشان می دهد که در آن I_x و I_y ورودی های سینوسی با فرکانس ۲۰۰ کیلوهرتز و به ترتیب با دامنه ۱۰ و ۵ میکرو آمپر هستند و سیگنال خروجی با رنگ قرمز مشخص شده است که دارای دامنه ۲/۵ میکرو آمپر و سینوسی با دقت بالا می باشد. میانگین خطای اندازه گیری شده، ۳۷/۶ نانو آمپر است.

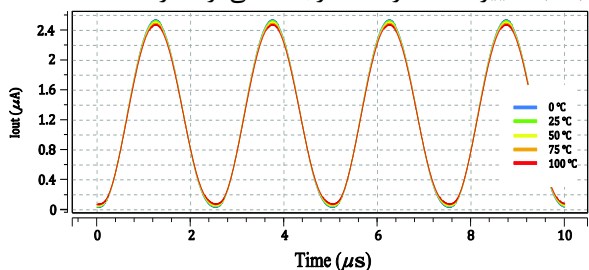


شکل ۸: نتایج شبیه سازی مدار ضرب کننده پیشنهادی در فرکانس ۲۰۰ کیلوهرتز و خطای اندازه گیری شده

شکل ۶ تحلیل DC مدار ضرب کننده آنالوگ پیشنهادی است و نشان از خطی بودن بالا در محدوده ذکر شده می باشد که I_x به صورت پیوسته به عنوان یک پالس با دامنه متغییر از -۲۰ تا +۲۰ میکرو آمپر تنظیم شده است، و I_y به صورت گسسته از -۲۰ تا +۲۰ میکرو آمپر تغییر می کند، در نتیجه جریان خروجی از -۲۰ تا +۲۰ شیفیت پیدا می کند. در این محدوده خطای غیر خطی اندازه گیری شده ۰/۶۲ درصد می باشد.

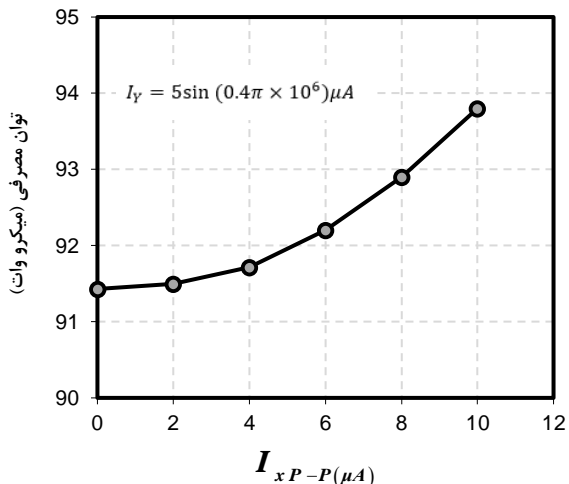
در شکل ۷ کاربرد ضرب کننده طراحی به عنوان مدولاتور نشان داده شده است. در این شکل I_x و I_y به ترتیب در فرکانس های ۱ مگا هرتز و ۱۰۰ کیلو هرتز با دامنه پیک تا پیک ۲۰ میکرو آمپر تنظیم شده است، در حالی که جریان I_b دارای مقدار ثابت ۱۰ میکرو آمپر می باشد. میانگین خطای اندازه گیری شده، ۷۵/۵۱ نانو آمپر به دست آمده است. شکل ۸ نشان می دهد که چگونه می توان مدار ضرب کننده را به عنوان دو

شکل ۱۱ پاسخ زمانی زمانی ضرب کننده در دماهای مختلف را نشان می دهد. همان طور که مشاهده می کنید مدار حساسیت بسیار پایینی را نسبت به تغییرات دما در ۱۰۰ درجه سانتی گراد دارد.



شکل ۱۱: پاسخ زمانی برای تغییرات دما از ۰ تا ۱۰۰ درجه سانتی گراد

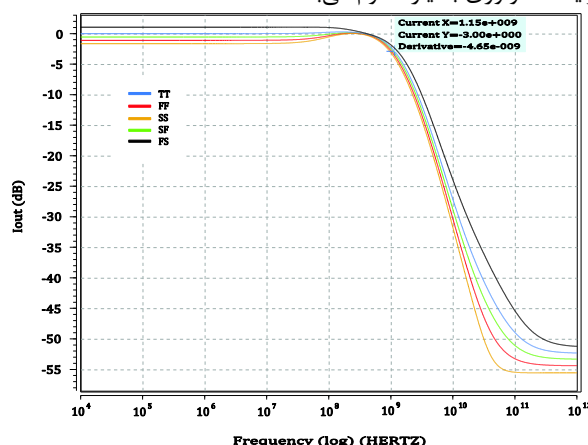
به منظور بررسی تأثیر تغییرات جریان ورودی بر روی توان مصرفی، جریان I_Y را به صورت سینوسی با دامنه ثابت ۵ میکرو آمپر و جریان I_X را به صورت سینوسی با دامنه متغیر از ۰ تا ۱۰ میکرو با گام های ۲ میکرو آمپر تنظیم کرده و توان مصرفی در هر مرحله به ازای تغییرات جریان I_X به دست آورده شد که در شکل ۱۲ نشان داده شده است.



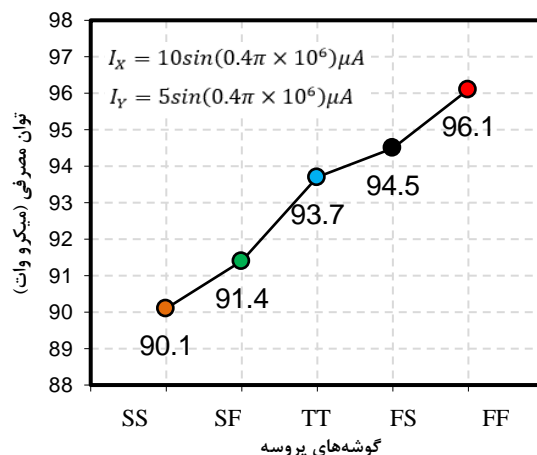
شکل ۱۲: تأثیر تغییرات جریان I_X نسبت به توان مصرفی

تحلیل مونته کارلو برای مدار پیشنهادی با ۱۰۰ تکرار برای بررسی تأثیر ناهمگونی هدایت انتقالی انجام گرفت. در این تحلیل مقدار خروجی در حالتی که هیچ ناهمگونی در مدار وجود نداشته است، به عنوان خروجی بدون خطا در نظر گرفته شد. سپس با اعمال $\pm 5\%$ درصد ناهمگونی در پارامتر هدایت انتقالی ترانزیستورها میزان خطای نسبی محاسبه شد. با بررسی نتایج به دست آمده مشخص شد ۹۰ درصد نمونه ها با خطایی کمتر از $\pm 1\%$ درصد اتفاق می افتند و فقط ۱۰ درصد آنها با خطای بالای $\pm 1\%$ درصد اتفاق می افتند. نتایج در شکل (۱۳-الف) نشان داده شده است. همچنین تحلیل مونته کارلو با شرایط مشابه برای بررسی تأثیر ناهمگونی ولتاژ آستانه در عملکرد مدار صورت گرفت. این تحلیل که با در نظر گرفتن $\pm 5\%$ درصد ناهمگونی در ولتاژ آستانه خروجی ها مورد بررسی قرار گرفت، نشان داد که ۹۵ درصد نمونه ها با خطایی کمتر از $\pm 1\%$ درصد رخ می دهد که نتایج آن در شکل (۱۳-ب) نشان داده شده است.

شکل ۹ پاسخ فرکانسی مدار ضرب کننده را برای گوشه های FF، TT، SF، SS، FS نشان می دهد، در حالت استاندارد (TT) مقدار پهنای باند محاسبه شده در منفی ۳ دسی بل ۱/۱۵ گیگا هرتز می باشد، که علت بالابودن پهنای باند مدار پیشنهادی نسبت به کاری های قبلی، کوچک بودن و بهینه شدن ابعاد ترانزیستور و همچنین دوگان بودن مدار است به این صورت که در هر حلقه translinear از دو NMOS و دو PMOS استفاده شده است. برای محاسبه پهنای باند سیگنال I_Y مقدار ثابت برابر ۱۰ میکرو آمپر در نظر گرفته می شود و سیگنال I_X به صورت ac در یک گستره کاری تغییر می کند. این کار نشان می دهد که مدار پیشنهادی در گوشه های مختلف پروسه عملکرد قابل قبولی دارد. در شکل ۱۰ نیز تغییرات گوشه های پروسه FF، TT، SS، SF، FS نسبت به توان مصرفی نشان داده شده است. همان طور که مشاهده می شود، سیگنال های ورودی I_X و I_Y به صورت سینوسی به ترتیب با دامنه های ۱۰ و ۵ میکرو آمپر در نظر گرفته شده اند و در حالت استاندارد (TT) توان مصرفی محاسبه شده ۹۳/۷ میکرو وات گزارش شده است. همچنین توان مصرفی در دماهای مختلف نیز مورد بررسی قرار گرفت که در دماهای ۵۰، ۷۵ و ۱۰۰ درجه سانتی گراد به ترتیب برابر ۹۳/۶، ۹۳/۵ و ۹۳/۴ میکرووات گزارش شده است، نتایج گویاست که مدار در بدترین شرایط تکنولوژی بسیار مقاوم می باشد.

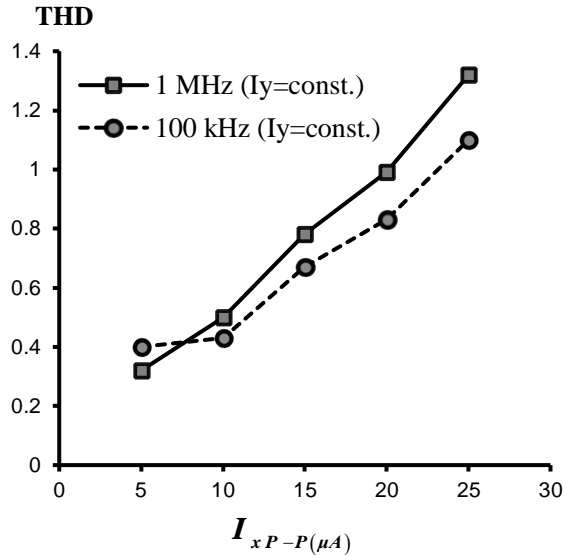


شکل ۹: پاسخ فرکانسی ضرب کننده آنالوگ پیشنهادی

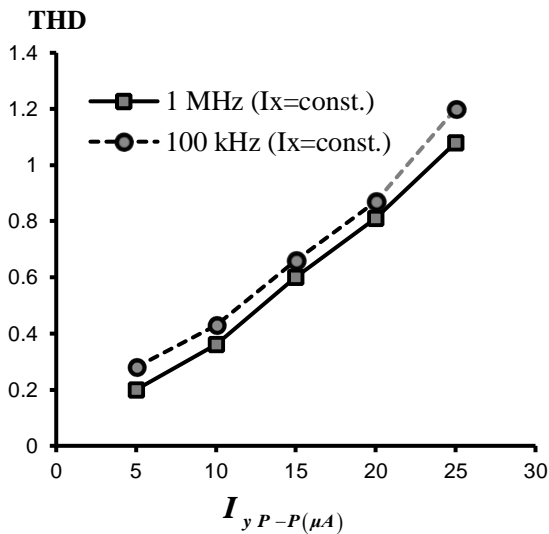


شکل ۱۰: تغییرات گوشه های پروسه نسبت به توان مصرفی

اعوجاج هارمونیک کل (THD) نسبت به سیگنال جریان ورودی در فرکانس‌های ۱۰۰ کیلوهرتز و ۱ مگاهرتز در شکل ۱۵ و ۱۶ نشان داده شده است. در شکل ۱۱ در بدترین حالت وقتی که سیگنال I_x برابر ۲۰ میکرو آمپر پیک‌تاپیک با فرکانس ۱ مگاهرتز باشد، اعوجاج هارمونیک کل برابر ۱/۱ درصد است.

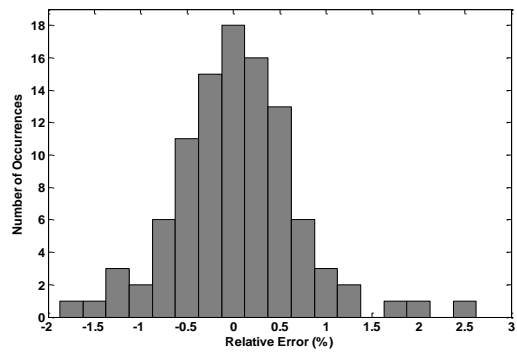


شکل ۱۵: رابطه بین اعوجاج هارمونیک کل و I_x

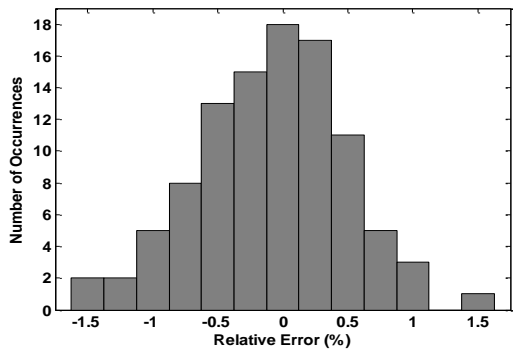


شکل ۱۶: رابطه بین اعوجاج هارمونیک کل و I_y

نتایج شبیه‌سازی که در شکل ۱۷ و ۱۸ نشان داده شده است، مربوط به محاسبات اعوجاج هارمونیک انجام شده در بخش قبل است. این در حالی است که هارمونیک دوم و سوم نسبت به درصد ناهمگونی سیگنال‌های ورودی و پارامتر هدایت انتقالی به دست آمده است. شکل ۱۹ اختلاف ولتاژ آستانه، ترانزیستورهای NMOS و PMOS در حلقه translinear دوگان، متشکل از ترانزیستورهای M_1, M_2, M_3 و M_4 را نسبت به ورودی‌های متفاوت نشان می‌دهد که I_x از -۱۰ تا +۱۰ میکروآمپر تغییر می‌کند، در حالی که مقدار I_y ثابت و برابر ۱۰ میکروآمپر می‌باشد.

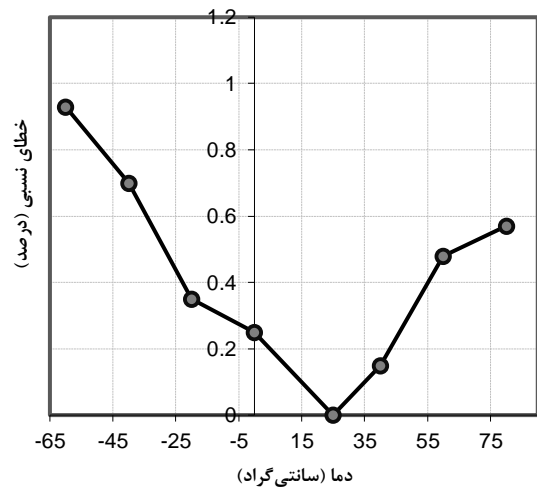


(الف)

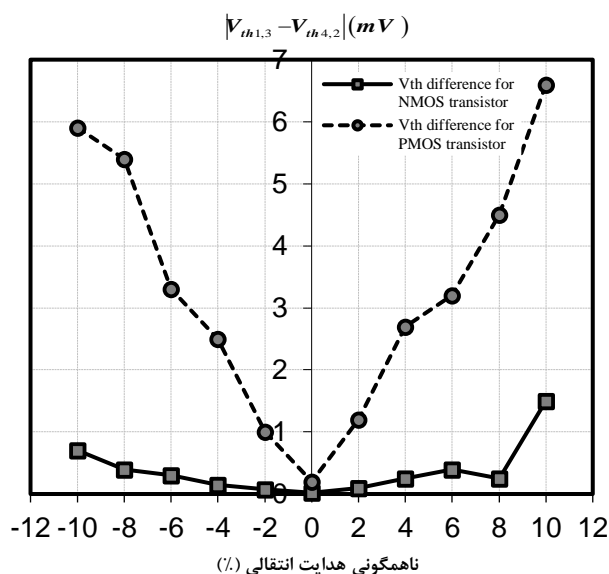


(ب)

شکل ۱۳: شکل ۱۳: نتایج تحلیل مونته کارلو برای ناهمگونی در پارامتر هدایت انتقالی ترانزیستورها با در نظر گرفتن $\pm 5\%$ درصد ناهمگونی (ب) نتایج تحلیل با اعمال $\pm 5\%$ درصد ناهمگونی در ولتاژ آستانه ترانزیستورها (تعداد نمونه ۱۰۰ عدد در نظر گرفته شده است). شکل ۱۴ خطای مدار را در دماهای مختلف را نشان می‌دهد. بیشترین خطا در منفی ۶۰ درجه سانتی‌گراد 0.93% درصد گزارش شده است. در این شبیه‌سازی خروجی به دست آمده در دمای ۲۵ درجه سانتی‌گراد به عنوان مقدار مرجع با خطای نسبی صفر در نظر گرفته شده و سپس خروجی‌های به دست آمده در سایر دماها با مقدار مرجع محاسبه می‌شود. گفتنی است که سیگنال‌های ورودی همانند سیگنال‌ها در در تحلیل مونته کارلو است.



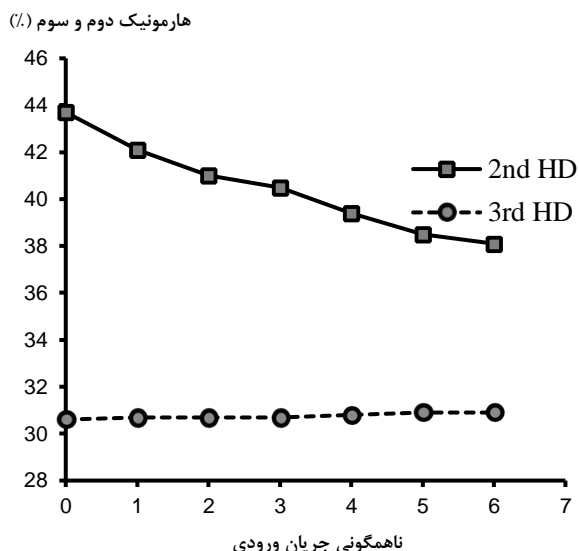
شکل ۱۴: رابطه درصد خطای جریان خروجی ضرب کننده نسبت به تغییرات دما



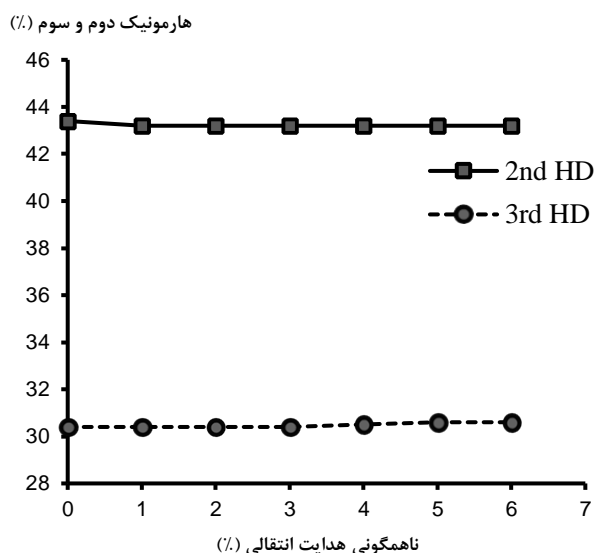
شکل ۱۹: اختلاف ولتاژ آستانه ترانزیستورهای NMOS و PMOS در حلقه TL متشکل از ترانزیستورهای (M₁, M₂, M₃ و M₄) نسبت به ورودی‌های متفاوت

۵- نتیجه

در این مقاله یک مدار ضرب کننده CMOS آنالوگ طراحی شد که توانایی عمل در چهار ربع را داشت. مدار متکی به دو جفت حلقه translinear دوگان است که این امر موجب شده تا مدار مزیت‌هایی نظیر توان مصرفی کم، پهنای باند وسیع، حذف اثر بدنه و دقت بالا را نسبت به کارهای پیشین داشته باشد. به منظور بررسی عملکرد مدار پیشنهادی، محدوده ورودی و خروجی به طور کامل مورد بحث قرار گرفت و اعوجاج هارمونیک ناشی از اثرات ناهمگونی در پارامترهای هدایت انتقالی ترانزیستورها در حلقه translinear دوگان و همچنین ناهمگونی در ولتاژ آستانه و جریان‌های ورودی مورد تجزیه و تحلیل قرار گرفته است. نتایج حاکی از این است که مدار ضرب کننده در مقابل اعوجاج هارمونیک بسیار مقاوم است. برای نشان دادن کارایی مدار جدید



شکل ۱۷: ناهمگونی جریان ورودی به عنوان عامل اعوجاج هارمونیک دوم



شکل ۱۸: ناهمگونی پارامترهای هدایت انتقالی به عنوان عامل اعوجاج هارمونیک

جدول ۲: مقایسه بین مدار ضرب کننده پیشنهادی و مدارهای پیشین

مراجع	سال انتشار (میلادی)	توان مصرفی (میلی وات)	منبع تغذیه (ولت)	اعوجاج هارمونیک کل (۱ مگا هرتز، ۲۰ میکرو آمپر)	خطای خطی (درصد)	پهنای باند در منفی ۳ دسی بل (کیگا هرتز)	تکنولوژی (میکرو متر)
[۱۴]	۲۰۱۵	۴۴۴/۵ پیکو وات	۰/۱۵	-	-	-	۰/۱۸
[۱۵]	۲۰۱۶	۴۴۴/۵ پیکو وات	۰/۱۵	-	-	-	۰/۱۸
[۲۶]	۲۰۱۶	۰/۵۲	۲/۸	۱/۴۵	۱/۱۲	۰/۱۳۷	۰/۱۸
[۲۷]	۲۰۱۷	۰/۱۵	±۰/۷۵	۰/۸	۱/۱	۰/۳	۰/۱۸
[۴۳]	۲۰۰۹	۰/۳۴	۳/۳	۰/۹۷	۱/۱	۰/۰۴۱	۰/۳۵
[۵۳]	۲۰۱۴	۰/۴۷۵	±۱/۵	۰/۸۷	۱/۳	۰/۰۲۴	۰/۳۵
[۵۶]	۲۰۱۴	۱/۶۲	±۰/۴	-	-	۰/۰۰۱	۰/۱۸
[۵۹]	۲۰۱۷	۰/۱۴۴	۱/۸	-	۱/۵	۰/۰۶۲	۰/۱۸
[۶۰]	۲۰۱۷	۷۷ نانو ولت	۰/۶	۴	۰/۸	۰/۰۰۱	۰/۱۸
این مقاله	۲۰۱۸	۰/۰۹۳۷	۱/۸	۱/۱	۰/۶۲	۱/۱۵	۰/۱۸

- ارائه شده، از آن به عنوان مدولاتور و دو برابر کننده فرکانس استفاده شده است. جدول ۲ بیان گر بهبود برخی از پارامترهای ضرب کننده پیشنهادی نسبت به کارهای قبلی انجام شده در زمینه مدارهای ضرب کننده می باشد.
- مراجع**
- [1] Y. Ishiguchi, D. Isogai, T. Osawa and S. Nakatake, "Analog perceptron circuit with DAC-based multiplier," *Integration, the VLSI journal*, vol. 63, pp. 240-247, 2018.
- [2] W. Liu and S. I. Liu, "Design of a CMOS low-power and low-voltage four-quadrant analog multiplier," *Analog Integr Circ S*, vol. 63, no. 2, pp. 307-312, 2010.
- [3] H. Sajjadi-Kia, "An analog cell and its applications in analog signal processing," *Int. J. Circ Theory App*, vol. 63, pp. 195-201, 2011.
- [4] V. J. S. Oliveira and N. Oki, "Low voltage four-quadrant current multiplier: an improved topology for n-well CMOS technology," *Analog Integrated Circuits and Signal Processing*, vol. 65, no. 1, pp. 61-66, 2010.
- [5] M. M. Maryan and S. J. Azhari, "A MOS translinear cell-based configurable block for current-mode analog signal processing," *Analog Integr. Circuits Signal Process*, vol. 92, no. 1, pp. 1-13, 2017.
- [۶] حسین مرادی فراهانی و جواد عسگری، «طراحی کنترل کننده عصبی-فازی نوع-۲»، مجله مهندسی برق، جلد ۴۳، شماره ۱، صفحات ۶۳-۷۳، دانشگاه تبریز، ۱۳۹۲.
- [۷] فرشاد گودرزی و سیروس طوفان، «بهبود مدار آشکارساز فاز-فرکانس مبتنی بر لچ پالس برای افزایش ناحیه تشخیص و فرکانس کاری مدار»، مجله مهندسی برق، جلد ۴۸، شماره ۱، صفحات ۲۸۳-۲۸۹، دانشگاه تبریز، ۱۳۹۷.
- [8] S. C. Lui, J. Kramer, G. Indiveri, T. Delbruck and R. Douglas, "Analog VLSI: Circuits and Principles," *Cambridge, MA, USA: Massachusetts Institute of Technology Press*, 2002.
- [9] I. M. Filanovsky and H. Baltes, "CMOS two-quadrant multiplier using transistor triode regime," *IEEE J Solid-St Circ*, vol. 27, no. 5, pp. 831-833, 1992.
- [10] E. S. Al-Suhaibani and A. M. Al-Absi, "A compact CMOS current mode analog multi-functions circuit," *Analog Integr Circ Sig Process*, vol. 84, no. 3, pp. 471-477, 2015.
- [11] K. Tanno, O. Ishizuka and Z. Tang, "Four-quadrant CMOS current-mode multiplier independent of device parameters," *IEEE Transactions on Circuits and Systems II: Analog and Digital Signal Processing*, vol. 47, no. 5, pp. 473-477, 2000.
- [12] I. Makwana and V. Shet, "A low power high bandwidth four quadrant analog multiplier in 32 nm CNFET technology," *International Journal of VLSI design & Communication Systems (VLSICS)*, vol. 3, no. 2, pp. 73-83, 2012.
- [13] S. Keles and H. H. Kuntman, "Four quadrant FGMOS analog multiplier," *Turk J Elec Eng & Comp Sci*, vol. 19, no. 2, pp. 291-301, 2011.
- [14] S. Soltany and A. Rezaei, "A new low power four quadrant analog multiplier," *Information Technology and Computer Science*, vol. 106, pp. 33-36, 2015.
- [15] S. Soltany and A. Rezaei, "A novel low power and low voltage bulk-input four-quadrant analog multiplier in voltage mode," *International Journal of Multimedia and Ubiquitous Engineering*, vol. 11, no. 1, pp. 159-168, 2016.
- [16] C. Popa, "Improved accuracy current-mode multiplier circuits with applications in analog signal processing," *IEEE Trans. Very Large Scale Integr. VLSI Syst*, vol. 22, no. 2, pp. 443-447, 2014.
- [17] M. Hashiesh, S. Mahmoud and A. M. Soliman, "New four-quadrant CMOS current-mode and voltage-mode multipliers," *Analog Integr. Circuits Signal Process*, vol. 45, no. 3, pp. 295-307, 2005.
- [18] A. Demosthenous and M. Panovic, "Low-voltage MOS linear transistor/squarer and four-quadrant multiplier for analog VLSI," *IEEE Trans. Circuits Syst. I*, vol. 52, no. 9, pp. 1721-1731, 2005.
- [19] A. U. Keskin, "A four quadrant analog multiplier employing CDDBA," *Analog Integr. Circuits Signal Process.*, vol. 40, no. 1, pp. 99-101, 2004.
- [20] E. Yuce, "Voltage-mode multiplier implementation employing current conveyors," *Electron. World*, vol. 112, no. 1850, pp. 45-47, 2006.
- [21] A. Zeki, A. U. Keskin and A. Toker, "DXCCII-based four-quadrant analog multipliers using triode MOSFETs," in *Proc. 4th ELECO, Bursa*, pp. 41-45, 2005.
- [22] E. Yuce, "Design of a simple current-mode multiplier topology using a single CCCII+," *IEEE Transactions on Instrumentation and Measurement*, vol. 57, no. 3, pp. 631-637, 2008.
- [23] M. T. Abuelma'atti and M. A. Al-Qahtani, "A current-mode current controlled current-conveyor-based analogue multiplier/divider," *Int. J. Electron.*, vol. 85, no. 1, pp. 71-77, 1998.
- [24] M. T. Abuelma'atti, "A novel analogue current-mode current-controlled frequency divider/multiplier," *Int. J. Electron.*, vol. 89, no. 6, pp. 455-465, 2002.
- [25] K. Anuntahirunrat, W. Tangsrirat, V. Riewruja and W. Surakamponorn, "Sinusoidal frequency doubler and full-wave rectifier based on translinear current-controlled current conveyors," *Int. J. Electron.*, vol. 91, no. 4, pp. 227-239, 2004.
- [26] A. Naderi and S. Ozoguz, "Design Of High-Linear, High-Precision Analog Multiplier Free From Body Effect," *Turkish Journal of Electrical Engineering and Computer Sciences*, vol. 24, no. 3, pp. 820-832, 2016.
- [27] I. Aloui, N. Hassen and K. Besbes, "A CMOS current mode four quadrant analog multiplier free from mobility reduction," *AEU - International Journal of Electronics and Communications*, vol. 82, pp. 119-126, 2017.
- [28] M. Kumngern and U. Torteanchai, "A CMOS current-mode multiplier/divider using a current amplifier," *Proceedings of the 7th International Power Engineering and Optimization Conference (PEOCO)*, pp. 742-745, 2013.
- [29] M. Gravati, M. Valle, G. Ferri, N. Guerrini and L. Reyes, "A novel current-mode very low power analog CMOS four quadrant multiplier," *IEEE 2005 Solid State Circuits Conference*, pp. 495-498, 2005.
- [30] M. Kumngern and D. Kobchai, "Versatile dual-mode class-AB four-quadrant analog multiplier," *Int J Signal Process*, vol. 2, no. 8, pp. 214-221, 2005.
- [31] A. Alikhani and A. Ahmadi, "A novel current-mode four-quadrant CMOS analog multiplier/divider," *Int J Electron Comm*, vol. 66, no. 7, pp. 581-586, 2012.
- [32] A. Lopez-Martin, A. Carlosena, "Current-mode multiplier/divider circuits based on the MOS translinear principle," *Analog Integr Circ S*, vol. 28, no. 3, pp. 265-278, 2001.
- [33] S. Menekay, R. Tarcan and H. Kuntman, "Novel high-precision current-mode circuits based on the MOS-translinear principle," *Int J Electron Comm*, vol. 63, no. 11, pp. 992-997, 2009.
- [34] S. Kaedi and E. Farshidi, "A new low voltage four-quadrant current mode multiplier," *IEEE 2012 20th Iranian Conference on Electrical Engineering*, pp. 160-164, 2012.
- [35] M. A. Al-Absi and I. A. As-Sabban, "A new highly accurate CMOS current-mode four-quadrant multiplier," *Arab J Sci Eng*, vol. 40, pp. 551-558, 2015.
- [36] A. Fabre, "New formulation to describe translinear mixed cells accurately," *Proc Inst Elect Eng*, vol. 141, no. 3, pp. 167-73, 1994.
- [37] H. A. Jafari, and Z. Abbasi and S. J. Azhari, "An offset-free high linear low power high speed four-quadrant MTL multiplier," *Italian Journal of Science & Engineering*, vol. 1, no. 3, pp. 129-134, 2017.
- [38] A. Alikhani and A. Ahmadi, "A novel current-mode four-quadrant CMOS analog multiplier/divider," *Int J Electron Comm*, vol. 66, no. 7, pp. 581-586, 2012.
- [39] S. Menekay, R. Tarcan and H. Kuntman, "Novel high-precision current-mode circuits based on the MOS-translinear principle," *Int J Electron Comm 2009*, vol. 63, no. 11, pp. 992-997, 2009.

- follower," *IEEE Journal of Solid-State Circuits*, vol. 25, no. 3, pp. 841-848, 1990.
- [52] S-I. Liu and C-C. Chang, "CMOS analog divider and four-quadrant multiplier using pool circuits," *IEEE Journal Solid-State Circuits*, vol. 30, no.9, pp. 1025-1029, 1995.
- [53] N. Beyraghi, A. Khoei, and K. Hadidi, "CMOS design of a four quadrant multiplier based on a novel squarer circuit," *Analog Integr. Circuits Signal Process*, vol. 80, no. 3, pp. 473-481, 2014.
- [54] I. Navarro, A. J. Lopez-Martin, C A. De La Cruz-Bias, A. Carlosena, "A compact four-quadrant floating-gate MOS multiplier," *Analog Integrated Circuits and Signal Processing*, vol. 41, no. 2-3, pp. 159-166, 2004.
- J. M. A. Miguel, C A. De La Cruz Blas and A. Lopez-Martin, "Fully differential current-mode CMOS triode translinear multiplier," *IEEE T Circuits Syst*, vol. 58, no. 1, pp. 21-25, 2011.
- [55] F. Khateb, "Bulk-driven floating-gate and bulk-driven quasi-floating-gate techniques for low-voltage low-power analog circuits design," *International Journal of Electronics and Communications (AEÜ)*, vol. 68, no. 1, pp. 64-72, 2014.
- [56] A. K. M. Mahfuzul Islam, "Programmable Neuron Array Based on a 2-Transistor Multiplier Using Organic Floating-Gate for Intelligent Sensors," *IEEE Journal on Emerging and Selected Topics in Circuits and Systems*, vol. 7, no. 1, pp. 81-91, 2017.
- [57] A. Panigrahi and P. K. Paul, "A novel bulk-input low voltage and low power four quadrant analog multiplier in weak inversion," *Analog Integrated Circuits and Signal Processing*, vol. 75, no. 2, pp. 237-243, 2013.
- [58] C. A. De La Cruz-Blas, G. Thomas-Erviti, J. M. Algueta-Miguel and A. López-Martín, "CMOS analogue current-mode multiplier/divider circuit operating in triode-saturation with bulk-driven techniques," *INTEGRATION, the VLSI journal*, vol. 59, pp. 243-246, 2017.
- [59] X. Xin, J. Cai, R. Xie and P. Wang, "Voltage-mode ultra-low power four quadrant multiplier using subthreshold PMOS," *IEICE Electronics Express*, vol. 14, no. 6, pp. 1-8, 2017.
- [60] M. A. Al-Absi, A. Hussein and M. TaherAbuelma'atti, "A Low Voltage and Low Power Current-Mode Analog Computational Circuit," *Circuits Syst Signal Process*, vol. 32, no. 1, pp. 321-331, 2013.
- [61] R. Wu and J. Xing, "MOS translinear principle based analog four-quadrant multiplier," *IEEE 2012 International Conference on Anti-Counterfeiting, Security and Identification*, pp. 1-4, 2012.
- [40] S. Kaedi and E. Farshidi, "A new low voltage four-quadrant current mode multiplier," *In: IEEE 2012 20th Iranian Conference on Electrical Engineering; Tehran, Iran. New York, NY, USA: IEEE*, pp. 160-164, 2012.
- [41] I. Chaisayun, S. Piangprantong, K. Dejhan, (2012), "Versatile analog squarer and multiplier free from body effect. *Analog Integrated Circuits and Signal Processing*," vol. 71, no. 3, pp. 539-547, 2012.
- [42] E. Ibaragi, A. Hyogo and K. Sekine, "A CMOS analog multiplier free from mobility reduction and body effect," *Analog Integrated Circuits and Signal Processing*, vol. 25, no. 3, pp. 281-290, 2000.
- [43] A. Naderi, A. Khoei, K. Hadidi and H. Ghasemzadeh, "A new high speed and low power four-quadrant CMOS analog multiplier in current mode," *AEU-Int. J. Electron. Commun*, vol. 63, no. 9, pp. 769-775, 2009.
- [44] C. Abel, S. Sakurai, E. Larsen and M. Ismail, "Four-quadrant CMOS/BiCMOS multipliers using linear-region MOS transistors," *IEEE International Symposium on Circuits and Systems*, vol. 5, pp. 273-276, 1994.
- [45] Y. Igarashi, A. Hyogo and K. Sekine, "Design of very low-distortion, four-quadrant analog multiplier-type CMOS-OTA considering variation of mobility according to the gate voltage," *Electron. Commun. Jpn. (Part II: Electron.)*, vol. 77, no. 7, pp. 65-76, 1994.
- [46] A. Naderi, H. Mojarrad, H. Ghasemzadeh, A. Khoei, and K. Hadidi, "Four-quadrant CMOS analog multiplier based on new current squarer circuit with high-speed," *EUROCON'2009. IEEE*, pp. 282-287, 2009.
- [47] J. K. Seon, "Design and application of precise analog computational circuits," *Analog Integr. Circuits Signal Process*, vol. 54, no. 1, pp. 55-66, 2008.
- [48] S. Keles and H. H. Kuntman, "Four quadrant FG MOS analog multiplier," *Turk J Elec Eng & Comp Sci*, vol. 19, no. 2, pp. 291-301, 2011.
- [49] V. J. Oliveira and N. Oki, "Low voltage four-quadrant current multiplier: an improved topology for n-well CMOS process," *Analog Integr. Circuits Signal Process*, vol. 65, no. 1, pp. 61-66, 2010.
- [50] A.S. Nandini., S. Madhavan and Dr chirag Sharma, "Design and Implementation of Analog Multiplier with Improved linearity" *International Journal of VLSI design & communication systems (VLSICS)*, vol. 3, no. 5, pp. 631-637, 2012.
- [51] H.-J. Song and C.-K. Kim, "An MOS four-quadrant analog multiplier using simple two-input squaring circuit with source

زیر نویس ها

⁷ CCCII+s

⁸ Weak inversion

⁹ Strong inversion

¹⁰ Saturation

¹¹ Squarer

¹ Multiplier

² Dual

³ Mismatch

⁴ THD

⁵ CCs

⁶ CCCII