

طراحی تمام جمع کننده آزمون پذیر بر اساس اتوماتای سلولی کوانتومی در مقیاس نانو

سعید سیدی^۱، فارغ التحصیل دوره کارشناسی ارشد؛ نیما جعفری نویمی پور^۲، دانشیار

۱- گروه مهندسی کامپیوتر - واحد تبریز - دانشگاه آزاد اسلامی - تبریز - ایران - Stu.SaeidSeyedi@iaut.ac.ir

۲- گروه مهندسی کامپیوتر - واحد تبریز - دانشگاه آزاد اسلامی - تبریز - ایران - jafari@iaut.ac.ir

چکیده: اتوماتای سلولی کوانتومی امروزه یکی از فناوری‌های مهم، دارای چگالی بالا، سرعت بالا و انرژی مصرفی کم در طراحی مدارات در مقیاس نانو است. ارائه روشی برای آزمون توکار مدارات پیاده شده بر اساس اتوماتای سلولی کوانتومی که باعث افزایش قابلیت کنترل و افزایش مشاهده و آزمون پذیری مدارات گردد، بسیار حائز اهمیت است. مدار تمام جمع کننده به عنوان یکی از مدارات مهم و اساسی در سیستم‌های دیجیتال و اتوماتای سلولی کوانتومی سلولی است. لذا، پیاده سازی مدار تمام جمع کننده با ساختار آزمون توکار و قابلیت‌های مشاهده پذیری و کنترل پذیری اجزای میانی آن، موجب افزایش قابلیت اطمینان و افزایش آزمون پذیری سایر مدارات طراحی شده بر این اساس می‌گردد. در این راستا، در این مقاله یک ساختار جدید برای مدار تمام جمع کننده که دارای خاصیت مشاهده پذیری و آزمون پذیری با روش آزمون توکار است معرفی می‌گردد. در این روش تمامی ورودی‌های مدار تمام جمع کننده دارای قابلیت آزمون پذیری و کنترل پذیری می‌باشند و جهت افزایش آزمون پذیری گره‌های میانی مشاهده پذیر گردیده‌اند. این مدار نسبت به مدارات قبلی از لحاظ تعداد سلول دارای سلول کمتر، سرعت بهتر و فضای مصرفی کم است. همچنین، صحت عملکرد مدار پیشنهادی توسط شبیه‌ساز معتبر QCADesigner مورد بررسی قرار گرفته و تأیید گردیده است.

واژه‌های کلیدی: تمام جمع کننده، اتوماتای کوانتومی سلولی، آزمون پذیری، نانو فناوری، آزمون توکار.

A Testable Full Adder Designing based on Quantum-Dot Cellular Automata on Nanoscale

Saeid Seyedi¹, MSc Graduate ; Nima Jafari Navimipour², Associate Professor

1- Department of Computer Engineering, Tabriz Branch, Islamic Azad University, Tabriz, Iran,
Email: Stu.SaeidSeyedi@iaut.ac.ir

2- Department of Computer Engineering, Tabriz Branch, Islamic Azad University, Tabriz, Iran,
Email: jafari@iaut.ac.ir

Abstract: Quantum dot cellular automata (QCA) as an important technology with minimal size, high speed, low latency and power consumption is suitable replacement for semiconductor transistor technology. The growing demand for observability and testability attracts more research on it. A full adder circuit is a basic unit in digital arithmetic and logic circuits. In this paper, a unique structure for testable full adder is presented in QCA. The implementation of the full adder circuit with the structure of the Built In-Self Test (BIST), its observational capabilities and its intermediate component controllability increase the reliability and the test capability of other designed circuits based on this. All of inputs in the proposed have testability and controllability capability and the middle nodes have observability feature. This design in contrast to its counterparts uses three-layer scheme and surpasses the best previous layer designs in terms of area, delay and complexity. The simulation results using QCADesigner software confirmed that the presented circuit works well and can be used as a high-performance design in QCA technology.

Keywords: Full adder, quantum-dot cellular automata (QCA), testability, nanotechnology, built-in-self test.

تاریخ ارسال مقاله: ۱۳۹۶/۱۱/۱۶

تاریخ اصلاح مقاله: ۱۳۹۷/۰۲/۰۵ و ۱۳۹۷/۰۴/۱۷

تاریخ پذیرش مقاله: ۱۳۹۷/۰۴/۳۱

نام نویسنده مسئول: نیما جعفری نویمی پور

نشانی نویسنده مسئول: ایران - تبریز - ضلع شرقی اتوبان پاسداران - دانشگاه آزاد اسلامی واحد تبریز - دانشکده فنی و مهندسی - گروه مهندسی کامپیوتر

مقدمه

ساخته می‌شود از اهمیت بالایی برخوردار است به‌گونه‌ای که تولید یک تراشه بدون انجام عملیات آزمون و مشاهده‌پذیرسازی غیرمنطقی است [۱۷-۱۵]. با افزایش حجم روزافزون مدارهای مجتمع، پیچیدگی طراحی و ساخت مدارها و همچنین پیچیدگی آزمون نیز بیشتر می‌شود به‌گونه‌ای که تولید و انجام عملیات آزمون کامل مدارهای مجتمع بزرگ بسیار زمان‌بر و پرهزینه و در برخی موارد غیرعملی است؛ بنابراین یافتن روش‌هایی برای آزمون‌پذیر و مشاهده‌پذیرسازی مدارات از اهمیت بالایی برخوردار است. از این رو تاکنون مطالعات فراوانی برای آزمون مدارات بر اساس فناوری اتوماتای سلولی کوانتومی صورت گرفته است. برخی از این طرح‌ها به بررسی انواع خطاهای قابل وقوع در اتوماتای سلولی کوانتومی و برخی دیگر به تولید الگوهای آزمون و ما سک کردن آن‌ها پرداخته‌اند و برخی دیگر نیز به تولید چهارچوبی برای آزمون پرداخته‌اند که در مدارات جدید کارساز نیست و در یک مدار هم‌زمان قابلیت مشاهده‌پذیری و آزمون‌پذیری را پیاده‌سازی نموده‌اند [۲۳-۱۸].

از این رو، در این مقاله یک تمام جمع‌کننده مشاهده‌پذیر و کنترل‌پذیر بر اساس فناوری اتوماتای سلولی کوانتومی با حداقل میزان مصرف سلول ارائه گردیده است. این تمام جمع‌کننده آزمون‌پذیر با استفاده در ساختارهای دیگر نظیر واحد محاسبه و منطق باعث افزایش آزمون‌پذیری آن مدارات نیز می‌گردد و نیز می‌توان از روش آزمون‌پذیر و مشاهده‌پذیر سازی این تمام جمع‌کننده برای آزمون‌پذیری و مشاهده‌پذیری دیگر مدارات در فناوری اتوماتای سلولی کوانتومی استفاده کرد. روش ارائه شده در این مقاله به‌گونه‌ای عمل می‌کند که با بکارگیری دروازه‌های آزمون توکار^۴ تمامی مقادیر ورودی و خروجی را مورد تحلیل و بررسی قرار می‌دهد و هیچ‌گونه اثر جانبی بر مدار تحت آزمون نگذاشته و فقط مدار را آزمون و مورد بررسی قرار می‌دهد. در حالت کلی اهداف این مقاله عبارت‌اند از:

- آزمون‌پذیرسازی مدار تمام جمع‌کننده بر اساس اتوماتای سلولی کوانتومی در مقیاس نانو
- مشاهده‌پذیرسازی گره‌های میانی جهت افزایش آزمون‌پذیری مدار تمام جمع‌کننده بر اساس اتوماتای سلولی کوانتومی در مقیاس نانو
- بهینه‌سازی مدار تمام جمع‌کننده مشاهده‌پذیر و کنترل‌پذیر از نظر سلول و فضای مصرفی بر اساس اتوماتای سلولی کوانتومی در مقیاس نانو

این مقاله از پنج بخش تشکیل شده است. در بخش اول مقدمه‌ای بر اتوماتای سلولی کوانتومی و اهداف مقاله بررسی گردید. در بخش دو به معرفی ساختارهای آزمون‌پذیر در اتوماتای سلولی کوانتومی پرداخته شده است. در بخش سه طرح پیشنهادی ارائه شده است. در بخش چهار مدار تمام جمع‌کننده آزمون‌پذیر مورد بررسی و تحلیل قرار گرفته است.

فناوری نانو^۱ به توانایی تولید مواد، سیستم‌ها، دانش مهندسی و ابزارها برای به‌دست‌گرفتن کنترل مواد در سطح مولکولی و اتمی اطلاق می‌گردد. موضوع اصلی در مقیاس نانو مهار ماده یا دستگاه در ابعاد نانومتری است. در فناوری نانو با به‌کارگیری خواص مواد و سیستم‌هایی که اثرات فیزیکی متأثر از غلبه خواص کوانتومی به خواص کلاسیک از خود نشان می‌دهند، می‌توان کنترل مواد در مقیاس نانو را به‌دست گرفت و از آن‌ها در علوم مختلط همچون مهندسی مواد، مهندسی کامپیوتر، مهندسی برق و حتی مهندسی مکانیک استفاده کرد. در دنیای کامپیوتر نیز فناوری اتوماتای سلولی کوانتومی نقطه‌ای به‌عنوان یک فناوری پیشرو در مقیاس نانو، با استفاده از خواص کوانتومی است که از طریق ارتباطات کوانتومی بین سلولی کار می‌کند، می‌تواند جایگزین مناسبی برای فناوری‌های قبلی همچون فناوری نیم‌رسانای اکسید فلزی مکمل باشد [۱۱]. از سوی دیگر، فناوری نیم‌رسانای اکسید فلزی مکمل^۲ یکی از فناوری‌های مهم برای طراحی و پیاده‌سازی مدارات در مقیاس نانو است [۲] و امروزه بسیار مورد استفاده قرار می‌گیرد [۳]. ولی مشکلات فراوان و اساسی همچون محدودیت فیزیکی را دارد [۴-۶]. با کاهش اندازه‌ی ترانزیستورهای نیم‌رسانای اکسید فلزی مکمل در حد نانو، توسعه‌ی مدارات در مقیاس نانو با مشکلاتی همچون نویز‌پذیری بالا، نشتی جریان، توان بالا، کاهش بسیار محسوس دقت مدار که ناشی از دمای بالای تراشه است روبرو خواهد شد [۷، ۸]. بدین دلیل پژوهشگران مطالعات زیادی را برای یافتن فناوری جایگزین انجام داده‌اند که یکی از دست‌یافته‌های مهم در این زمینه فناوری اتوماتای سلولی کوانتومی است. اتوماتای سلولی کوانتومی برای نخستین بار در سال ۱۹۹۳ توسط لنت^۳ و تاگو^۴ معرفی گردید [۹]. این فناوری روش جدیدی را برای نمایش صفر و یک منطقی با نحوه و چگونگی آرایش الکترون‌ها در سلول‌های کوانتومی ارائه داده است؛ از این روی، جریان الکتریکی برای نمایش صفر و یک منطقی استفاده نمی‌گردد [۱۰]. در واقع در اتوماتای سلولی کوانتومی اطلاعاتی که به صورت دودویی هستند با بهره‌گیری از پیکربندی بارها در داخل یک سلول مشخص و رمزنگاری می‌گردند [۹]. تراکنش کلوبی^۵ میان سلول‌های مشابه صورت می‌پذیرد و این تراکنش وظیفه انجام عملیات جاری و پردازش را بر عهده دارد پس هیچ‌گونه جریانی مورد استفاده قرار نمی‌گیرد و از هیچ سیمی نیز استفاده نمی‌شود [۱۱، ۱۲].

در فناوری اتوماتای سلولی کوانتومی، مدارات از عناصر و بلوک‌هایی نظیر دروازه‌های اکثریت، معکوس‌کننده‌ها و تمام جمع‌کننده‌ها ساخته می‌شوند [۱۳]. تمام جمع‌کننده به‌عنوان یکی از عناصر اصلی مورد استفاده در مدارات در فناوری اتوماتای سلولی کوانتومی است و بنابراین ساخت مداراتی با تمام جمع‌کننده بهینه و آزمون‌پذیر و مشاهده‌پذیر از اهمیت بالایی برخوردار است [۱۴]. در فرآیند طراحی و ساخت مدارهای مجتمع، اطمینان از صحت کارکرد تراشه‌ای که طراحی و

در [۲۷] مدار تمام جمع کننده جدیدی در فناوری آتوماتای کوانتومی سلولی ارائه شده است که از آن برای طراحی یک تمام جمع کننده چهار بیتی استفاده شده است. تمام جمع کننده ارائه شده در یک لایه و با استفاده از ۴۶ سلول و با تاخیر ۴ ساعته با استفاده از دروازه‌های اکثریت سه ورودی و دروازه اکثریت چرخش یافته با روش سیم‌کشی هم صفحه، در شبیه‌ساز QCADesigner پیاده‌سازی گردیده و مورد آزمون قرار گرفته است و صحت عمل کرد مدار تأیید گردیده است. مدار ارائه شده از سرعت و عملکرد بالایی برخوردار است ولی ویژگی آزمون‌پذیری و مشاهده‌پذیری در آن لحاظ نگردیده است.

در نهایت، در [۲۸] یک ساختار جدیدی برای دروازه "یای انحصاری" با دو ورودی ثابت و دو ورودی اصلی پیاده‌سازی شده است. مدار تمام جمع کننده پیاده‌سازی شده با استفاده از دو دروازه "یای انحصاری" با سه ورودی اصلی و سه ورودی ثابت نیز در این مقاله ارائه شده است که از روش سیم‌بندی هم‌صفحه و دروازه‌های اکثریت سه ورودی و پنج ورودی در آن استفاده است. مدار تمام جمع کننده پیاده‌سازی شده در یک لایه و با استفاده از ۲۹ سلول و تاخیر ۲ ناحیه ساعت‌زنی در نرم‌افزار شبیه‌ساز QCADesigner شبیه‌سازی شده است و مورد آزمون قرار گرفته است و نتایج حاصل نشان از صحت عملکرد مدار دارد. با توجه به بهبود مدار در میزان تعداد سلول مصرفی و تاخیر، بهبود قابل توجهی نسبت به طرح‌های پیش‌تر از خود دارد ولی مدار پیاده‌سازی شده بحث آزمون‌پذیری و مشاهده‌پذیری را لحاظ ننموده است.

طرح پیشنهادی

مدار تمام جمع کننده یکی از مدارهای مهم و اساسی در آتوماتای سلولی کوانتومی بوده و نقش بسیار مهمی را در اجرای عملیات در هسته‌ی سخت‌افزاری یک برنامه کامپیوتر را ایفا می‌کند. با این وجود، تاکنون هیچ طرحی برای مشاهده‌پذیری سلول‌های میانی و کنترل‌پذیری آن ارائه نشده است. مدار تمام جمع کننده عملیات "جمع" و "رقم نقلی" را انجام می‌دهند و این عملیات جاری به صورت موازی انجام می‌شود. در مدار تمام جمع کننده مشاهده‌پذیر و آزمون‌پذیر با قابلیت کنترل‌پذیری در ورودی، با استفاده از سه تسهیم کننده در بخش ورودی، میزان مقادیر ورودی بر اساس عملوند اعمال شده، کنترل‌پذیر و آزمون‌پذیر گردیده‌اند و با استفاده از یک تسهیم کننده که در خروجی قرار گرفته است مقادیر خروجی اصلی جمع و میزان معکوس رقم نقلی بر اساس عملوند اعمال شده مورد بررسی و مشاهده‌پذیر گردیده است. در شکل ۱ ساختار مدار تمام جمع کننده آزمون‌پذیر و مشاهده‌پذیر نشان داده شده است.

۳-۱- دروازه تمام جمع کننده

در طراحی دروازه تمام جمع کننده مشاهده‌پذیر و آزمون‌پذیر برای انجام عملیات داخلی تمام جمع کننده از سه دروازه اصلی استفاده گردیده است. دروازه اکثریت سه ورودی، دروازه اکثریت پنج ورودی و دروازه

سرانجام در بخش پنج نتیجه‌گیری و کارهای آتی مطرح خواهد گردید.

بررسی بر ساختارهای آزمون‌پذیر مبتنی بر آتوماتای سلولی کوانتومی

در این بخش طرح‌هایی در زمینه آزمون‌پذیری و مشاهده‌پذیری بر اساس آتوماتای سلولی کوانتومی در مقیاس نانو مورد تحلیل و بررسی قرار گرفته‌اند.

در [۲۴] یک مدار محافظه‌کارانه^۷ و تضمین‌کننده تسلاوی^۸ در آتوماتای سلولی کوانتومی ارائه گردیده است که ۱۳ عملکرد استاندارد را انجام می‌دهد. در حالت کلی در این طرح از دروازه‌های محافظه‌کار برای پیاده‌سازی استفاده گردیده است. این طرح در نرم‌افزار شبیه‌ساز QCADesigner شبیه‌سازی شده است و صحت اجرای آن توسط نرم‌افزار تأیید گردیده است و از نظر مساحت مصرفی و ناحیه ساعت‌زنی با طرح‌های پیشین مقایسه شده است.

در [۲۵] یک مدار منطقی برای ایجاد قابلیت آزمون در مدارات آتوماتای سلولی کوانتومی ارائه گردیده است که توابع همگانی را اجرا می‌نماید. طراحی مدار منطقی برگشت‌پذیر بر اساس ساختار آتوماتای سلولی کوانتومی با استفاده از دروازه‌های اکثریت نسبی با هدف کاهش سیم و همچنین کاهش میزان نواحی ساعت‌زنی پیاده‌سازی گردیده است. این دروازه داده‌های آزمون را وارد مدار می‌کند و با دریافت خروجی مدار را مورد آزمون و بررسی قرار می‌دهد. از معایب این مدار می‌توان به تعداد سلول بالا و عدم مشاهده‌پذیر بودن آن اشاره نمود.

همچنین، در [۲۶] یک مدار محافظه‌کار سه در سه معرفی شده است که نحوه‌ی عملکرد این مدار با استفاده از منطق برگشت‌پذیری پیاده‌سازی گردیده است. اصل اساسی در مدار محافظه‌کار ارائه شده حفظ ورودی و خروجی است. مدار سه در سه با دروازه‌های اکثریت رای دهنده برای اعمال منطق برگشت‌پذیری در مدار مورد نظر پیاده‌سازی و بهینه‌سازی شده‌اند و از روش سیم‌کشی هم لایه برای ایجاد ارتباط مابین دروازه‌های داخلی استفاده گردیده است. صحت عملکرد مدار طراحی شده توسط نرم‌افزار شبیه‌ساز QCADesigner تأیید گردیده است و تعداد کم سلول و مناطق ساعت‌زنی کمتر از هم‌تایان از ویژگی‌های این طرح است ولی در این طرح مشاهده‌پذیری سلول‌های میانی مدار لحاظ نگردیده است.

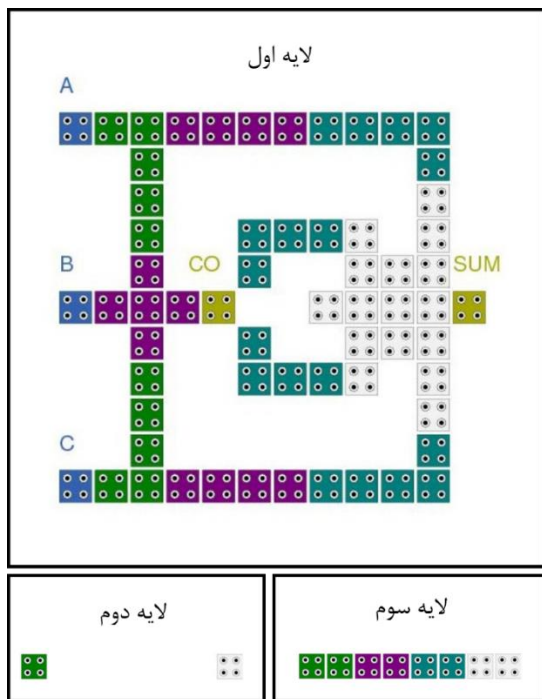
در [۱۸] جمع‌کننده‌ای با منطق تحمل‌پذیری خطا با استفاده از روش آزمون‌پذیری در آتوماتای کوانتومی سلولی مطرح کرده است. در واقع این مدار با استفاده از دروازه‌های آزمون‌پذیر داخلی، دروازه اصلی را تحمل‌پذیر خطا می‌کند. در این مدار از الگوهای آزمون برای تأیید صحت عملکرد مدار آزمون‌پذیر استفاده گردیده است که صحت عملکرد مدار را تأیید می‌کند. مهم‌ترین مشخصه این مدار قابلیت آزمون‌بودن مدار در یک و چندین گسل هم‌زمان آن توسط تنها سه بردار آزمون است. از معایب این طرح می‌توان به تعداد بالای سلول مصرفی و عدم مشاهده‌پذیر بودن طرح اشاره نمود.

جدول ۱: نحوه عملکرد مدار تمام جمع کننده

A	B	C _{in}	Maj-3	Maj-3̄	Maj-5	Sum	Carry
۰	۰	۰	۰	۱	۰	۰	۰
۰	۰	۱	۰	۱	۱	۱	۰
۰	۱	۰	۰	۱	۱	۱	۰
۰	۱	۱	۱	۰	۰	۰	۱
۱	۰	۰	۰	۱	۱	۱	۰
۱	۰	۱	۱	۰	۰	۰	۱
۱	۱	۰	۱	۰	۰	۰	۱
۱	۱	۱	۱	۰	۱	۱	۱

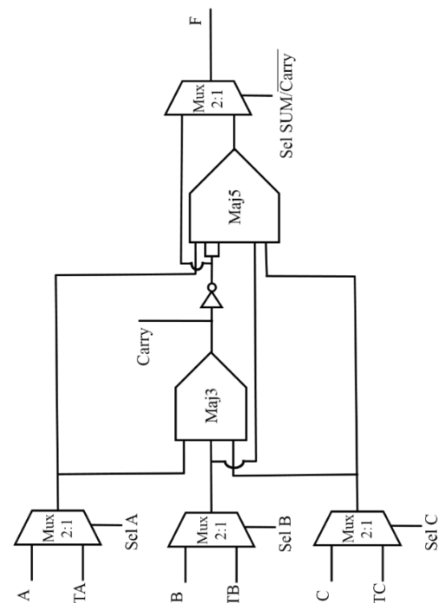
۳-۲- دروازه تسهیم کننده

یکی دیگر از دروازه‌های مورد نیاز برای دروازه تمام جمع کننده مشاهده پذیر و کنترل پذیر در اتوماتای سلولی کوانتومی، دروازه تسهیم کننده است. با توجه به دیگرام دروازه تمام جمع کننده مشاهده پذیر و کنترل پذیر مورد نظر، نیاز به چهار دروازه تسهیم کننده دوبه یک است که هر یک از این دروازه‌های تسهیم کننده شامل دو ورودی اصلی و یک خط کنترل یک خروجی می‌باشند. با مطالعاتی که در زمینه تسهیم کننده صورت گرفت است، دیگرام دروازه تسهیم کننده مناسب در شکل ۴ و شبیه سازی شده در محیط شبیه ساز در شکل ۵ مشاهده می‌شود. این طرح در مقاله [۲۹] پیاده سازی گردیده است و صحت عملکرد آن تأیید گردیده است و به علت تعداد پایین سلول و ناحیه مصرفی کم و ساعت زنی کم در این دروازه مورد استفاده قرار گرفته است.

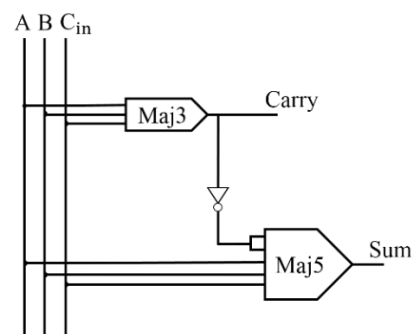


شکل ۳: دروازه تمام جمع کننده مورد استفاده بر اساس اتوماتای کوانتومی سلولی

معکوس کننده دروازه‌های مورد استفاده در طراحی تمام جمع کننده هستند. این تمام جمع کننده در یک لایه طبق ساختار نشان داده شده در شکل ۲ طراحی گردیده است. این تمام جمع کننده دارای سه ورودی A و B و C و دو خروجی SUM و Carry است. شکل ۲ نشان می‌دهد که می‌توان رقم نقلی خروجی را مستقیماً از خود دروازه اکثریت سه ورودی به دست آورد و با انتقال آن به دو دروازه معکوس کننده از خروجی حاصل به عنوان ورودی برای دروازه اکثریت پنج ورودی می‌توان بهره برد و سه ورودی دیگر نیز همان ورودی‌های اولیه هستند و خروجی دروازه اکثریت پنج ورودی، مقدار جمع است که می‌توان از آن استفاده کرد. نحوه استخراج سیگنال‌های خروجی رقم نقلی و جمع از سیگنال‌های ورودی تمام جمع کننده در جدول ۱ نشان داده شده است. تمام جمع کننده مورد استفاده طراحی شده در شکل ۳ نشان داده شده است و با توجه به شکل مشاهده می‌گردد، تمام جمع کننده استفاده شده در سه لایه فعال پیاده سازی شده است و با از لایه دوم فقط به عنوان واسط استفاده گردیده است و لایه سوم نقش سیم را ایفا می‌نماید و نیز برای هم‌زمان سازی ساعت کاری مدار مورد استفاده قرار گرفته است.



شکل ۱: ساختار دروازه تمام جمع کننده کنترل پذیر و مشاهده پذیر

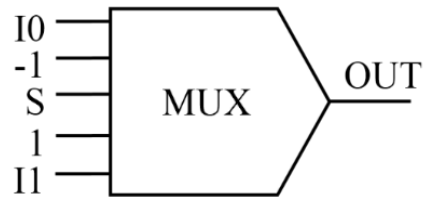


شکل ۲: ساختار دروازه تمام جمع کننده

تعداد سلول و مصرف انرژی بهینه ارائه می شود. این مدار آن چنان که در ادامه بحث و بررسی می شود در سه لایه فعال پیاده سازی شده است. مدار منطقی یا ساختار مورد استفاده برای پیاده سازی تمام جمع کننده آزمون پذیر و مشاهده پذیر در شکل ۱ نشان داده شده است. ساختار کلی دیاگرام منطقی تمام جمع کننده آزمون پذیر و مشاهده پذیر ارائه شده، دارای یک دروازه اکثریت سه ورودی و یک دروازه اکثریت پنج ورودی و یک دروازه معکوس کننده و چهار دروازه تسهیم کننده است. این اجزا در سه لایه کنار یکدیگر قرار گرفته و تشکیل یک تمام جمع کننده سه سطحی آزمون پذیر و مشاهده پذیر را داده اند. در شکل ۶ لایه اول، در شکل ۷ لایه دوم و سوم و در نهایت در شکل ۸ دروازه تمام جمع کننده آزمون پذیر و مشاهده پذیر در اتوماتای سلولی کوانتومی به صورت کامل نشان داده شده است.

همان طور که در شکل ۶ قابل مشاهده است، تمامی ورودی ها و خروجی های مدار تمام جمع کننده پیشنهادی در این لایه به مدار اعمال گردیده است و تمامی عملیات منطقی مربوط به تمام جمع کننده اعم از جمع و رقم نقلی نیز در این لایه صورت گرفته است و عملیات مربوط به رقم نقلی در این لایه در دو بخش از چهار مرحله ساعت زنی در این لایه انجام گرفته است و عملیات مرتبط با جمع در چهار بخش از چهار مرحله ساعت زنی صورت گرفته است. برای دریافت ورودی ها و اعمال آن به مدار تمام جمع کننده از سه دروازه تسهیم کننده استفاده گردیده است که دارای سه ورودی می باشند که یکی از ورودی ها مختص ورودی اصلی مدار (A, B, C) و دیگری برای ورود داده های آزمون دلخواه به مدار (TA, TB, TC) است و در نهایت پایه کنترلی S0 که برای انتخاب نوع ورودی مورد استفاده قرار می گیرد. همان طور که در شکل ۶ مشخص گردیده است، پایه کنترلی سه ورودی به همدیگر وصل شده است که با صفر شدن این پایه مقدار اصلی به مدار تمام جمع کننده اعمال می گردد و با یک شدن آن مقادیر داده های آزمون دلخواه به مدار داده می شود. بعد از اعمال مقادیر مدار، مدار تمام جمع کننده عملیات مخصوص به خود را انجام داده و در نهایت خروجی به تسهیم کننده ای که در خروجی مدار قرار گرفته است انتقال می یابد. در این تسهیم اگر مقدار S1 برابر یک باشد مقدار جمع به خروجی انتقال می یابد و در غیر این صورت اگر مقدار S1 برابر با صفر باشد مقدار معکوس خروجی رقم نقلی به خروجی انتقال می یابد. در داخل مدار از دو دروازه معکوس کننده همسان برای معکوس سازی رقم نقلی استفاده گردیده است و این دو دروازه به دلیل نویز داخلی مدار و مشاهده پذیر سازی مدار دارای اهمیت بالایی هستند و به همین دلیل یکی از این دروازه ها (چون هر دو دروازه یکسان هستند) به عنوان نقطه مشاهده پذیری انتخاب گردیده است و در عین حال از روی خروجی آن نیز می توان صحت خروجی رقم نقلی را نیز تحلیل کرد و به خروجی انتقال داد.

همان طور که در شکل ۷ نشان داده شده است، در لایه دوم با توجه به قوانین اتوماتای سلولی کوانتومی، مبنی بر اینکه اگر سلولی زیر



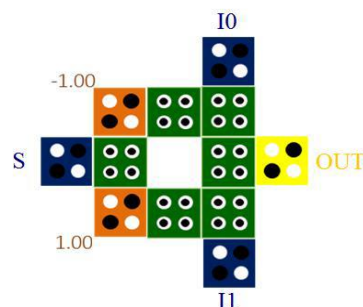
شکل ۴: دیاگرام تسهیم کننده مورد استفاده [۲۶]

عملکرد کلی تسهیم کننده طراحی شده در اتوماتای سلولی کوانتومی بدین صورت است که با دادن مقادیر مورد نظر به خط کنترل، مقدار مرتبط با آن مقدار در خروجی قابل مشاهده خواهد بود. طبقه عملکرد تسهیم کننده بر اساس اتوماتای کوانتومی سلولی در جدول ۲ به طور کامل نشان داده شده است. S به عنوان خط کنترل و I0، I1، به عنوان ورودی و OUT خروجی تسهیم کننده دوبه یک می باشند.

در حالت کلی تسهیم کننده اگر در ورودی مدار قرار بگیرد وظیفه کنترل و آزمون مدار را بر عهده دارد و اگر در خروجی مدار طراحی شده قرار بگیرد، وظیفه مشاهده پذیر نمودن مدار را بر عهده دارد.

جدول ۲: نحوه عملکرد تسهیم کننده دوبه یک

S	OUT
۰	I0
۱	I1



شکل ۵: تسهیم کننده شبیه سازی شده و مورد استفاده [۲۹]

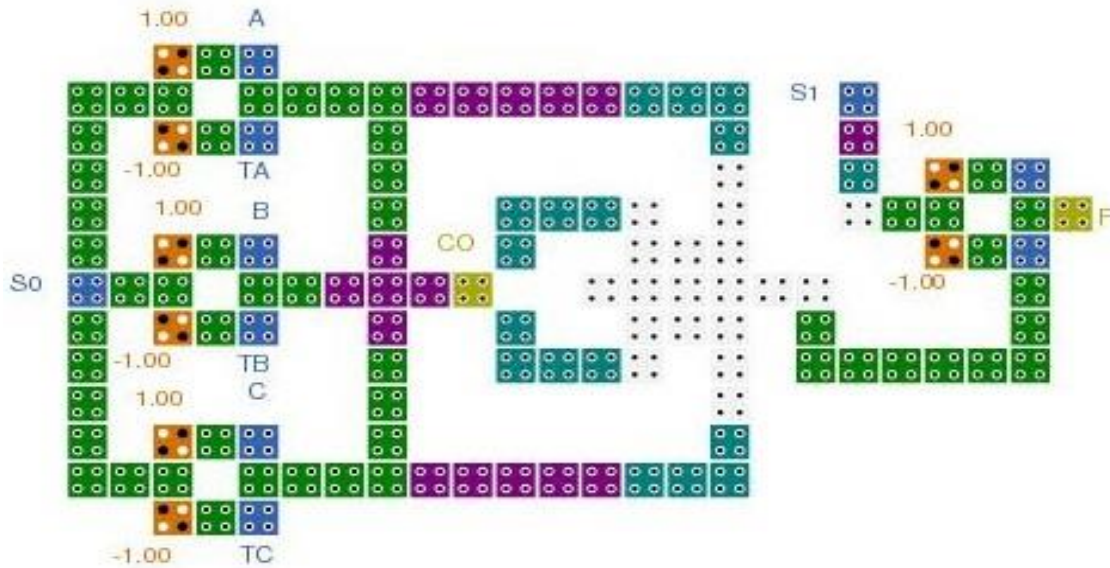
۳-۳- ساختار تمام جمع کننده مشاهده پذیر و آزمون پذیر پیشنهادی

طراحی کارآمد مدارات ترتیبی در دستگاه های دیجیتال مبتنی بر فناوری اتوماتای سلولی کوانتومی، وابسته بر درک درست از ماهیت این فناوری نوین است و نیز طراحی مدارهای چندلایه بسیار فشرده برای طراحی مدارات کارآمد بسیار حائز اهمیت است. همان طور که در بخش های قبل هم گفته شد، اتوماتای سلولی کوانتومی از دروازه اکثریت سه ورودی و دروازه معکوس کننده به عنوان ساختار پایه در پیاده سازی مدارات استفاده می کند و کنترل پذیری و مشاهده پذیری در این مدارات به دلیل بالابودن میزان نویز و پیچیدگی در طراحی از اهمیت بالایی برخوردار است، لذا در این بخش یک مدار تمام جمع کننده مشاهده پذیر و کنترل پذیری پربازده از منظر سرعت، پیچیدگی،

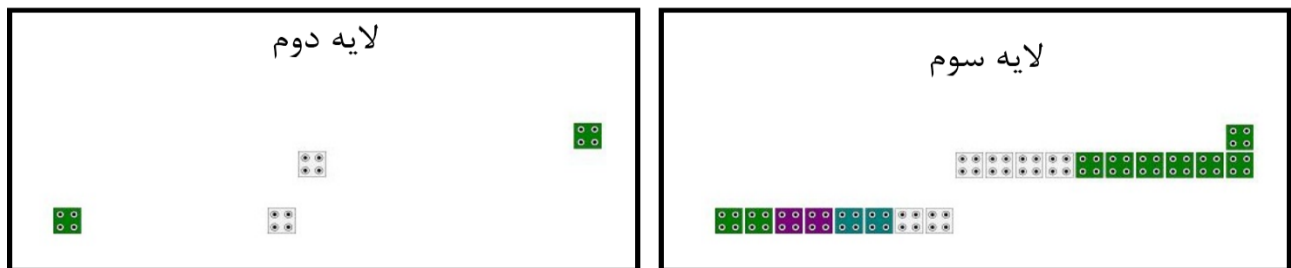
در این لایه قرار داده شده است به دروازه اکثریت پنج ورودی داده شده است و نیز توسط سیم دیگری که در این لایه قرار داده شده است مقدار معکوس شده رقم نقلی به علت اهمیت بالای آن در تاثیرگذاری بر مقدار جمع و احتمال نویز پذیری و تغییرات در مقادیر آن جهت مشاهده پذیری به دروازه تسهیم کننده که در خروجی تعبیه شده است انتقال می یابد. نحوه کار و چگونگی آزمون و مشاهده پذیری توسط انتخاب گرها در تسهیم کننده ها در جدول ۳ نشان به صورت کامل داده شده است.

سلول دیگر قرار گیرد، طبق دافعه کولمبی معکوس میزان سلول اصلی خواهد بود، بنابراین تمامی مقادیر در لایه دوم معکوس بوده و لایه دوم فقط برای انتقال مقادیر مورد استفاده قرار می گیرد. در واقع لایه دوم لایه انتقال بوده و از روش سیم کشی یا سیم بندی سه لایه برای انتقال اطلاعات استفاده می شود.

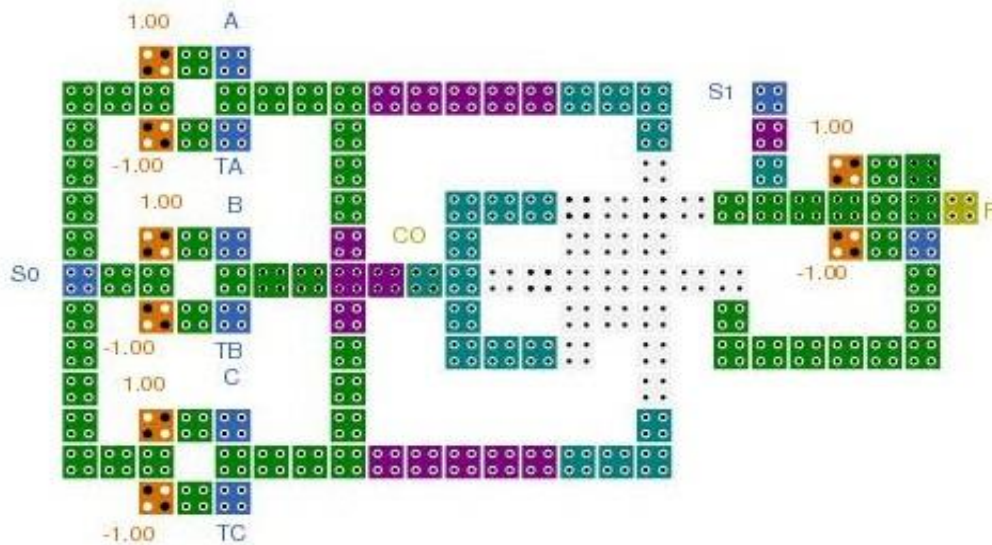
در لایه سوم که در شکل ۷ نشان داده شده است، این لایه فقط به عنوان سیم مورد استفاده قرار گرفته است و مقدار c توسط سیمی که



شکل ۶: لایه اول مدار تمام جمع کننده پیشنهادی



شکل ۷: لایه دوم و لایه سوم مدار تمام جمع کننده پیشنهادی



شکل ۸: طرح نهایی تمام جمع کننده پیشنهادی

سه لایه بر روی یکدیگر قرار گرفته اند و نمای کلی از تمام جمع کننده را نشان می دهد.

شبیه سازی و بررسی نتایج

در این بخش مدار تمام جمع کننده آزمون پذیر و مشاهده پذیر در اتوماتای کوانتومی سلولی، توسط شبیه سازهای QCADesigner بررسی و آزمون خواهد شد.

۴-۱- ابزارهای شبیه سازی

طراحان برای تحلیل مدارات و بررسی صحت طراحی ها و تعیین قابلیت مدارات بر اساس اتوماتای سلولی کوانتومی به یک ابزار سریع و دقیق نیاز دارند [۳۰]. QCADesigner به طراحان این اجازه می دهد که سریع و با دقت بالا به ابزاری برای طراحی و بررسی مدارات طراحی شده دسترس داشته باشند و نتایج حاصل را به راحتی تحلیل و بررسی کنند. این نتایج با استفاده از نرم افزار QCADesigner نسخه ۲ به دست می آید. در حال حاضر از این نرم افزار برای شبیه سازی واحد محاسبه و منطق، واحد پردازش، مدارات تمام جمع کننده، شیفت رجیسترها و حافظه با قابلیت دسترس تصادفی استفاده می گردد. این نرم افزار قادر به شبیه سازی تمامی مدارات طراحی شده در اتوماتای سلولی کوانتومی در سیستم عامل های استاندارد است. نرم افزار QCADesigner مدام در جهت ارائه خدمات دقیق و سریع برای طراحی مدارات اتوماتای سلولی کوانتومی در حال پیشرفت است.

۴-۲- پارامترهای شبیه سازی

همان طور که قبلاً گفته شد، نتایج در نرم افزار QCADesigner به دست می آید. موتور شبیه ساز برای شبیه سازی نمودارهای چیدمان از پارامترهایی استفاده می کند که این پارامترهای شبیه سازی در جدول ۴ نمایش داده شده اند.

جدول ۴: پارامترهای مورد استفاده در شبیه ساز

پارامترها	مقادیر
اندازه سلول ^۹	۱۸×۱۸ nm ^۲
فاصله بین لایه ها ^{۱۱}	۱۱/۵ nm
ناحیه ساعت زنی پایین ^{۱۱}	J.۰۲۳e-۳/۸
ناحیه ساعت زنی بالا ^{۱۲}	J.۰۲۳e-۹/۸
ناحیه ساعت زنی تعویض ^{۱۳}	۰
ضریب نوسان ناحیه ساعت زنی ^{۱۴}	۲
گذردهی نسبی ^{۱۵}	۱۲/۹
شعاع اثر ^{۱۶}	۶۵ nm
تعداد نمونه ^{۱۷}	۵۰۰۰۰
تحمل همگرایی ^{۱۸}	۰/۰۰۱
حداکثر تکرار در هر نمونه ^{۱۹}	۱۰۰

در نرم افزار شبیه ساز، اندازه سلول های مصرفی در حالت پیش فرض بر روی ۱۸×۱۸ nm^۲ تنظیم شده است و فاصله بین سلول ها ۱۱/۵ nm

در جدول ۳ تمامی حالات ممکن مورد بررسی قرار گرفته و نشان داده شده است. وقتی S0 برابر صفر است مقادیر اصلی مدار به مدار اعمال می گردد و مهم نیست که مقادیر داده های آزمون چقدر باشند. در صورتی که S0 برابر یک باشد، مقادیر آزمون به مدار اعمال می گردد و مقادیر ورودی های اصلی مهم نیست که چقدر باشند. در اینجا تمامی حالات ممکن برای آزمون مورد بررسی قرار گرفته است. در S1 نیز وقتی که صفر باشد، میزان معکوس رقم نقلی به خروجی F انتقال می یابد و در صورتی که برابر با یک باشد مقادیر جمع به خروجی F انتقال می یابد.

جدول ۳: نحوه اعمال خروجی سازی توسط تسهیم کننده ها و

انتخاب گرها در تمام جمع کننده پیشنهادی

A	B	C	T A	T B	T C	S 0	S 1	Car ry	Carry	SU M	F
۰	۰	۰	x	x	x	۰	۰	۰	۱	۰	۱
۰	۰	۱	x	x	x	۰	۰	۰	۱	۱	۱
۰	۱	۰	x	x	x	۰	۰	۰	۱	۱	۱
۰	۱	۱	x	x	x	۰	۰	۱	۰	۰	۰
۱	۰	۰	x	x	x	۰	۰	۰	۱	۱	۱
۱	۰	۱	x	x	x	۰	۰	۱	۰	۰	۰
۱	۱	۰	x	x	x	۰	۰	۱	۰	۰	۰
۱	۱	۱	x	x	x	۰	۰	۱	۰	۱	۰
۰	۰	۰	x	x	x	۰	۱	۰	۱	۰	۰
۰	۰	۱	x	x	x	۰	۱	۰	۱	۱	۱
۰	۱	۰	x	x	x	۰	۱	۰	۱	۱	۱
۰	۱	۱	x	x	x	۰	۱	۱	۰	۰	۰
۱	۰	۰	x	x	x	۰	۱	۰	۱	۱	۱
۱	۰	۱	x	x	x	۰	۱	۱	۰	۰	۰
۱	۱	۰	x	x	x	۰	۱	۱	۰	۰	۰
۱	۱	۱	x	x	x	۰	۱	۱	۰	۱	۱
x	x	x	۰	۰	۰	۱	۰	۰	۱	۰	۱
x	x	x	۰	۰	۱	۱	۰	۰	۱	۱	۱
x	x	x	۰	۱	۰	۱	۰	۰	۱	۱	۱
x	x	x	۰	۱	۱	۱	۰	۱	۰	۰	۰
x	x	x	۱	۰	۰	۱	۰	۰	۱	۱	۱
x	x	x	۱	۰	۱	۱	۰	۱	۰	۰	۰
x	x	x	۱	۱	۰	۱	۰	۱	۰	۱	۰
x	x	x	۱	۱	۱	۱	۰	۱	۰	۱	۱
x	x	x	۱	۱	۱	۱	۱	۱	۰	۱	۱

شکل ۸ تمام جمع کننده کنترل پذیر و مشاهده پذیر بر اساس اتوماتای سلولی کوانتومی در سطح نانو را نشان می دهد. در این شکل

خروجی به عنوان معیار تشخیص سیگنال بارزش در نظر گرفته شده است. همان طور که در نتایج شبیه سازی مشاهده می شود، هرگاه مقدار پایه انتخاب گر برابر صفر باشد مقدار ورودی پایه IO را به خروجی انتقال می دهد و هرگاه مقدار پایه انتخاب گر برابر با یک باشد، مقادیر پایه II به خروجی انتقال داده می شود.



شکل ۱۰: نتایج شبیه سازی تسهیم کننده

در شکل ۱۱ نیز نتایج شبیه سازی مدار تمام جمع کننده پیشنهادی ارائه شده است. در این طرح با اعمال مقادیر به پایه های انتخاب گر می توان مشخص نمود مدار حالت عادی خود را انجام دهد یا در حالت آزمون یا مشاهده پذیری و کنترل پذیری قرار بگیرد. در جدول ۵ تمام حالات ممکن برای پایه های کنترلی بیان شده است.

جدول ۵: عملکرد مدار بر حسب اعمال مقادیر به ورودی ها و

انتخاب گر ها

حالت	S0	S1	عملکرد مدار
۱	۰	۰	مشاهده پذیری سلول میانی
۲	۰	۱	عملکرد عادی مدار (پاسخ مدار به داده های اصلی)
۳	۱	۰	اعمال داده های آزمون به مدار (کنترل پذیری ورودی ها و مشاهده پذیری سلول میانی)
۴	۱	۱	اعمال داده های آزمون به مدار (پاسخ مدار به داده های آزمون)

همان طور که در شکل ۱۱ مشاهده می شود، تمام جمع کننده مشاهده پذیر و آزمون پذیر متناسب با جدول ۴ مقدار داده شده به انتخاب گر ها، میزان خروجی را مشخص می کند. برای درک بهتر

در نظر گرفته شده است. ناحیه ساعت زنی بالا در حالت پیش فرض به $J.023e-3/8$ و ناحیه ساعت زنی پایین به $J.022e-9/8$ تنظیم شده است. ضریب نوسان ناحیه ساعت زنی در حالت پیش فرض ۲ در نظر گرفته شده است و گذردهی نسبی در حالت بر روی $12/9$ تنظیم شده است. شعاع اثر به 65 nm تنظیم شده است و تعداد تکرار در هر نمونه در حالت پیش فرض بر روی 100 تنظیم شده است.

۳-۴- تحلیل صحت مدار

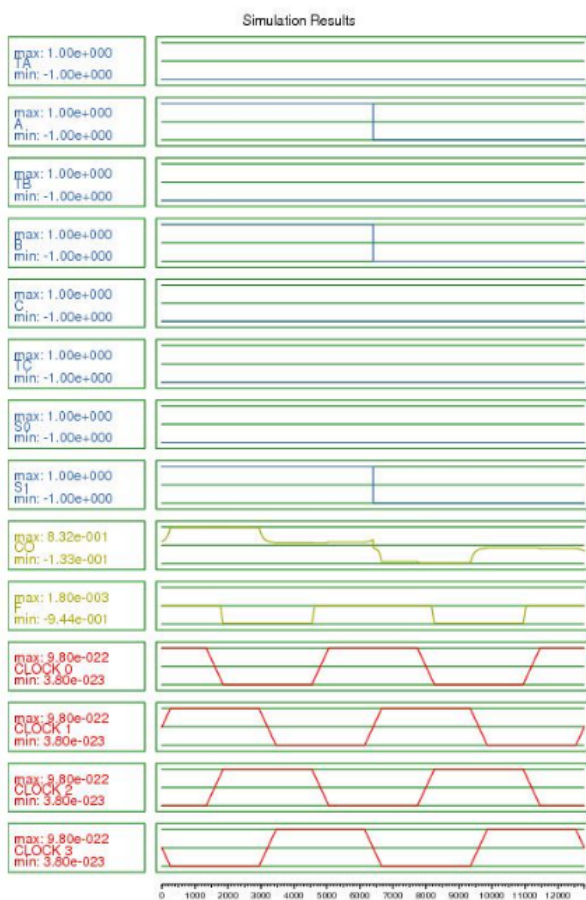
برای طراحی مدار تمام جمع کننده آزمون پذیر و مشاهده پذیر ابتدا تمام جمع کننده و دروازه تسهیم کننده مورد استفاده مورد بررسی قرار می گیرد از این رو، نتیجه شبیه سازی مدار تمام جمع کننده (شکل ۳) در شکل ۹ نمایش داده شده است. عملکرد این مدار با قطبشی مناسب نسبت به ورودی تطبیق کامل دارد (منطبق با جدول ۲) و تاخیر در این دروازه ها ۱ سیکل ساعت زنی است. رقم نقلی خروجی پس از 0.5 سیکل ساعت زنی تولید و آماده انتشار به لایه بعدی است و همچنین نخستین سیگنال مورد انتظار و صحیح در مدار تمام جمع کننده پس از ۱ سیکل ساعت زنی تولید می شود.



شکل ۹: نتایج شبیه سازی تمام جمع کننده

در شکل ۱۰ نتیجه شبیه سازی دروازه تسهیم کننده (شکل ۵) مورد استفاده را نشان می دهد. همان طور که در شکل ۱۰ نشان داده شده است، در تمامی نتایج شبیه سازی نشان داده شده منطقه ساعت زنی

روی هر مقداری تنظیم گردند در روند مدار تأثیری نخواهد داشت. در حالت سه مقدار داده‌های آزمون در TA بر روی یک، در TB بر روی یک و در TC بر روی صفر تنظیم گردیده است. مقادیر داده‌های آزمون با مقادیر ورودی‌های اصلی برای مقایسه و آزمون یکسان انتخاب گردیده است تا صحت مدار در برابر بودن مقادیر ورودی اصلی و آزمون نیز بررسی گردد. در حالت کلی تمامی مقادیر داده‌های آزمون بر روی صفر گردیده است. همان‌طور که در شکل ۱۳ قابل مشاهده است خروجی‌ها منطبق با مقادیر ذکر شده هستند و مدار عملکرد صحیح خود را در حالت سه انجام می‌دهد.

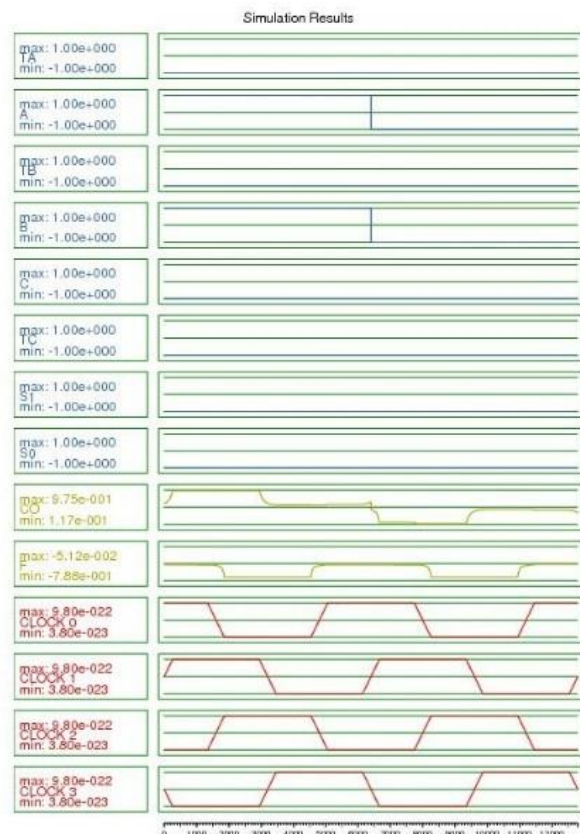


شکل ۱۲: نتایج شبیه‌سازی تمام جمع کننده پیشنهادی (حالت ۲)

در شکل ۱۴ حالت چهار برای انتخاب‌گر تنظیم گردیده است و بنابراین مقادیر داده‌های آزمون وارد مدار اصلی گردیده است. در این حالت سه مقدار ورودی داده‌های آزمون در TA بر روی یک، در TB بر روی یک و در TC بر روی صفر تنظیم گردیده است و پایه‌های انتخاب‌گر نیز بر روی یک تنظیم شده‌اند، بنابراین مقادیر آزمون دلخواه به مدار داده می‌شود. برای تحلیل صحت مدار در این حالت تمامی مقادیر ممکن برای ورودی مورد آزمون و ارزیابی قرار گرفت است و این مقادیر در شکل ۱۴ برای مقایسه با مقادیر اصلی یکسان انتخاب گردیده است. شکل ۱۴ و خروجی‌های حاصل و تطابق آن‌ها با مقادیر ذکر شده، صحت و دقت مدار طراحی شده در حالت چهار را تصدیق می‌نماید.

عملکرد این تمام جمع کننده بر اساس اتوماتای سلولی کوانتومی مقادیر حالت یک در جدول ۵ به انتخاب‌گرها داده شده است و به علت بالابودن تعداد ورودی‌ها در A, B, C بعد از اعمال تمامی حالت ممکن در شبیه‌سازی، در شکل ۱۱ یکی از حالات برای نمونه آورده شده و بررسی گردیده است که مقادیر A برابر یک، B برابر یک و C برابر صفر و انتخاب‌گرها در حالت یک تنظیم گردیده‌اند. در حالت تنظیم شده می‌بایست مقدار خروجی رقم نقلی یک و مقدار خروجی اصلی مدار برابر با معکوس رقم نقلی گردد که با توجه به خروجی‌های حاصل و تطابق آن با مقادیر ذکر شده، صحت عملکرد مدار در این حالت تأیید می‌گردد و چون در این حالت مقادیر داده‌های آزمون به مدار اعمال نمی‌گردند، مهم نیست مقادیر داده‌های آزمون چقدر انتخاب شوند.

در شکل ۱۲ مقادیر ورودی‌ها، A برابر یک، B برابر یک و C برابر صفر و انتخاب‌گرها در حالت دو تنظیم گردیده است. در این حالت مقادیر داده‌های آزمون هرچقدر باشد بر روی عملکرد مدار تأثیر نمی‌گذارد و داده‌های اصلی ورودی وارد مدار می‌گردند و خروجی رقم نقلی یک و مقدار خروجی اصلی مدار برابر با مقدار جمع که نسبت به ورودی‌ها یک است را نشان می‌دهد که با توجه به مقادیری که در خروجی‌ها از مدار گرفته شده است و تطابق مقادیر با مقادیر، درستی مدار در حالت دو نیز تأیید می‌گردد.



شکل ۱۱: نتایج شبیه‌سازی تمام جمع کننده پیشنهادی (حالت ۱)

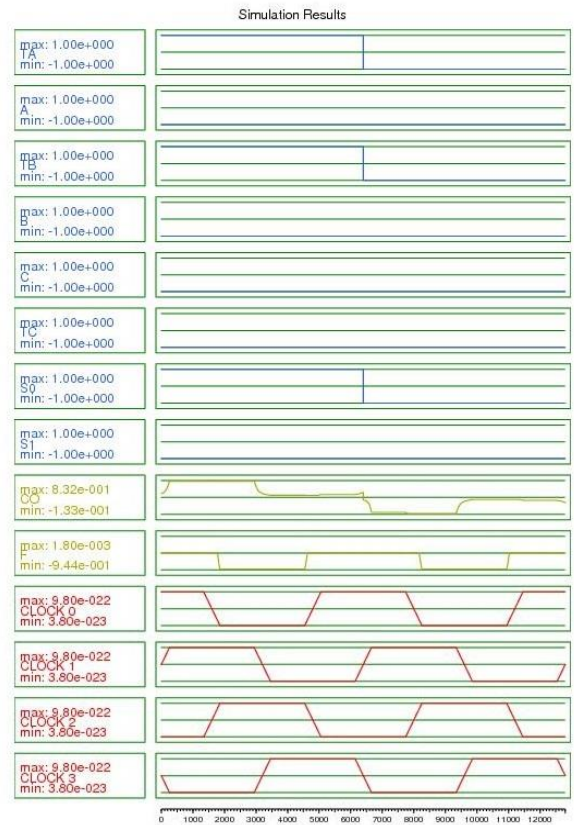
با توجه به تنظیم انتخاب‌گرهای مدار در حالت سه، در این حالت مقادیر داده‌های آزمون وارد مدار خواهد شد و مقادیر داده‌های اصلی بر

۴-۴- مقایسه

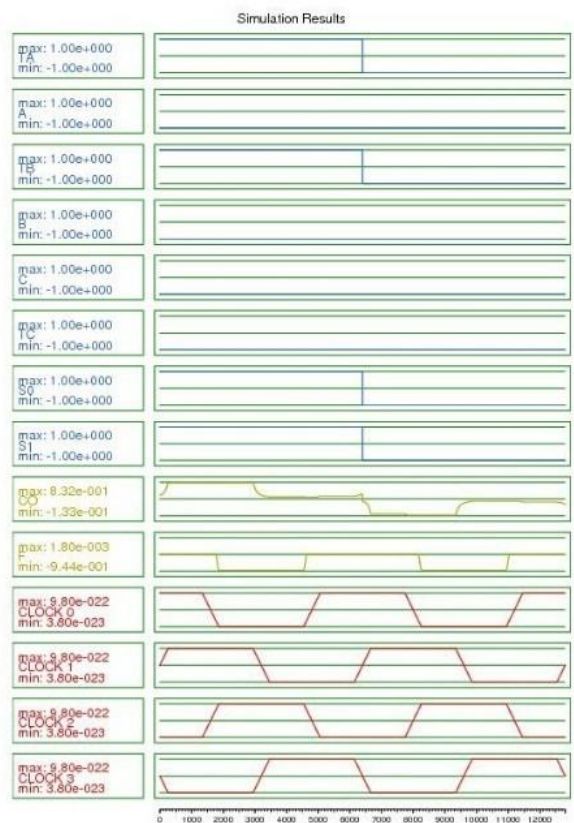
در جدول ۶ مقایسه میان تمام جمع کننده مشاهده پذیر و آزمون پذیر ارائه شده و بهترین مدارات تمام جمع کننده، صورت گرفته است. ستون نخست مدارات تمام جمع کننده و ستون های بعدی به ترتیب تعداد سلول های مصرفی، مساحت مصرفی، تعداد لایه مورد نیاز، تأخیر انتشار سیگنال، مشاهده پذیری و کنترل پذیری در مدارها را مشخص می کنند.

جدول ۶: مقایسه تمام جمع کننده ها

واحد محاسبه و منطق	سلول های مصرفی	مساحت مصرفی μm^2	لایه مورد نیاز	تأخیر انتشار سیگنال	مشاهده پذیری	کنترل پذیری	آزمون پذیری
طرح پیشنهادی	۱۲۴	۰/۱۵	۳	۱	بله	بله	بله
سیدی و همکاران [۲۳]	۲۲	۰/۰۱	۳	۰/۷۵	خیر	خیر	خیر
سرمدی و همکاران [۳۱]	۳۰	۱/۰۴	۶	۱	خیر	خیر	خیر
سید صالحی و همکاران [۳۲]	۳۱	۰/۰۲	۳	۰/۷۵	خیر	خیر	خیر
سید صالحی و همکاران [۳۲]	۳۳	۰/۰۲	۳	۰/۷۵	خیر	خیر	خیر
هاشمی و همکاران [۳۳]	۷۹	۰/۰۵	۳	۱/۷۵	خیر	خیر	خیر
ناوی و همکاران [۳۴]	۷۳	۰/۰۴	۳	۰/۷۵	خیر	خیر	خیر
ناوی و همکاران [۳۵]	۶۱	۰/۰۳	۳	۰/۷۵	خیر	خیر	خیر
محمدیان و همکاران [۳۶]	۲۹۲	۰/۶۲	۱	۳/۵	خیر	خیر	خیر
وانگ و همکاران [۳۷]	۱۴۵	۰/۱۷	۱	۱	خیر	خیر	خیر
مختاری و همکاران [۲۷]	۴۶	۰/۰۴	۱	۱	خیر	خیر	خیر
بلالی و همکاران [۲۸]	۲۹	۰/۰۲	۱	۰/۵	خیر	خیر	خیر



شکل ۱۳: نتایج شبیه سازی تمام جمع کننده پیشنهادی (حالت ۳)



شکل ۱۴: نتایج شبیه سازی تمام جمع کننده پیشنهادی (حالت ۴)

از نرم افزار QCADesigner به عنوان نرم افزار شبیه ساز اتوماتای سلولی کوانتومی حاکی از صحت عملکرد و کارآمدی مدار ارائه شده است. نتایج به دست آمده حاکی از میزان مناسب تعداد سلول مصرفی، مساحت اشغالی، تعداد مناطق ساعت زنی نسبت به طرح های قبلی است. همچنین طرح پیشنهادی نسبت به طرح های پیشین آزمون پذیر، کنترل پذیر و مشاهده پذیر است. اغلب مدار تمام جمع کننده های طراحی شده دارای تعداد سلول مصرفی بسیار بالا و عدم آزمون پذیری و مشاهده پذیری هستند و نواحی ساعت زنی بالا نیز از سرعت آن ها کاسته است، ولی مدار تمام جمع کننده پیشنهادی بسیاری از این عوامل کاهش داده شده و در نهایت باعث بهبود مدار تمام جمع کننده گردیده است.

چالش های نوینی که می توان به عنوان کار های آتی بیان کرد عبارتند از:

- پایین آوردن هر چه کمتر میزان سلول های مورد نیاز
- تک سطحی سازی برای پوشش ساده در طرح های تک سطحی
- استفاده از مدار تمام جمع کننده آزمون پذیر و مشاهده پذیر در سایر مدارات و در نهایت کاهش تعداد سلول مصرفی در آن ها و افزایش سرعت و آزمون پذیری و مشاهده پذیر نمودن آن مدارات

مراجع

- مهرسا مهرداد، میثم زارعی، "آرانه ساختار نوین ترانزیستور اثر میدان سیلیسیم روی عایق دو گیتی با پنجره اکسید در درین گسترده شده به منظور کاربرد در تکنولوژی نانو" مجله مهندسی برق دانشگاه تبریز، دوره ۴۷، شماره ۲، صفحه ۷۲۷-۷۳۳، ۱۳۹۶.
- پرویز امیری، محمود صیفوری، بابک آفرین، آوا هدایتی پور، "طراحی پیش تقویت کننده RGC کم نویز مدار مجتمع CMOS با پهنای باند 20 GHz و بهره 60 dBΩ" مجله مهندسی برق دانشگاه تبریز، دوره ۴۶، شماره ۲، صفحه ۱۵-۲۳، ۱۳۹۵.
- محمدامین ثابت سروسستانی، بهنام قوامی، محسن راجی، "کاهش نرخ خطای نرم چندگانه مدارهای ترکیبی مبتنی بر اندازه گذاری دروازه ها بر مبنای پارامتر حساسیت" مجله مهندسی برق دانشگاه تبریز، دوره ۴۷، شماره ۲، صفحه ۴۴۵-۴۵۴، ۱۳۹۶.
- C. S. Lent, P. D. Tougaw, W. Porod, and G. H. Bernstein, "Quantum cellular automata," *Nanotechnology*, vol. 4, 1993.
- G. Moore, "Moore's law," *Electronics Magazine*, vol. 38, 1965.
- G. Jaberipur and S. Gorgin, "Design and Synthesis of High Speed Low Power Signed Digit Adders," *Journal of Iranian Association of Electrical and Electronics Engineers*, vol. 7, pp. 7-14, 2010.
- N. Hasanzade and M. Danaie, "A New Technique for Reduction of Leakage Current of CMOS Switches," *Journal of Iranian Association of Electrical and Electronics Engineers*, vol. 13, pp. 33-40, 2017.
- A. F. Khavari, K. Mafinezhad and M. Maymandi Nejad, "A Broadband Low Power CMOS LNA for 3.1-10.6 GHz UWB Receivers," *Journal of Iranian Association of Electrical and Electronics Engineers*, vol. 14, pp. 1-13, 2018.

این نکته مشخص است که مدار تمام جمع کننده پیشنهادی دارای ساختاری قانونمندتر، ساده و درعین حال قوی است و مدارهای پیشین را از جنبه های مشاهده پذیری و کنترل پذیری بهبود داده است و از طرفی از جنبه سرعت در زمره بهترین مدارها آزمون پذیر قرار گرفته است. ساختار چندلایه و متقارن مدار پیشنهادی در عین مشاهده پذیری و کنترل پذیری آن، تعداد سلول های مورد نیاز برای انتقال سیگنال و تعداد سلول های کلی را به حداقل رسانده است. مساحت مصرفی نیز در راستای آرایش ساختار مناسب ارائه شده مقدار مناسبی را دارد.

نتیجه گیری و کارهای آتی

مسئله اصلی مورد مطالعه در این مقاله طراحی مدار تمام جمع کننده آزمون پذیر بهینه از نظر سلول و مساحت مصرفی در اتوماتای سلولی کوانتومی است. مدار تمام جمع کننده، یکی از مهم ترین مدارات در دنیای سیستم های کامپیوتری بوده و طراحی مدار تمام جمع کننده آزمون پذیر و مشاهده پذیر بهینه با سلول مصرفی کم به دلیل حساسیت مدارات در اتوماتای سلولی کوانتومی به نویز یکی چالش های مهم آن است، زیرا هر چه تعداد سلول ها در مدارات کمتر باشد، مدار نویز کمتری را می گیرد. هر چه تعداد سلول مورد استفاده در طراحی پایین تر باشد نویز و مصرف انرژی کاهش می یابد و مدار تمام جمع کننده آزمون پذیر و مشاهده پذیر که تعداد سلول کمتر و نویز کمتری نسبت به سایر مدارات نظیر خود دارد، می تواند در دیگر مدارات استفاده شود و نویز، مصرف انرژی و سلول مصرفی در آن مدار را نیز کاهش دهد. هدف نهایی این دست پژوهش ها طراحی مدارات پربازده است که با استفاده از آن ها کامپیوترهای کوانتومی آینده را پیاده سازی نمود.

پس از مطالعات انجام شده بر روی مقالات سال های اخیر و مشاهده کاستی های مدارهای ارائه شده در زمینه طراحی مدار تمام جمع کننده کنترل پذیر و مشاهده پذیر که از جمله این کاستی ها می توان به مساحت اشغالی زیاد، پیچیدگی سخت افزاری، تاخیر زیاد، تعداد سلول های مصرفی بالا، آزمون پذیر و مشاهده پذیر نبودن طرح ها اشاره کرد و بر این اساس یک معماری نوین مدار تمام جمع کننده آزمون پذیر و مشاهده پذیر بهینه در اتوماتای سلولی کوانتومی پیاده سازی گردید. در حالت کلی می توان نوآوری مقاله ارائه شده را در چند مورد به شرح زیر بیان کرد:

- ارائه روش نوینی برای طراحی مدارات با قابلیت مشاهده پذیری و آزمون پذیری
- شبیه سازی مدار تمام جمع کننده آزمون پذیر در سه لایه و با استفاده از مدارهای مشاهده پذیر و آزمون پذیر
- شبیه سازی مدار تمام جمع کننده مشاهده پذیر در سه لایه و با استفاده از مدارهای مشاهده پذیر و آزمون پذیر

همچنین طرح ارائه شده، از جنبه مساحت مصرفی، تعداد سلول، تعداد لایه و تاخیر بر مدارات پیش از خود برتری دارد. نتایج به دست آمده

- ██████ E. T. Karkaj and S. R. Heikalabad, "A testable parity conservative gate in quantum-dot cellular automata," *Superlattices and Microstructures*, vol. 101, pp. 625-632, 2017.
- ██████ B. Sen, A. Sengupta, M. Dalui and B. K. Sikdar, "Design of testable universal logic gate targeting minimum wire-crossings in QCA logic circuit," in *Digital System Design: Architectures, Methods and Tools (DSD), 2010 13th Euromicro Conference on*, pp. 613-620, 2010.
- ██████ K. Das and D. De, "Novel approach to design a testable conservative logic gate for QCA implementation," in *Advance Computing Conference (IACC), 2010 IEEE 2nd International*, pp. 82-87, 2010.
- ██████ M. Balali, A. Rezai, H. Balali, F. Rabiei and S. Emadi, "Towards coplanar quantum-dot cellular automata adders based on efficient three-input XOR gate," *Results in physics*, vol. 7, pp. 1389-1395, 2017.
- ██████ D. Mokhtari, A. Rezai, H. Rashidi, F. Rabiei, S. Emadi and A. Karimi, "Design of novel efficient full adder architecture for quantum-dot cellular automata technology," *Facta Universitatis, Series: Electronics and Energetics*, vol. 31 pp. 279-285, 2018.
- ██████ M. N. Asfestani and S. R. Heikalabad, "A unique structure for the multiplexer in quantum-dot cellular automata to create a revolution in design of nanostructures," *Physica B: Condensed Matter*, vol. 512, pp. 91-99, 2017.
- ██████ K. Walus and G. Schulhof, "QCADesigner homepage," *Online* <http://www.qcadesigner.ca>, 2002.
- ██████ S. Sarmadi, S. Sayedsalehi, M. Fartash and S. Angizi, "A structured ultra-dense QCA one-bit full-adder cell," *Quantum Matter*, vol. 5, pp.118-123, 2016.
- ██████ S. Sayedsalehi, M. H. Moayeri and K. Navi, "Novel efficient adder circuits for quantum-dot cellular automata," *Journal of Computational and Theoretical Nanoscience*, vol. 8, pp. 1769-1775, 2011.
- ██████ S. Hashemi, M. Tehrani and K. Navi, "An efficient quantum-dot cellular automata full-adder," *Scientific Research and Essays*, vol. 7, pp. 177-189, 2012.
- ██████ K. Navi, R. Farazkish, S. Sayedsalehi and M. R. Azghadi, "A new quantum-dot cellular automata full-adder," *Microelectronics Journal*, vol. 4, pp. 820-826, 2010.
- ██████ K. Navi, S. Sayedsalehi, R. Farazkish and M. R. Azghadi, "Five-input majority gate, a new device for quantum-dot cellular automata," *Journal of Computational and Theoretical Nanoscience*, vol. 7, pp. 1546-1553, 2010.
- ██████ S. Mohammadyan, S. Angizi and K. Navi, "New fully single layer QCA full-adder cell based on feedback model," *International Journal of High Performance Systems Architecture*, vol. 5, pp. 202-208, 2015.
- ██████ W. Wang, K. Walus and G. A. Jullien, "Quantum-dot cellular automata adders," in *Nanotechnology, 2003. IEEE-NANO 2003. 2003 Third IEEE Conference on*, pp. 461-464, 2003.
- ██████ P. D. Tougaw and C. S. Lent, "Logical devices implemented using quantum cellular automata," *Journal of Applied physics*, vol. 75, pp. 1818-1825, 1994.
- ██████ A. Vetteth, K. Walus, V. S. Dimitrov and G. A. Jullien, "Quantum-dot cellular automata of flip-flops," *ATIPS Laboratory*, vol. 2500, 2003.
- ██████ M. R. Azghadi, O. Kavehie and K. Navi, "A novel design for quantum-dot cellular automata cells and full adders," *arXiv preprint arXiv: 1204.2048 (2012)*.
- ██████ Z. Baharvand and A. Hakimi, "Analysis and Design of High Gain, and Low Power CMOS Distributed Amplifier Utilizing a Novel Gain-cell Based on Combining Inductively Peaking and Regulated Cascode Concepts," *AUT Journal of Electrical Engineering*, vol. 45, pp. 35-50, 2013.
- ██████ H. Rashidi and A. Rezai, "High-performance full adder architecture in quantum-dot cellular automata," *The Journal of Engineering*, vol. 1, pp. 10-21, 2017.
- ██████ S. Mondal, D. Mukhopadhyay, and P. Dutta, "A Design of a 4 Dot 2 Electron QCA Full Adder Using Two Reversible Half Adders," in *Proceedings of the First International Conference on Intelligent Computing and Communication*, pp. 327-335, 2017.
- ██████ M. R. Gadim and N. J. Navimipour, "A new three-level fault tolerance arithmetic and logic unit based on quantum dot cellular automata," *Microsystem Technologies*, pp. 1-11, 2017.
- ██████ S. Afrooz and N. J. Navimipour, "Memory Designing Using Quantum-Dot Cellular Automata: Systematic Literature Review, Classification and Current Trends," *Journal of Circuits, Systems and Computers*, pp. 12-26, 2017.
- ██████ M. Poorhosseini, "Novel Defect Terminology Beside Evaluation And Design Fault Tolerant Logic Gates In Quantum-Dot Cellular Automata," *Journal of Advances in Computer Engineering and Technology*, vol. 2, pp. 17-26, 2016.
- ██████ M. Goswami, B. Sen, R. Mukherjee and B. K. Sikdar, "Design of Testable Adder in Quantum-dot Cellular Automata with Fault Secure Logic," *Microelectronics Journal*, vol. 60, pp. 1-12, 2017.
- ██████ M. B. Tahoori, J. Huang, M. Momenzadeh and F. Lombardi, "Testing of quantum cellular automata," *IEEE Transactions on Nanotechnology*, vol. 3, pp. 432-442, 2004.
- ██████ M. B. Tahoori, M. Momenzadeh, J. Huang and F. Lombardi, "Defects and faults in quantum cellular automata at nano scale," in *VLSI Test Symposium*, pp. 291-296, 2004.
- ██████ R. Sherizadeh and N. J. Navimipour, "Designing a-2 to-4 decoder on Nano-scale based on quantum-dot cellular automata for energy dissipation improving," *Optik-International Journal for Light and Electron Optics*, 2017.
- ██████ S. Seyedi and N. Jafari Navimipour, "An optimized design of a full adder based on nano scale quantum-dot cellular automata," *Microelectronics Journal* vol. 5, pp. 243-256, 2017.
- ██████ S. Seyedi and N. Jafari Navimipour, "An optimized design of full adder based on Nanoscale quantum-dot cellular automata," *Optik - International Journal for Light and Electron Optics*, 2018.

زیر نویس ها

⁷ Conservative

⁸ Equality

⁹ Cell size

¹⁰ Layer separation

¹¹ Clock low

¹² Clock high

¹ Nanotechnology

² CMOS (Complementary Metal Oxide Semiconductor)

³ Lent

⁴ Tougaw

⁵ Coulombic interaction

⁶ BIST

¹³ Clock shift

¹⁴ Clock amplitude factor

¹⁵ Relative permittivity

¹⁶ Radius of effect

¹⁷ Number of samples

¹⁸ Convergence tolerance

¹⁹ Maximum iterations per sample