طراحی یک فلیپ‌فلاپ کم‌توان، پرسرعت و مصون از خطای نرم برای فن‌آوری‌های نانومتری

رامین رجائی، استادیار

دانشکده مهندسی برق - دانشگاه شهید بهشتی - تهران – ایران-r_rajaei@sbu.ac.ir

چکیده: با کاهش ابعاد ترانزیستورهای CMOS که به‌منظور دست‌یابی به کارایی بیشتر است، آسیب‌پذیری مدارهای منطقی دیجیتال در مقابل خطاهای نرم ناشی از برخورد ذرات پرانرژی در حال افزایش است. فلیپ‌فلاپ‌ها یکی از عناصر مهم مدارهای منطقی ترکیبی بوده که در مقابل تک‌رویداد واژگونی (SEU) و تک‌رویداد چندگره واژگونی (SEMU) بسیار آسیب‌پذیر هستند. در این مقاله، یک مدار فلیپ‌فلاپ جدید مصون در برابر SEU و همچنین مقاوم در برابر SEMU، طراحی و ارزیابی شده است. در مقایسه با کارهای مشابه قبلی، مدار پیشنهادی علاوه بر آن‌که دارای هزینه‌های طراحی کمی است، دارای مصونیت در مقابل SEU و همچنین مقاومت بالا در مقابله با SEMU نیز می‌باشد. این مهم به کمک تحلیل مداری و همچنین شبیه سازی‌های صورت‌گرفته تحقیق و نشان داده شده است. بر اساس نتایج حاصل از این شبیه سازی‌ها، مدار فلیپ‌فلاپ پیشنهادی در مقایسه با مدار فلیپ‌فلاپ مشهور و پرکاربرد MS-DICE، ۲۰٪ توان مصرفی و ۳۱٪ تأخیر کمتری را پیشنهاد می‌دهد. در ادامه این مقاله، عملکرد مدار فلیپ‌فلاپ پیشنهادی در مقابل تغییرات فرآیند، ولتاژ و دما (PVT) نیز مورد برر سی قرار گرفته و نشان داده شده که این مدار در مقابل تغییرات PVT نیز عملکرد قابل‌اطمینانی از خود نشان می‌دهد.

واژه‌های کلیدی: فلیپ‌فلاپ، تک‌رویداد واژگونی (SEU) خطای نرم، طراحی کم‌توان، فن‌آوری نانو.

Design of a Low-Power, High-Performance, and Soft-Error Immune Flip-flop for Nanometer Technologies

R. Rajaei, Assistant Professor

Faculty of Electrical Engineering, Shahid Beheshti University, Tehran, Iran, Email: r_rajaei@sbu.ac.ir

Abstract: As CMOS transistors are scaling down to improve performance, vulnerability of digital logic circuits to soft errors caused by energetic particles are increasing. Flip-flops (FF) are of the main elements of sequential logic circuits that are very susceptive to single event upset (SEU) and single event multiple-node upset (SEMU). In this paper, a new FF circuit robust against transient faults of SEU and SEMU caused by high-energy particle strikes is designed and evaluated. In comparison with previous work, the proposed circuit offers a low design cost, while, it also has a high degree of robustness against SEU/SEMU. This achievement is discussed and also evaluated by the simulations carried-out. Simulation results reveal that, the proposed circuit offers 20% improvement in power consumption and also 31% in delay as compared to the well-known and widely used MS-DICE FF. The effects of process, voltage, and temperature (PVT) variations on the performance of the proposed FF are also investigated and it is shown that this circuit has a reliable operation in the presence of PVT variations as well.

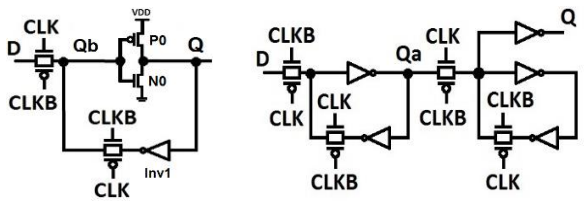
Keywords: Flip-flop, single event upset (SEU), soft error, low-power design, nanotechnology.

تاریخ ارسال مقاله: ۱۳۹۶/۱۱/۱۴
تاریخ اصلاح مقاله: ۱۳۹۷/۰۳/۳۱و ۱۳۹۷/۰۶/۲۰
تاریخ پذیرش مقاله: ۱۳۹۷/۰۷/۲۳
نام نویسنده مسئول: رامین رجائی
نشانی نویسنده مسئول: ایران - تهران - ولنجک - دانشگاه شهید بهشتی - دانشکده مهندسی برق.

۱- مقدمه

با حرکت تدریجی فناوری CMOS به‌سمت مقیاس‌های نانومتری، سطح ولتاژ و فاصله بین عناصر حافظه کاهش یافته است. این روند کاهش ابعاد از یک‌سو سبب افزایش سرعت و کاهش توان مصرفی و از سویی دیگر باعث شده که مدارهای ترتیبی نظیر فلیپ‌فلاپ‌ها به‌شدت نسبت به برخورد ذرات پرانرژی حساس شوند [۶-۱]. در تحقیقی در[۵] که در مورد روند تغییر نرخ خطای نرم در حافظه‌های SRAM با کاهش ابعاد فناوری است، نشان داده شده که با کاهش ابعاد فناوری از ۱۳۰nm به ۲۲nm نرخ خطای نرم به ازای هر بیت حافظه SRAM ۶ تا ۷ برابر افزایش می‌یابد. با کاهش ابعاد فناوری، ولتاژ تغذیه و بار بحرانی مدار نیز کاهش می‌یابد که باعث افزایش نرخ خطای نرم به‌صورت نمایی می‌گردند [۶، ۷].

شکل ۱-الف یک مدار فلیپ‌فلاپ متداول از نوع پیشرو-تابع را نشان می‌دهد (مدار MS-FF). این مدار از دو لچ پیشرو و تابع تشکیل شده است. وقتی سیگنال کلاک صفر است، لچ پیشرو داده ورودی جدید را به خروجی خود (Qa) منتقل می‌کند، درحالی‌که، لچ تابع در حالت نگهداری داده قبلی بوده و خروجی مدار همچنان داده قبلی را نتیجه می‌دهد. وقتی کلاک یک می‌شود، وضعیت این دو لچ برعکس شده و لچ تابع داده ورودی که در Qa بوده را به خروجی (Q) می‌برد. بنابراین با تغییر کلاک از صفر به یک (لبه بالارونده)، مدار داده ورودی (D) را به خروجی (Q) می‌برد و تا رسیدن به لبه بالارونده بعدی کلاک آن را حفظ می‌کند. شکل ۱-ب یک مدار لچ را نشان می‌دهد. در این مدار وقتی کلاک صفر است، لچ در حال نگهداری داده است. مطابق شکل، با فرض اینکه داده ورودی ۱ بوده باشد، ترانزیستور P0 خاموش و N0 روشن است. در این حالت گره Q (دارای سطح منطقی صفر) و ترانزیستور خاموش مستعد برخورد یک ذره پرانرژی هستند. با برخورد یک ذره پرانرژی به این گره، یک تغییر گذرا در سطح ولتاژ این گره و مقدار منطق آن می‌تواند رخ دهد. اگر مقدار بار تخلیه شده در این نقطه از یک مقدار مشخصی (که به بار بحرانی معروف است) بیشتر باشد، تغییر ایجادشده از طریق معکوس‌کننده Inv1 به گروه ورودی (Qb) منتقل شده و وضعیت خاموش/روشن بودن ترانزیستورهای P0 و N0 برعکس می‌شود (کلاک صفر است). در این حالت داده ذخیره شده در لچ به داده متمم تغییر کرده و به این واقعه اصطلاحاً تک‌رویداد واژگونی (SEU) گفته می‌شود [۶، ۷].



ب الف

شکل ۱: مدارهای ترتیبی غیرمقاوم در برابر SEU، الف: مدار MS-FF، ب: مدار لچ معمولی

هر چه بار بحرانی کمتر باشد، احتمال بروز SEU بیشتر می‌شود. با کوچک‌شدن ابعاد ترانزیستورها، بار بحرانی گره‌ها هم که به ابعاد ترانزیستور و ولتاژ تغذیه وابسته است، کمتر شده و ذرات بیشتری (با سطح انرژی کمتر) می‌توانند سبب بروز خطای نرم شوند [۱۳-۷]. با کاهش بیشتر ابعاد ترانزیستورها، یک ذره پرانرژی ممکن است بیش از یک گره از یک مدار را تحت تأثیر قرار دهد که به این پدیده تک‌رویداد چندگره واژگونی (SEMU) گفته می‌شود. در حقیقت، چون فاصله بین گره‌ها در یک مدار کاهش می‌یابد، یک ذره می‌تواند با برخورد به یک گره، گره(های) مجاور را نیز تحت‌تاثیر قرار دهد.

برای مقابله با SEU و SEMU در فلیپ‌فلاپ‌ها در سطح مدار، کارهای مختلفی صورت گرفته است که در بخش بعد به‌مرور آن‌ها پرداخته شده است. در این کارها، با صرف ترانزیستور بیشتر و به‌دنبال آن مساحت بیشتر، باعث افزایش بار بحرانی گره‌ها به مقداری بیشتر از مدار معمول MS-FF شده‌اند [۱۱-۸]. در برخی از کارها هم پیکربندی مدار به‌نحوی طراحی شده که هیچ گره حساسی وجود ندارد. به‌عبارت دیگر، بار بحرانی همه گره‌ها در آن مدارها بی‌نهایت بوده و این مدارها می‌تواند یک عملکرد بدون خطای نرم را در حضور ذرات پرانرژی‌ای که یک گره از آن‌ها را تحت تأثیر قرار می‌دهند، تضمین کنند [۱۲، ۱۳].

از دیگر چالش های قابلیت اطمینان در مدار های ریز نانومتری امروزی تأثیرپذیری از تغییرات فرآیند، ولتاژ و دما (PVT) است. با کوچکترشدن ابعاد ترانزیستورها، عدم‌دقت در فرآیند و تجهیزات ساخت قطعات نیمه‌هادی در مقایسه با ابعاد ریزنانومتری ترانزیستورها قابل توجه شده و در عملکرد دروازه‌های منطقی مؤثر است. عدم‌دقت در ابعاد ترانزیستورها در حین فرآیند ساخت موجب تغییر در ولتاژ آستانه ترانزیستورها و درنتیجه، تأخیر دروازه‌ها می‌شود [۱۴، ۱۵].

در این مقاله یک مدار فلیپ‌فلاپ مصون از SEU و مقاوم در برابر SEMU ارائه شده است. نشان داده می‌شود که مدار پیشنهادی در مقایسه با کارهای پیشین دارای توان مصرفی کمتر و سرعت بیشتری بوده و در مقابل ذرات پرانرژی دارای قابلیت اطمینان نسبتاً بیشتری است. همچنین اثر تغییرات PVT روی عملکرد مدار بررسی شده و نشان داده می‌شود که از این حیث هم عملکرد مدار قابل‌اطمینان است.

سازماندهی این مقاله به این شرح است که در بخش دوم به‌مرور کارهای مشابه پیشین، پرداخته می‌شود. در بخش سوم، مدار فلیپ‌فلاپ پیشنهادی ارائه و تشریح می‌گردد. در بخش چهارم نتایج حاصل از شبیه سازی و ارزیابی مدار پیشنهادی و مقایسه آن با کارهای پیشین ارائه می‌شود. درنهایت، در بخش پنجم، یک نتیجه‌گیری برای این تحقیق و نتایج آن ارائه می‌گردد.

۲- مروری بر کارهای پیشین

مدارهای فلیپ‌فلاپ پیشنهاد شده که مقاوم در برابر SEU باشند را می توان به دو دسته تقسیم کرد. دسته اول آن دسته از مدارهایی هستند که حداقل یگ گره حساس دارند. به‌عبارت دیگر، حداقل یکی از گره‌های آن‌ها دارای بار بحرانی محدودی بوده و در مقابل برخورد ذرات

پرانرژی نمی‌توانند یک عملکرد عاری از خطای نرم را پیشـــنهاد دهند. در این مقاله، به این مدارها (دسـته اول)، مدارهای *مقاوم* در برابر SEU گفته می‌شود. دسته دوم مدارهایی هستند که دارای هیچ گره حساسی نبوده و به‌بیانی دیگر، بار بحرانی همه گره‌های آن‌ها بی‌نهایت است و به آن‌ها مدارهای مصون از SEU گفته می‌شود.

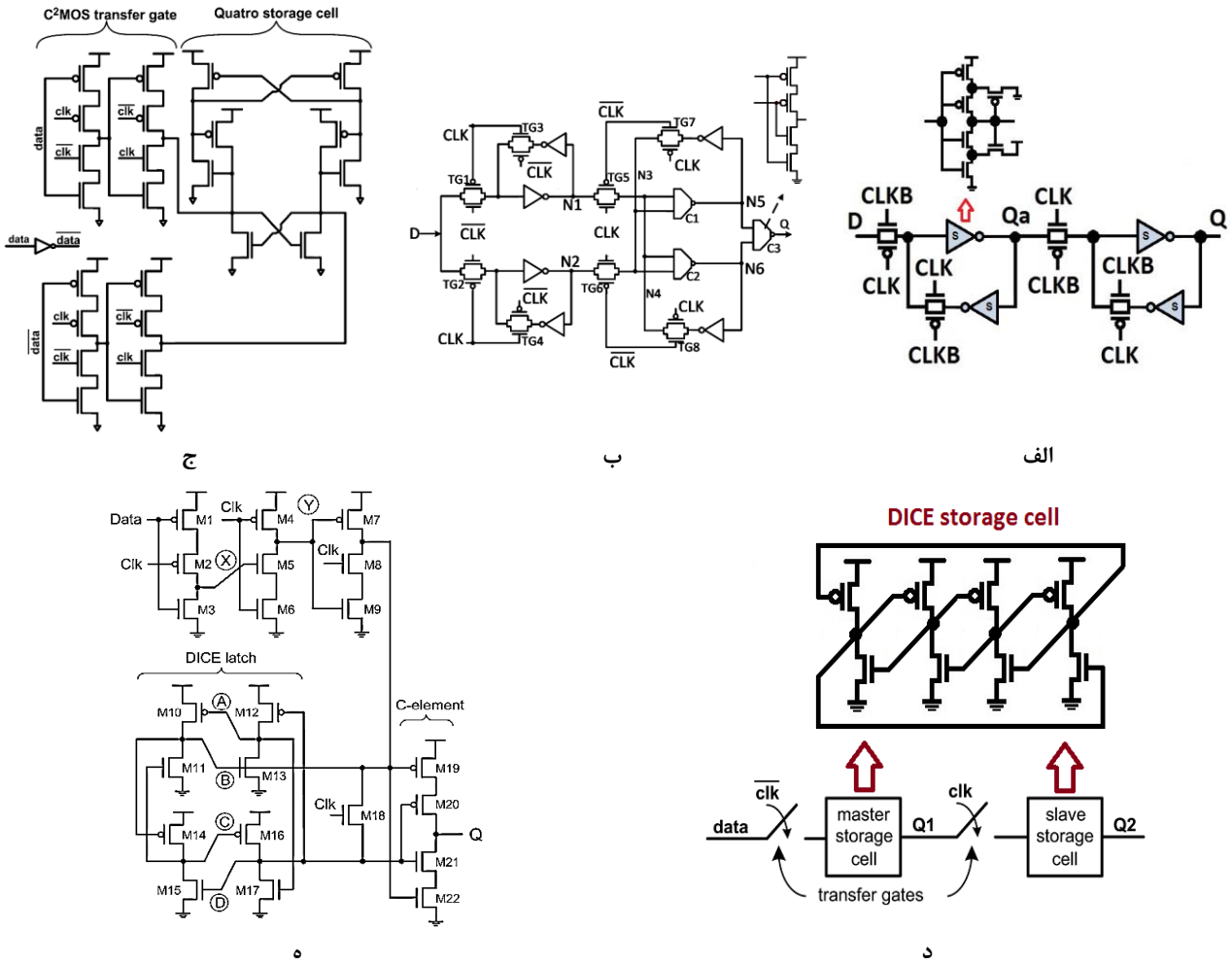
در شـــکل ۲ تعدادی از مدارهای فلیپ‌فلاپ مقاوم/مصـــون در برابر SEU نشان داده شده است. مدارهای نشان‌داده شده در شکل‌های ۲-الف، ۲-ب و ۲-ج از نوع مقاوم و مدارهایی که در شکل‌های ۲-د و ۲-ه نشان داده شده‌اند، از نوع مصون هستند. مدار ارائه‌شده در [۹] (شکل ۲-الف) دروازه‌های معکوس‌کننده مدار MS-FF (شـــکل ۱-الف) را با معکوس‌کننده‌های اشمیت‌تریگر جایگزین کرده است. این مدار به‌دلیل استفاده از ساختار اشمیت‌تریگر و ترانزیستورهای اضافه، خازن گره‌های حساس را بزرگ‌تر و بار بحرانی آن‌ها را افزایش داده است. این مدار از ۳۲ ترانزیستور تشکیل شده و تأخیر قابل‌توجهی دارد، ضمن آنکه تنها مقاوم در برابر SEU اســـت (دســـته اول). در [۱۰]، مدار فلیپ‌فلاپ دیگری با ساختار پیشرو-تابع ارائه شده است. در این مدار، لچ پیشرو در مقابل SEU آسیب‌پذیر و لچ تابع مصون از SEU است. این مدار در زمانی سیگنال کلاک صفر است و لچ تابع در حالت نگهداری داده است، در مقابل SEU مقاوم است. اما وقتی کلاک یک می‌شود و لچ پیشرو در حالت نگهداری داده است، برخورد ذره پرانرژی می‌تواند داده ذخیره‌شده در این لچ را دچار اشـــکال کند. در این صـــورت خروجی لچ تابع که خروجی فلیپ‌فلاپ نیز هست، به حالا امپدانس بالا می‌رود. بدین ترتیب این مدار برای کاربردهایی که فرکانس مدار خیلی زیاد نباشد، نمی‌تواند خیلی مناسب و قابل‌اطمینان باشد. قابل توجه است که این مدار از ۴۰ ترانزیستور تشکیل شده و سربار مساحت زیادی دارد.

در [۱۱] مدار دیگری از دسته اول (مقاوم) ارائه شده که نسبت به دو مدار قبلی دارای ترانزیستور کمتری است. این مدار دارای ساختار مبتنی بر C^2MOS است. در این ساختار، لچ اول حذف شده و به‌جای آن یک بخش ترکیبی کنترل‌شـــونده با کلاک وجود دارد که وظیفه آن انتقال داده به لچ دوم (بخش نگهدارنده داده) هم‌زمان با لبه بالارونده کلاک اســـت. به‌عبارت دیگر، این مدار دارای دو قســـمت انتقال دهنده داده و نگهدارنده داده است. معمولاً این ساختار در مقایسه با ساختار پیشرو-تابع دارای تأخیر انتشار کمتری است. این فلیپ‌فلاپ همان‌طور که در [۱۱] نیز اشاره شده، چندان در مقابل SEU مصون نبوده و داده ذخیره‌شـــده در آن می‌تواند در اثر برخورد یک ذره پرانرژی دچار خطا شود. مدار ارائه شده در [۱۲]، مدار فلیپ‌فلاپ مشهور MS-DICE بوده که تاکنون بسیار مورد توجه محققان قرار گرفته است. این مدار از نوع مصـــون در مقابل SEU بوده و می‌تواند به‌طور کامل در مقابل ذرات پرانرژی از خود مقاومت نشـــان دهد. از آنجا که این مدار مبتنی بر نوع پیشرو-تابع فلیپ‌فلاپ‌ها است، دارای تأخیر انتشار قابل‌توجهی است. همچنین از تعداد نسبتاً زیادی از ترانزیستورها (۳۶ عدد) تشکیل شده است. در [۱۳] با استفاده از لچ DICE (که در [۱۶] معرفی شده است) یک مدار فلیپ‌فلاپ با ساختار C^2MOS ارائه شده است. مدار فلیپ‌فلاپ پیشنهادشده، از یک‌سو دارای مصونیت در مقابل SEU بوده و از سویی دیگر دارای تأخیر کمتری نســـبت به مدار MS-DICE اســـت. در بخش چهارم این مدارها با مدار پیشـــنهادی از لحاظ توان مصـــرفی، تأخیر و میزان مقاومت در برابر SEU و SEMU مقایسه خواهند شد.

۳- مدار فلیپ‌فلاپ کم‌توان، پر سرعت و مصون از SEU پیشنهادی

شکل ۳ مدار فلیپ‌فلاپ پیشنهادی را نشان می‌دهد. همان‌طور که در شـــکل مشـــخص شـــده اســـت، این مدار از دو قســـمت انتقال‌دهنده و نگهدارنده داده تشـــکیل شـــده اســـت. بخش نگهدارنده داده ماهیتی ترکیبی داشـــته و وظیفه انتقال داده (D) به بخش نگهدارنده (گره‌های Q و Qr) را همراه با لبه بالارونده کلاک برعهده دارد. بخش انتقال‌دهنده از ۸ و بخش نگهدارنده از ۱۶ ترانزیســـتور تشـــکیل شـــده اســـت. در این مدار، وقتی کلاک صفر است، داده از ورودی D توسط دروازه‌های عبور T0 و T1 به ورودی دروازه‌های عبور T2 و T3 منتقل می‌شـــود. با یک شـــدن کلاک، دروازه‌های عبور T2 و T3 داده را از ورودی به خروجی خود (گره‌های Q و Qr) که ورودی‌های بخش نگهدارنده اســـت، منتقل می‌کنند. از آن جایی که خروجی مدار همان گره Q اســـت، داده با کمترین تأخیر ممکن از D به Q با لبه بالارونده کلاک منتقل شـــده می شـــود. در ســـایر زمان‌ها (غیر از لبه بالارونده کلاک) داده توســـط بخش نگهدارنده حفظ شده و در خروجی Q نیز قرار دارد.

مدار ۱۶ ترانزیســـتوری نگهدارنده داده به‌طور کامل در برابر SEU مقاوم اســـت. در نظر بگیرید که این مدار شـــامل چهار گره مهم Q، Qr (افزونه Q)، Qb (مکمل Q) و Qbr اســـت. برای آنکه Qb و Qbr تغییر کنند، باید هر دو ورودی Q و Qr با هم تغییر کنند. اگر این دو ورودی دارای منطق یکســـان باشـــند، این دو خروجی دارای منطق مکمل (معکوس) خواهند بود. در صـــورت اینکه ورودی‌های Q و Qr دارای منطق‌های مخالف هم باشـــند، هر دو خروجی Qb و Qbr به‌صـــورت امپدانس بی‌نهایت بوده و منطق قبلی خود را حفظ می‌کنند. به‌عنوان مثال، در این مدار (شـــکل ۳)، اگر Q و Qr دارای منطق صـــفر باشـــند، ترانزیســـتورهای P0 تا P3 روشـــن و ترانزیســـتورهای N0 تا N3 خاموش خواهند بود. در این حالت گره‌های Qb و Qbr توســـط ترانزیســـتورهای روشـــن نوع P به ولتاژ تغذیه کشـــیده شـــده و دارای منطق یک خواهند بود. در این حالت اگر فرضـــاً منطق گره Q به یک تغییر کند، ترانزیســـتورهای P0 و P3 خاموش و به‌جای آن‌ها ترانزیســـتورهای N1 و N2 روشن می شوند. در این حالت هیچ‌کدام از مسیرهای ولتاژ تغذیه و زمین بسته نخواهند شد و هر دو خروجی Qb و Qbr به صورت مدارباز با امپدانس بی‌نهایت خواهند بود.

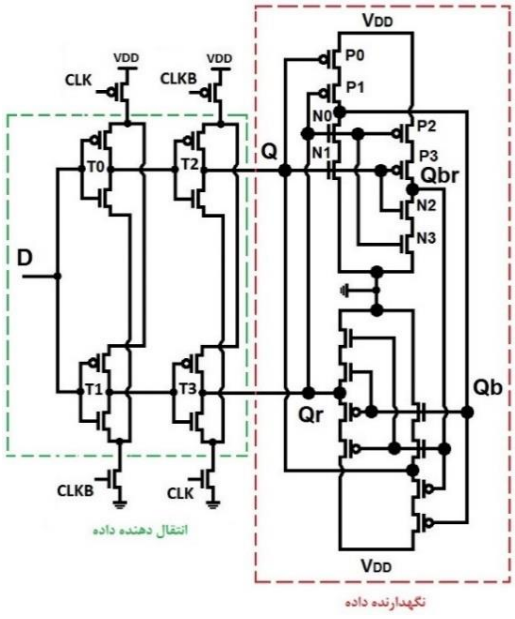


شکل ۲: مدارهای پیشین مقاوم/مصون در برابر SEU؛ الف) مدار مقاوم مبتنی را ا شمیت‌تریگر (MS-ST) [۹]، ب) مدار مقاوم ارائه شده در [۱۰] ج)مدار مقاوم ارائه‌شده در [۱۱]، ج) مدار مصون MS-DICE [۱۲]، د) مدار مصون ارائه‌شده در [۱۳]

با این توضـــیح، هر گاه یک ذره پرانرژی در اثر برخورد با یک ترانزیستور خاموش متصل به هریک از این چهار گره و تزریق هر میزانی از بار در آن ناحیه سـبب شـود که منطق آن گره (یکی از چهار گره Q، Qr، Qb و Qbr) به مقدار مخالف تغییر کند، این تغییر به ســایر گره‌ها ســرایت نخواهد کرد و در اثر آن گره‌ها منطق گره مورد اصــابت نیز به حالت اولیه خود بازخواهد گشت.

نکته قابل توجه اول در مدار نگهدارنده پیشنهادی این ا ست که در این مدار در تمام مســیرهای بین تغذیه و زمین چهار ترانزیســتور که به‌صورت متوالی به‌هم متصل هستند، وجود دارد. این امر سبب کاهش جریان نشتی و توان ایستا خواهد شد (که در مدارهای نشان‌داده شده در شــکل ۲ دیده نمی‌شــود) و در بخش بعد مورد ارزیابی عددی قرار خواهد گرفت.

نکته قابل توجه دوم این اســت که در مدار پیشــنهادی خروجی Q در واقع همان خروجی دروازه انتقال T2 اســت. بنابراین، همان‌طور که پیش‌تر نیز اشــاره شــد، با کمترین تأخیر ممکن با لبه بالارونده کلاک، داده از ورودی به خروجی می‌رسد.



شکل ۳: مدار فلیپ‌فلاپ مصون از SEU پیشنهادی

۴- شبیه‌سازی

در این بخش به ارزیابی عملکرد و کارایی مدار پیشنهادی و مقایسه آن با کارهای پیشین که در بخش ۲ به آن‌ها اشاره شد، پرداخته می شود. برای این منظور، مجموعه‌ای از شبیه‌سازی‌های سطح مدار با استفاده از نرم‌افزار HSpice و کتابخانه PTM در فن‌آوری ۴۵ نانومتر CMOS [۱۷] استفاده شده است. در شبیه‌سازی همه مدارها، از کتابخانه مذکور استفاده شده و ابعاد ترانزیستورها حداقل و ولتاژ تغذیه برابر با ۱/۱ ولت تنظیم شده است.

۴-۱- عملکرد عادی

شکل ۴ عملکرد عادی مدار را نشان می‌دهد. همان‌طور که مشاهده می شود، پس از لبه بالارونده کلاک (CLK) داده ورودی (D) به خروجی مدار (Q) منتقل و تا لبه بالارونده بعدی حفظ شده است. در این شکل، در لحظه t=۲ns (اولین لبه بالارونده کلاک) داده ورودی صفر است، لذا خروجی صفر شده است.

در لبه بالارونده بعدی (لحظه t=۶ns) داده ورودی برابر با ۱ است و خروجی ۱ شده است. همان‌طور که مشاهده می شود، در سایر زمان‌ها (غیر از لبه بالارونده کلاک) خروجی مقدار خود را حفظ کرده و با تغییر ورودی تغییری نمی‌کند.

۴-۲- مصونیت از SEU

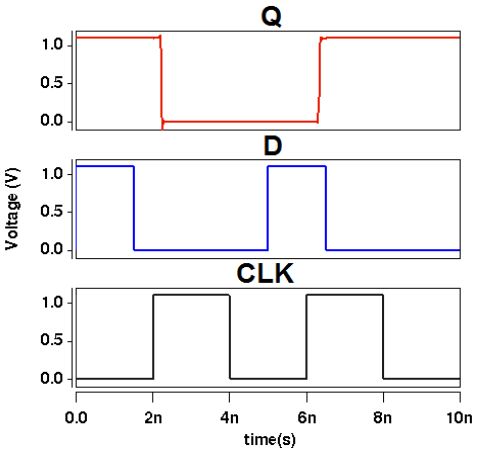
برای بررسی مصونیت مدار FF پیشنهادی در مقابل SEU از مدل تزریق اشکال ارائه شده در [۱۸] استفاده شده است. بر اساس این مدل، یک منبع جریان نمایی با مقدار مشخص شده تحت رابطه (۱) به گره مورد نظر متصل می‌شود (شکل ۵-الف).

در [۸] برای فن‌آوری ۹۰ نانومتر حداکثر مقدار ۱۰۰ میکروآمپر برای تزریق SEU در نظر گرفته شده است. در اینجا مقدار جریان تزریقی تا ۲۰۰± میکروآمپر تغییر کرده است (شکل ۵-ب).

در رابطه (۱) I_0 برابر با جریان ماکزیمم بار جمع‌شده، τ_1 برابر با ثابت زمانی جمع‌شدن مربوط به محل اتصال و τ_2 برابر با ثابت زمانی تولید ابتدایی مسیر یونی است. در شکل ۵-ب جریان‌های گذرای تولیدشده برای تزریق SEU در شبیه‌سازی‌ها را (با فرض $\tau_1 \gg \tau_2$) نشان داده شده است [۱۸].

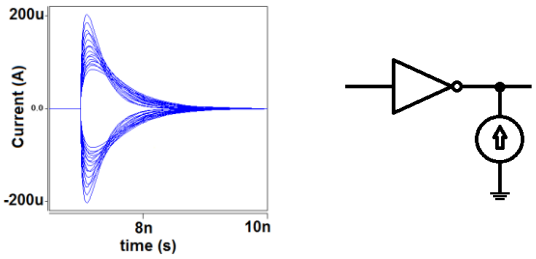
$$I_{inj}(t) = I_0(e^{-t/\tau_1} - e^{-t/\tau_2}) \qquad (۱)$$

شکل ۶ تزریق SEU به گره‌های مختلف مدار نگهدارنده در FF پیشنهادی را نشان می‌دهد. همان‌طور که مشاهده می شود، با تزریق SEU به هر گره سبب شده که سطح ولتاژ گره تا بیش از ۱/۵ و یا کمتر از ۰/۵- ولت تغییر کند. بااین‌حال، در تمامی موارد، گره مورد تزریق به سطح منطقی اولیه خود بازگشته و تغییری در داده ذخیره‌شده و خروجی حاصل نمی‌شود. شکل ۶-الف تزریق SEU به گره Q، شکل ۶-ب تزریق به گره Qb، شکل ۶-ج تزریق به گره Qr و شکل ۶-د تزریق به نقطه Qrb را نشان می‌دهد. با توجه به تقارن مدار، دو گره Q و Qr (و همچنین Qb و Qbr) افزونه یکدیگر هستند. لذا شکل موج آن‌ها هم در تزریق اشکال به هم شباهت زیادی دارد.



شکل ۴: شکل موج عملکرد عادی مدار

با توجه به اینکه با تزریق هر میزان بار به هر گره، خروجی و داده ذخیره‌شده تغییر نمی‌کند، نتیجه گرفته می‌شود که مدار FF پیشنهادی در مقابل SEU مصونیت دارد.



ب

الف

شکل ۵: تزریق SEU؛ الف) شماتیک مداری ب)جریان‌های تزریق‌شده

۴-۳- مقایسه با کارهای پیشین

به‌طورکلی افزایش قابلیت اطمینان با اعمال هزینه افزونگی همراه است. در مدار پیشنهادی هم در مقایسه با مدار FF معمول (شکل ۱-الف) از ترانزیستورهای بیشتری استفاده شده است. افزونگی معمولاً سبب اضافه شدن سربارهایی چون توان مصرفی، تأخیر و مساحت می شود [۱۹، ۲۰]. برقراری موازنه مناسب بین میزان بهبود قابلیت اطمینان و سربارهای ناشی از آن یکی از چالش‌های مهم طراحی است. در این بخش، مدار FF مصون از SEU پیشنهادی را با کارهای مشابه اخیر (نشان داده‌شده در شکل ۲) از لحاظ سربارهای سخت‌افزار، توان مصرفی، تأخیر و میزان تحمل‌پذیری در برابر SEU مقایسه می‌شود. این مقایسه در جدول ۱ خلاصه شده است.

در این جدول، در سطر اول تعداد ترانزیستورهای به‌کاررفته در ساختار مدارها مورد مقایسه قرار گرفته است. در بین مدارهای مقاوم/مصون در برابر SEU، مدارهای [۱۱، ۱۳] و مدار پیشنهادی کمترین و مدارهای [۱۰، ۱۲] بیشترین تعداد ترانزیستور را دارا هستند. در سطر دوم تأخیر کلاک به خروجی مورد مقایسه قرار گرفته است.

این تأخیر برابر با میزان فاصله زمانی از لبه بالارونده کلاک تا تغییر خروجی است. مشاهده می شود که مدار پیشنهادی دارای تأخیر کم و قابل‌قبولی است (کمترین در بین مدارهای گذشته).

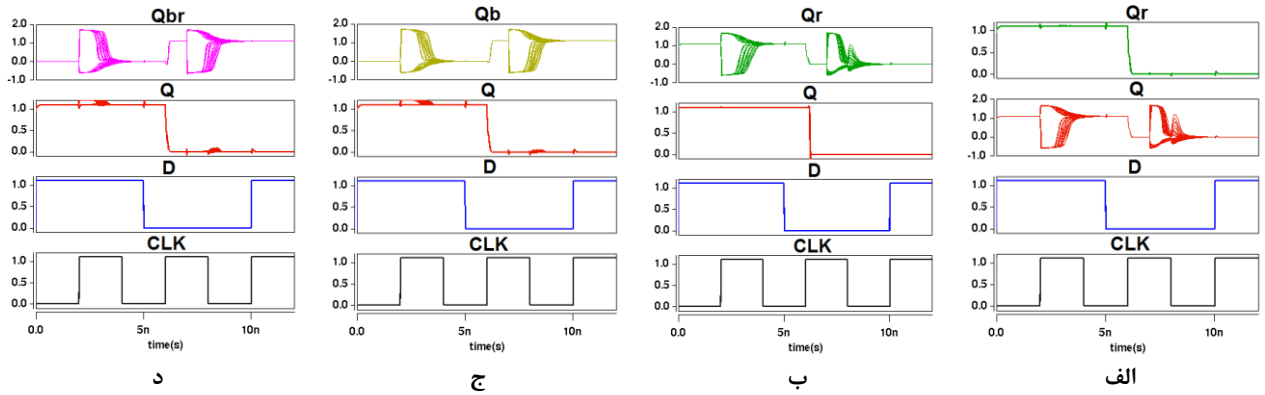
در سطر سوم توان مصرفی مورد مقایسه قرار گرفته است. توان مصرفی به دو مؤلفه ایستا و پویا قابل تقسیم است [۷]. از بین این دو مؤلفه، توان پویا به میزان فعالیت خروجی (درصد تغییر از ۰ به ۱ و یا از ۱ به ۰) وابسته است. در جدول ۱، توان مصرفی برای میزان تغییر ورودی برابر با ۲۵ درصد گزارش شده است [۱۱، ۱۳]. در شکل ۷ توان مصرفی به‌ازای مقادیر مختلفی از درصد تغییر (فعالیت) خروجی مورد مقایسه قرار گرفته است. به‌طورکلی مشاهده می‌شود که با افزایش میزان فعالیت ورودی و به‌تبع آن توان پویا، میزان تفاوت در توان مصرفی در بین مدارهای مورد بررسی افزایش می‌یابد. قابل‌توجه است که میزان توان مصرفی مدار پیشنهادی در مقایسه با سایر مدارها کم و قابل‌قبول است. علت این موضوع این است که مؤلفه توان ایستای این مدار به‌دلیل اتصال متوالی ترانزیستورها (۴ ترانزیستور بین پایانه‌های تغذیه در همه مسیرها) در مدار نگهدارنده کم است. در بین مدارهای گذشته، مدار ارائه‌شده در [۱۱] دارای توان ایستای بیشتر و توان پویای کمتری نسبت به مدار پیشنهادی است. از این‌رو همان‌طور که در شکل ۷ مشاهده می‌شود، به‌ازای درصدهای کمتر فعالیت ورودی، توان مصرفی در مدار پیشنهادی کمتر از مدار [۱۱] است، ولی با افزایش میزان فعالیت ورودی و درنتیجه افزایش توان پویا، توان مصرفی مدار [۱۱] نسبت به مدار پیشنهادی برتری می‌یابد.

سطر چهارم و پنجم جدول ۱، میزان توان مصرفی در تأخیر (PDP) و میزان انرژی مصرفی در تأخیر (EDP) را مقایسه می‌کند. اهمیت این پارامترها برای بررسی در آن است که توان/انرژی مصرفی و تأخیر را (که معمولاً ارتقا یا افت آن‌ها در جهت عکس یکدیگر است) به‌صورت توأمان مورد مقایسه قرار می‌دهد. همان‌طور که در جدول ۱ گزارش شده است، در بین مدارهای رقیب مدار پیشنهادی کمترین میزان PDP و همچنین EDP را دارا است. آخرین سطر جدول ۱ میزان مقاومت در برابر SEU را مورد بررسی قرار می‌دهد. همان‌طور که پیش‌تر نیز اشاره شد، مدارهای فلیپ‌فلاپ را از جهت میزان مقاومت در برابر SEU به دو دسته مقاوم و مصون می‌توان دسته‌بندی کرد. همان‌طور که بیان شد، مدارهای مصون میزان تحمل‌پذیری بیشتری نسبت به مدارهای مقاوم دارند. در بین مدارهای مورد مقایسه در جدول ۱، تنها مدارهای ارائه‌شده در [۱۲، ۱۳] و مدار پیشنهادی در برابر SEU مصون هستند. در بخش بعد، میزان مقاومت این سه مدار در مقابل SEMU مورد ارزیابی قرار می‌گیرد.

۴-۴- مقاومت در برابر خطاهای SEMU

همان‌طور که پیش‌تر نیز اشاره شد، با افزایش هر چه بیشتر ابعاد ترانزیستورهای CMOS و کم‌شدن فاصله بین گره‌ها در یک مدار، احتمال آنکه یک ذره پرانرژی با برخورد خود دو یا چند گره هم‌سایه را تحت‌تاثیر قرار دهد، افزایش یافته است [۳، ۶، ۱۹، ۲۱، ۲۲]. در [۲۱، ۲۲] برخورد ذره پرانرژی به دو گره مجاور بررسی شده است. مدارهای در نظر گرفته‌شده در بخش ۲ و همچنین جدول ۱ هیچ‌یک در برابر برخورد دوگانه ذرات پرانرژی مصون نیستند. به‌عبارت دیگر، این مدارها ممکن است در مقابل تک‌رویداد دو گره واژگونی (SEDU) از خود مقاومت نشان دهند، اما هیچ‌یک نمی‌توانند به‌طور کامل مصونیت نشان دهند.

در [۲۱] برای مقایسه میزان مقاومت در برابر SEDU، بار بحرانی گره اول در مقابل بار بحرانی گره دوم در نظر گرفته شده و مورد مقایسه قرار گرفته است. به‌بیانی دیگر، در این مقاله، زوج گره‌هایی که با برخورد ذره پرانرژی به آن‌ها، داده ذخیره‌شده تغییر خواهد کرد، شناسایی شده و برای هر زوج گره نمودار بار بحرانی یک نقطه برحسب بار بحرانی دیگری ترسیم می شود. سپس برای هر مدار، حساس‌ترین زوج گره (با کمترین میزان بارهای بحرانی) شناسایی شده و نمودارهای بار بحرانی آن‌ها با نمودارهای مشابه برای حساس‌ترین زوج بحرانی سایر مدارها مقایسه می شود. این مقایسه مبنای تشخیص مدارهای مقاوم‌تر در مقابل SEDU نسبت به سایر مدارها در [۲۱] قرار گرفته است.

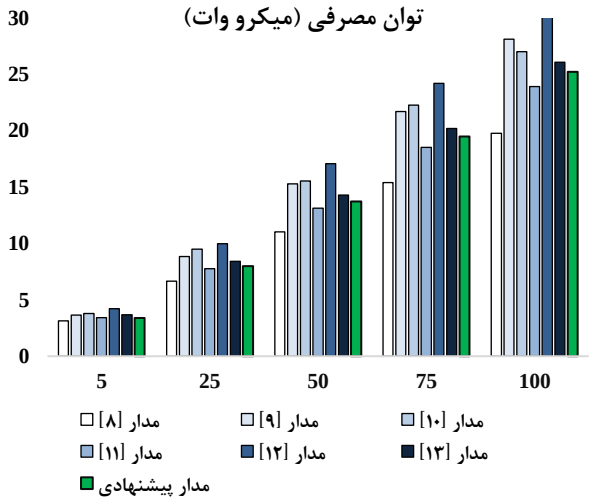


شکل ۶: تزریق SEU به گره‌های بخش نگهدارنده؛ الف) تزریق اشکال به گره Q، ب) تزریق اشکال به گره Qr، ج)تزریق اشکال به گره Qb، د) تزریق اشکال به گره Qbr

جدول ۱: مقایسه کارایی مدار FF پیشنهادی با کارهای مشابه اخیر

مدار فلیپ‌فلاپ	مدار ساده [۸]	مدار [۹]	مدار [۱۰]	مدار [۱۱]	مدار [۱۲]	مدار [۱۳]	مدار پیشنهادی
تعداد ترانزیستور	۱۸	۳۲	۴۰	۲۴	۳۶	۲۲	۲۴
تأخیر کلاک تا خروجی (پیکو ثانیه)	۳۹	۶۵	۷۹	۶۳	۷۱	۵۶	۴۹
توان مصرفی (میکرو وات) [۱]	۶/۷	۸/۸	۹/۱	۷/۸	۱۰/۰	۸/۴	۸/۰
PDP (فمتو ژول) [۱]	۰/۲۶۰	۰/۵۷۵	۰/۷۱۹	۰/۴۸۵	۰/۷۱۰	۰/۴۷۱	۰/۳۹۴
EDP (فمتو ژول ثانیه) [۱]	۱۰/۱	۳۷/۴	۵۶/۸	۳۰/۸	۵۰/۴	۲۶/۴	۱۹/۳
میزان مقاومت در برابر SEU	ضعیف	مقاوم	مقاوم	مقاوم	مصون	مصون	مصون

[۱] در اینجا میزان فعالیت ورودی ۲۵ درصد فرض شده است.



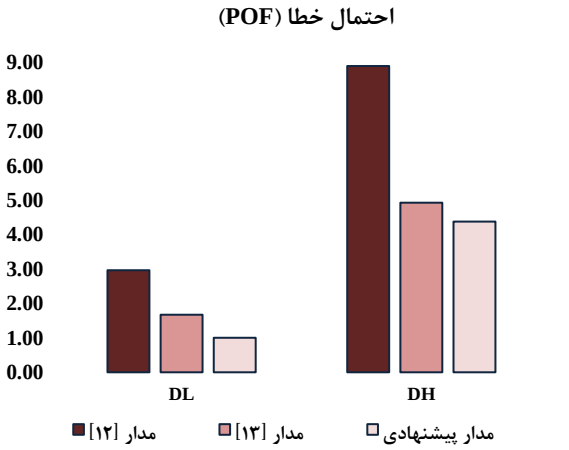
شکل ۷: مقایسه توان مصرفی به‌ازای مقادیر مختلف فعالیت ورودی

$$\frac{POF_A}{POF_B}=\frac{\sum_A \frac{A_i}{A_{TOT}}\times E_i}{\sum_B \frac{A_j}{A_{TOT}}\times E_j} \qquad (۲)$$

$$E_i=\frac{\text{numberof flips}}{\text{totalnumberof SEU injection}}$$

در رابطه فوق، A_i مساحت دیفیوژن زوج گره حساس i، A_{TOT} مساحت کل فلیپ‌فلاپ‌های در نظر گرفته‌شده به‌عنوان یک پارامتر نرمالیزه کننده و E_i احتمال تغییر داده ذخیره‌شده در اثر برخورد یک ذره پرانرژی به گره i است. برای محاسبه Ei، تعداد ۱۰۰۰ شبیه‌سازی مونت‌کارلو در دو توزیع مختلف از بارهای بحرانی صورت گرفته است [۲۲، ۲۳]. برای تزریق اشکال، بارهای تزریق شده به زوج نقاط حساس در دو توزیع کم (DL) و زیاد (DH) در نظر گرفته شده‌اند. از آن‌جایی که در [۸] برای تزریق اشکال ۱۰۰ میکروآمپر جریان برای رابطه (۱) در نظر گرفته شده است، در توزیع DL مجموع جریان‌های تزریقی برابر با ۱۰۰ میکروآمپر و در DH برابر با ۲۰۰ میکروآمپر (مشابه بخش ۴-۲) در نظر گرفته شده‌است. شکل ۸، مقایسه احتمال خطا در مدارهای فلیپ‌فلاپ در نظر گرفته‌شده در این مقاله را برای دو توزیع بار DL (شکل ۸-الف) و DH (شکل ۸-ب) نشان می‌دهد. در مقادیر فوق، مدار پیشنهادی در توزیع DL به‌عنوان مبنا انتخاب شده است. همان‌طور که در جدول ۱ مورد مقایسه قرار گرفته است، در بین مدارهای فلیپ‌فلاپ در نظر گرفته شده، تنها مدارهای پیشنهادی در [۱۲، ۱۳] و این مقاله به‌طور کامل در برابر SEU مصون هستند. لذا در شکل ۸، تنها این سه مدار مورد مقایسه قرار گرفته‌اند.

همان‌طور که در شکل ۸ مشاهده می شود، مدار MS-DICE [۱۲] برخلاف آنکه بیشتر هم مورد استقبال و حتی پیاده‌سازی قرار گرفته است، دارای بیشترین میزان خطا و آسیب‌پذیری در برابر SEDU است. با دقت در رابطه (۲) مشخص است که میزان احتمال بروز خطا به مساحت مدار بسیار وابسته است. با توجه به اینکه طبق جدول ۱ مدار MS-DICE [۱۲] دارای بیشترین مساحت است، بالاتربودن میزان POF آن نسبت به مدارهای دیگر قابل توجیه است. مدار پیشنهادی در این مقاله دارای POF کمتری نسبت به مدار [۱۳] نیز است که توجیه آن بیشتربودن بارهای بحرانی زوج نقاط حساس مدار پیشنهادی نسبت به مدار [۱۳] است.



شکل ۸: مقایسه احتمال بروز خطا در داده ذخیره‌شده در حضور SEDU

در [۲۲] بحث شده که چنین مقایسه‌ای نمی‌تواند مدارهای مختلف را در مقابله با SEDU در قیاس با یکدیگر رتبه‌بندی کند. در مقاله [۲۲]، از یک معیار کمی برای ارزیابی میزان مقاومت و قابلیت اطمینان با در نظرگرفتن SEDU استفاده شده است که در این مقاله نیز از همان بهره می‌گیریم. طبق [۲۲، ۲۳]، احتمال خطا در داده ذخیره شده (POF) در فلیپ‌فلاپ A نسبت به فلیپ‌فلاپ B از رابطه (۲) قابل حصول است.

در بخش ۴، برای خطاهای نرم ناشی از برخورد ذرات پرانرژی در مدارهای ترتیبی شامل SEU و در شکل پیچیده‌تر آن، SEDU، شبیه سازی‌های متنوعی ارائه شد. نشان داده شد که مدار فلیپ‌فلاپ پیشنهادی در مقابل SEU و SEDU دارای عملکرد مناسبی خصوصاً در مقایسه با کارهای پیشین است. ذرات پرانرژی در بخش‌های ترکیبی مدارهای دیجیتال می‌توانند باعث بروز یک پالس ولتاژ اشکال شوند. این پالس اشکال که به پالس اشکال SET موسوم است، می‌تواند در مدار ترکیبی در مسیرهای مختلف منتشر شود. اگر این پالس در لبه بالارونده پالس کلاک به ورودی فلیپ‌فلاپ برسد، ممکن است به‌عنوان یک داده غلط در آن ذخیره شود. برای مقابله با این پالس اشکال راه‌های مختلفی برای مدارهای ترکیبی از قبیل بزرگ‌تر کردن اندازه دروازه‌های منطقی یا استفاده از مدارهای فیلترکننده SET پیشنهاد شده است [۳].

قابل توجه است که هیچ‌کدام از مدارهای فلیپ‌فلاپ مورد نظر قرار گرفته در این مقاله با پالس اشکال SET مقابله نمی‌کنند. در برخی از کارهای گذشته مانند [۲۴، ۲۵] مدارهای لچی ارائه‌شده که می‌تواند پالس اشکال ورودی را به شرطی که پهنای آن از حدی کمتر باشد، فیلتر کند. با این مدارهای لچ می‌توان با ساختار تابع-پیشرو مدارهای فلیپ‌فلاپی که بتوانند تا حدی پالس‌های SET را حذف کنند، پیشنهاد داد. اما باید توجه داشت که این لچها دارای تأخیر بسیار زیادی هستند. به‌طور مثال لچ ارائه‌شده در [۲۴] دارای تأخیری تا ۱۰ برابر بیشتر نسبت به لچهایی است که فاقد این قابلیت هستند. لذا استفاده از این لچ‌ها و یا فلیپ‌فلاپ‌های مبتنی بر آن‌ها برای مقابله با SET دارای سربار بالایی در سرعت بوده و کاربرد بسیار محدودی خواهند داشت [۳].

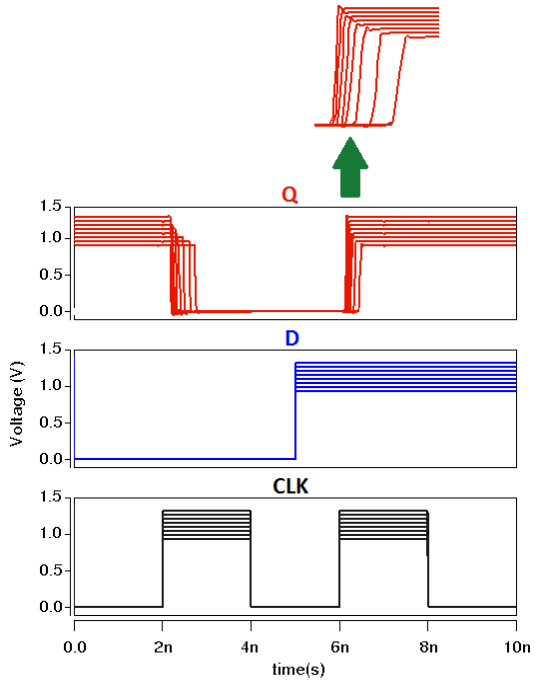
۴-۵- بررسی اثر تغییرات ولتاژ، دما و فرآیند بر عملکرد مدار فلیپ‌فلاپ پیشنهادی

یکی دیگر از چالش‌های طراحی مدارهای خیلی فشرده در ابعاد ریزنانومتری، تأثیرپذیری از تغییرات ولتاژ، دما و فرآیند است. با کاهش ابعاد ترانزیستورها و به‌دنبال آن کاهش ولتاژ تغذیه و همچنین ولتاژ آستانه ترانزیستورها، اندکی تغییرات در ولتاژ تغذیه مدار، تغییر در دمای محیط و یا اندکی تغییر در ابعاد ترانزیستورها در پروسه ساخت می‌تواند در عملکرد مدارها تأثیر منفی بگذارد [۲۶، ۲۷].

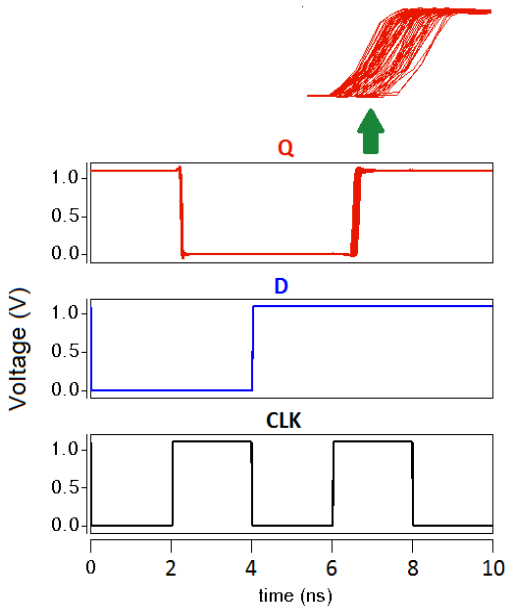
در این بخش، اثرات تغییر ولتاژ تغذیه، ابعاد ترانزیستورها، ولتاژ آستانه ترانزیستورها و دما بر عملکرد عادی مدار مورد ملاحظه قرار گرفته است. در شکل ۹، ولتاژ تغذیه از ۰/۹ تا ۱/۲۵ ولت تغییر کرده است. همان‌طور که در این شکل ملاحظه می‌شود، با افزایش ولتاژ تغذیه تأخیر مدار (کلاک به خروجی) کاهش پیدا می‌کند، ولی تغییرات ولتاژ تغذیه در صحت عملکرد مدار تأثیر منفی ندارد.

در شکل ۱۰، اثرات تغییرات فرآیند ساخت مورد بررسی قرار گرفته است و مشاهده می شود که با تغییر ابعاد ترانزیستورها، عملکرد عادی مدار دچار مشکل نمی‌شود. در این شبیه‌سازی، ابعاد ترانزیستورها (W/L) و همچنین ولتاژ آستانه آن‌ها با میانگین ۱۵ و انحراف از معیار ۳ در تابع توزیع نرمال در ۱۰۰ نقطه تغییر داده شده است [۲۶].

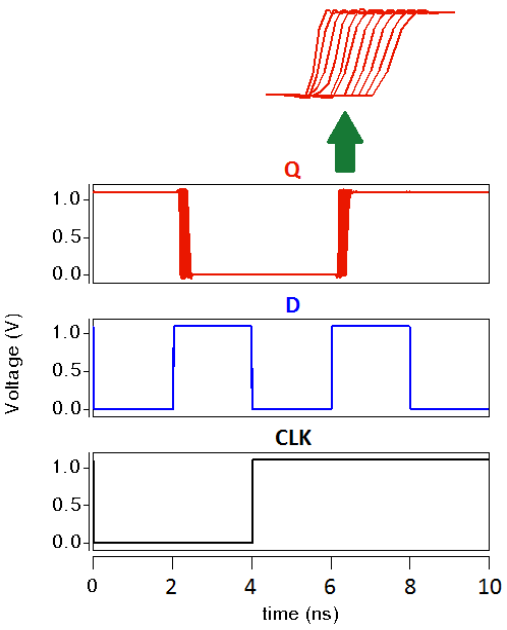
شکل ۱۱ تأثیر تغییرات دمای محیط بر عملکرد مدار فلیپ‌فلاپ پیشنهادی را بررسی می‌کند. در این ارزیابی، ولتاژ تغذیه از ۱۰- تا ۹۰+ درجه سانتی‌گراد تغییر داشته است. همان‌طور که مشاهده می‌شود، در این تغییرات دمایی، مدار عملکرد عادی و صحیح خود را دارد و خروجی دچار اشکال نشده است.



شکل ۹: تأثیر تغییرات ولتاژ تغذیه بر عملکرد مدار پیشنهادی



شکل ۱۰: تأثیر تغییرات فرآیند ساخت بر عملکرد مدار پیشنهادی



شکل ۱۱: تأثیر تغییرات دما بر عملکرد مدار پیشنهادی

۵- نتیجه‌گیری

در این مقاله یک مدار فلیپ‌فلاپ مصـــون از خطای نرم SEU ارائه و ارزیابی شد. با تحلیل مداری و همچنین انجام شبیه‌سازی‌ها نشان داده شد که مدار ارائه شده به‌طور کامل در برابر برخورد ذرات پرانرژی مقاوم بوده و داده ذخیره‌شـــده در آن تغییر نمی‌کند. مدار پیشـــنهادی تنها از ۲۴ ترانزیستور تشکیل شده است، درحالی‌که، معمولاً مدارهای مشابه پیشین از ترانزیستورهای بیشتری تشکیل شده‌اند. نشان داده شد که مدار معرفی‌شـــده دارای کمترین مقادیر PDP و EDP در مقایســـه با کارهای مشابه قبلی است. قابل توجه است که در مقایسه با فلیپ‌فلاپ مشـــهور MS-DICE مدار پیشـــنهادی دارای حدود ۲۰ درصـــد توان مصـرفی کمتر و همچنین حدود ۳۱ درصـد تأخیر کمتر اسـت. در این مقاله چالش‌های دیگر طراحی مدارهای دیجیتال شامل SEMU و اثرات تغییرات PVT نیز مورد ارزیابی قرار گرفت. در بخش ۴ نشان داده شد که مدار پیشنهادی در مقایسه با سایر مدارهای مصون در برابر SEU که در بخش ۲ مورد مطالعه قرار گرفت، دارای مقاومت بیشـــتری در مقابل SEDU است. همچنین در مقابل با تغییرات PVT عملکرد عادی مدار پیشـــنهادی دچار خطا نمی‌شـــود. در مجموع می‌توان ادعا کرد که این مقاله یک مدار فلیپ‌فلاپ قابل‌اطمینان و کم‌هزینه برای ابعاد ریزنانومتری ارائه کرده که می‌تواند در کاربردهایی که در آن‌ها قابلیت اطمینان در مقابل خطاهای نرم حیاتی است، مورد استفاده قرار بگیرد.

مراجع

[۱] سید امیر هاشمی «مدل تحلیلی پتانسیل و ولتاژ آستانه ترانزیستور ماسفت دوگیتی با گیت دوماده‌ای بدون آلایش»، مجله مهندسی برق دانشگاه تبریز، دوره ۴۷، شماره ۴ ،صفحات ۱۷۵۹-۱۷۶۹، ۱۳۹۶.

[۲] مهسا مهراد، میثم زارعی «ارائه ساختار نوین ترانزیستور اثر میدان سیلیسیم روی عایق دو گیتی با پنجره اکسید در درین گسترده شده به منظور کاربرد در تکنولوژی نانو»، مجله مهندسی برق دانشگاه تبریز، دوره ۴۷، شماره ۲ ،صفحات ۷۲۷-۷۳۳، ۱۳۹۶.

[3] R. Rajaei, M. Tabandeh and M. Fazeli. “Low cost circuit-level soft error mitigation techniques for combinational logic,” Scientia Iranica. Transaction D, Computer Science & Engineering, Electrical, vol. 22, no. 6, pp. 2401-2414, 2015.

[4] M. Omana, D. Rossi and C. Metra. “Latch susceptibility to transient faults and new hardening approach,” IEEE Transactions on Computers, vol. 56, no. 9, pp. 1255-1268, 2007.

[5] S. Kiamehr, et al. “Radiation-induced soft error analysis of SRAMs in SOI FinFET technology: A device to circuit approach,” *Design Automation Conference (DAC), 2014 51st ACM/EDAC/IEEE*. IEEE, 2014.

[6] A. Neale, M. Jonkman and M. Sachdev “Adjacent-MBU-tolerant SEC-DED-TAEC-yAED codes for embedded SRAMs,” IEEE Transactions on Circuits and Systems II: Express Briefs, vol. 62, no. 4, pp. 387-391, 2014.

[7] R. Rajaei and S. B. Mamaghani. “Ultra-low power, highly reliable, and nonvolatile hybrid MTJ/CMOS based full-adder for future VLSI design,” IEEE Transactions on Device and Materials Reliability, vol. 17, no. 1, pp. 213-220, 2017.

[8] S. M. Jahinuzzaman, D. J. Rennie and M. Sachdev “A soft error tolerant 10T SRAM bit-cell with differential read capability,” IEEE Transactions on Nuclear Science, vol. 56, no. 6, pp. 3768 - 3773, 2009.

[9] M. Glorieux, et al. “New D-flip-flop design in 65 nm CMOS for improved SEU and low power overhead at system level,” IEEE Transactions on Nuclear Science, vol. 60, no. 6, pp. 4381 - 4386, 2013.

[10] G. L. Jaya, S. Chen and S. Liter, “A Dual Redundancy Radiation-Hardened Flip-Flop Based on C-element in 65nm Process”, *International Symposium on Integrated Circuits (ISIC)*, 2016.

[11] D. Rennie and M. Sachdev “Novel Soft Error Robust Flip-flops in 65nm CMOS,” IEEE Transactions on Nuclear Science, vol. 58, no. 5, pp. 2470-2476, 2011.

[12] W. Wang and H. Gong. “Edge triggered pulse latch design with delayed latching edge for radiation hardened application,” IEEE Transactions on Nuclear Science, vol. 51, no. 6, pp. 3626-3630, 2004.

[13] S. M. Jahinuzzaman and R. Islam. "TSPC-DICE: A single phase clock high performance SEU hardened flip-flop." *Circuits and Systems (MWSCAS), the 53rd IEEE International Midwest Symposium on*. 2010.

[۱۴] محمدامین ثابت سروستانی، بهنام قوامی و محسن راجی «کاهش نرخ خطای نرم چندگانه مدارهای ترکیبی مبتنی بر اندازه‌گذاری دروازه‌ها بر مبنای پارامتر حساسیت»، مجله مهندسی برق دانشگاه تبریز، دوره ۴۷، شماره ۲ ،صفحات ۴۴۵-۴۵۴، ۱۳۹۶.

[15] L. Trang Dang, J. Kim and I. Chang, “We-Quatro: Radiation-Hardened SRAM Cell with Parametric Process Variation Tolerance,” *IEEE Transactions on Nuclear Science* , vol. 64, no. 9, pp. 2489-2496, 2017.

[16] T. Calin, M. Nicolaidis and R. Velazco, “Upset hardened memory design for submicron CMOS technology,” IEEE Transactions on Nuclear Science, vol. 43, no. 6, pp. 2874-2878, 1996.

[17] Predictive technology model for spice tool. [Online]. Available: < http://ptm.asu.edu >

[18] H. Cha and J. H. Patel, "A logic-level model for α particle hits in CMOS circuits," *in Proc. 12th Int. Conf. ICCD, Cambridge, MA, USA, pp. 538–542*, 1993.

[19] R. Rajaei, "Single event double node upset tolerance in MOS/spintronic sequential and combinational logic circuits," Microelectronics Reliability vol. 69, no. 1, pp. 109-114, 2017.

[20] R. Rajaei and A. Gholipour. "Low Power, Reliable, and Nonvolatile MSRAM Cell for Facilitating Power Gating and Nonvolatile Dynamically Reconfiguration," IEEE Transactions on Nanotechnology, vol. 17, no. 2, pp. 261-267, 2018.

[21] S. Lin, Y. B. Kim and F. Lombardi, "Analysis and design of nanoscale CMOS storage elements for single-event hardening with multiple-node upset," IEEE Transactions on Device and Materials Reliability, vol. 12, no. 1, pp. 68–77, 2012.

[22] R. Rajaei, B. Asgari, M. Tabandeh and M. Fazeli, "Design of Robust SRAM Cells Against Single-Event Multiple Effects for Nanometer Technologies," IEEE Transactions on Device and Materials Reliability, vol. 15, no. 3, pp. 429-436, 2015.

[23] D. Black, W. Robinson, I. Wilcox, D. Limbrick and J. Black,
"Modeling of Single Event Transients with Dual Double-Exponential Current Sources: Implications for Logic Cell Characterization," IEEE Transactions on Nuclear. Science, vol. 62, no. 4, pp. 1540-1549, Aug. 2015.

[24] R. Rajaei, M. Tabandeh and M. Fazeli, "Low Cost Soft Error Hardened Latch Designs for Nano-scale CMOS Technology in presence of Process Variation," Microelectronics Reliability, vol. 53, no. 6, pp. 912-924, 2013.

[25] A.Yan, H. Liang, Z. Huang, C. Jiang, Y. Ouyang and X. Li, "An SEU resilient, SET filterable and cost effective latch in presence of PVT variations," Microelectronics Reliability vol. 63, pp. 239-250, 2016.

[26] A. Zjajo, Q. Tang, M. Berkelaar, J. P. Gyvez, A. D. Bucchianico and N. Meijs, "Stochastic Analysis of Deep-Submicrometer CMOS Process for Reliable Circuits Designs," IEEE Transactions on Circuits and Systems II: Regular papers, vol. 58, no. 1, pp. 164-175, 2011.

[27] A. Agarwal, D. Blaauw, V. Zolotov, S. Sundareswaran, M. Zhao, K. Gala and R. Panda, "Statistical Timing Analysis for Intra-Die Process Variations with Spatial Correlations," *International Conference on Computer Aided Design*, 2003.