

بهبود سرعت مقایسه کننده دینامیکی تک-فاز

محمد سلیمانی^۱، دانشجوی دکتری؛ سیروس طوفان^۲، استادیار

۱- دانشکده مهندسی برق و کامپیوتر - دانشگاه زنجان - زنجان - ایران - m_soleimani@znu.ac.ir

۲- دانشکده مهندسی برق و کامپیوتر - دانشگاه زنجان - زنجان - ایران - s.toofan@znu.ac.ir

چکیده: در این مقاله، مقایسه گر دینامیکی تک-فاز با اضافه نمودن یک لچ NMOS کمکی در گره خروجی و دو ترانزیستور NMOS کلاک دار در گره های داخلی آن بهبود داده شده است. این لچ و ترانزیستورهای NMOS کلاک دار، بدون افزایش اثر بارگذاری خازنی و نویز بازگشتی بر روی طبقات قبلی و بعدی مقایسه گر، موجب افزایش سرعت مقایسه گر شدند. مقایسه گر پیشنهادی با صرف توان تلفاتی دینامیکی تقریباً یکسان نسبت به مقایسه گر متداول دارای سرعت بالاتر است. برای نشان دادن بهبود ویژگی های مذکور، مقایسه گرهای پیشنهادی و متداول در نرخ نمونه برداری - ۲GS/s در پروسه 0.18- μm CMOS آنالیز و شبیه سازی گردیدند. در این مورد، خروجی های مقایسه گر پیشنهادی نسبت به مقایسه گر متداول تقریباً ۱۸ پیکوثانیه (۰.۹٪) سریع تر تعیین شدند. همچنین برای مقایسه عملکرد مقایسه گرهای پیشنهادی و متداول در مبدل ها، دو مبدل فلش ۴-بیتی با به کارگیری مقایسه گرهای پیشنهادی و متداول در بلوک زنجیره های مقایسه کننده شان در فرکانس نمونه برداری ۲-GS/s طراحی و شبیه سازی شدند. نتایج شبیه سازی ها، ضرایب شایستگی مبدل ها (FOM) با مقایسه گرهای پیشنهادی و متداول را به ترتیب ۰.۶۱-pJ/conv.step و ۰.۷۲-pJ/conv.step و تعداد بیت مؤثر خروجی (ENOB) مبدل ها را به ترتیب ۳/۷۴-Bit و ۳/۴۵-Bit نشان می دهند. علاوه بر آن، توان های تلفاتی آرایه مقایسه گرها در دو مبدل با مقایسه گرهای پیشنهادی و متداول به ترتیب ۴/۲۳-mW و ۴/۰۹-mW می باشند. همچنین تلفات توان دو مبدل، بدون توان های تلفاتی آرایه مقایسه گرهایشان به ترتیب ۱۲/۰۳-mW و ۱۱/۷۰-mW است.

واژه های کلیدی: مبدل فلش، مقایسه کننده دینامیکی تک-فاز، لچ NMOS، نویز بازگشتی.

Improvement of Single-Phase Dynamic-Latched Comparator

M. Soleimani¹, PhD Student; S. Toofan², Assistant Professor

1- Faculty of Electrical and Computer Engineering, University of Zanjan, Zanjan, Iran. Email: m_soleimani@znu.ac.ir

2- Faculty of Electrical and Computer Engineering, University of Zanjan, Zanjan, Iran. Email: s.toofan@znu.ac.ir

Abstract: In this paper, single-phase dynamic comparator was improved based on adding a clocked NMOS auxiliary latch at its output and two clocked NMOS transistors at its internal nodes. Using clocked NMOS latch and transistors increased the speed of comparator, without increasing the loading effect and kick-back noise on its previous and next stages. The advantage of the proposed comparator rather than the conventional comparator was higher speed with precence same power dissipations. To demonstrate the mention specifications, proposed and conventional comparators were analyzed and simulated at 2-GS/s sampling rate in 0.18- μm CMOS process. In this case, the outputs of proposed comparator were determined almost 18-ps (%9) faster than the outputs of conventional comparator. Also, to compare the performances of proposed and conventional comparators in flash ADCs, two 4-bits flash ADCs, using proposed and conventional comparators in their comparison chains blocks, were designed and simulated at 2-GS/s. In this case, the FOM of ADCs with the proposed and conventional comparators at nyquist rate input frequency achieved 0.61-pJ/conv.step and 0.72-pJ/conv.step, respectively. Corresponding, the ENOB of ADCs achieved 3.74-Bit and 3.45-Bit, respectively. In addition, the power dissipations of comparators array of ADCs with proposed and conventional comparators were 4.23-mW and 4.09-mW, respectively. Also, the power dissipations of two flash ADCs, without the power dissipations of their comparators array, were 11.70-mW and 12.03-mW, respectively.

Keywords: Flash ADC, single-phase dynamic comparator, NMOS latch, and kick-back noise.

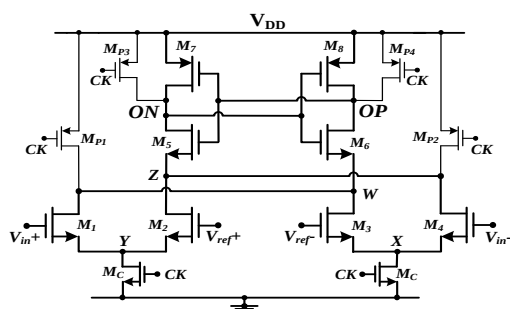
تاریخ ارسال مقاله: ۱۳۹۶/۱۱/۲۸

تاریخ اصلاح مقاله: ۱۳۹۷/۰۳/۲۸ و ۱۳۹۷/۰۶/۰۳

تاریخ پذیرش مقاله: ۱۳۹۷/۰۸/۲۱

نام نویسنده مسئول: سیروس طوفان

نشانی نویسنده مسئول: ایران - زنجان - دانشگاه زنجان - دانشکده مهندسی برق و کامپیوتر.



شکل ۱: مدار مقایسه گر دینامیکی تک-فاز متداول.

مرجع است، تولید می کنند. در این حالت جریان جاری شده از ترانزیستورهای M_5 و M_6 فیدبک مثبتی را در اینورترهای پشت به پشت M_5-M_8 به وجود می آورند که متنا سب با آن، این اینورترها خروجی های مقایسه گر را به سمت ولتاژهای rail پیش می برند. مقایسه گر متداول به دلیل عملکرد با کلاک تک-فاز نسبت به مقایسه گرهای بیان شده در [۱-۴]، دارای بهترین عملکرد از لحاظ سرعت، مصرف توان استاتیکی، حجم اشغالی و غیر خطینگی است. در این مقایسه گر برای افزایش سرعت از افزایش سطوح ترانزیستورهای تفاضلی استفاده می شود. اما این کار منجر به افزایش توان مصرفی، مصرف توان سیگنال کلاک، نویز بازگشتی و اثر بارگذاری خازنی بر روی طبقه قبلی آن (نردبان مقاومتی و خروجی های S/H) می گردد. علاوه بر آن برای سریع تر کاهش دادن ولتاژ گره های OP و ON در ابتدای فاز دوم، می توان سطوح ترانزیستورهای M_5 و M_6 را بزرگ تر کرد. اما این کار باعث افزایش خازن درین-سورس و گیت-سورس این ترانزیستورها خواهد شد. به تبع آن خازن گره های خروجی، Z و W افزایش می یابد.

برای کاهش اثر این مشکلات، در این مقاله، مقایسه گر دینامیکی تک-فاز متداول بر پایه اضافه نمودن یک لچ NMOS کلاک دار در گره خروجی و دو ترانزیستور NMOS کلاک دار در گره های داخلی آن بهبود داده شد. این لچ و ترانزیستورهای NMOS موجب افزایش سرعت مقایسه کننده، بدون افزایش اثر بارگذاری خازنی و نویز بازگشتی بر روی طبقات قبلی و بعدی مقایسه کننده گردید.

ادامه این مقاله در سه بخش بیان می شود. در بخش دوم، مقایسه کننده پیشنهادی و نحوه عملکرد آن با جزئیات بیشتری مورد تحلیل و تجزیه قرار می گیرد. در بخش سوم، نتایج شبیه سازی مقایسه کننده های پیشنهادی و متداول ارائه و مقایسه می شوند. نهایتاً در بخش چهارم مقایسه، جمع بندی و نتیجه گیری بیان می گردد.

۲- مدار مقایسه گر دینامیکی تک-فاز پیشنهادی

همان طور که مشخص است، طبقه مقایسه گر در مبدل فلش، طبقه حائز اهمیتی است. طراحی این طبقه بر عملکرد مبدل بسیار مؤثر است. چون در اکثر مواقع این طبقه سرعت مبدل فلش را تعیین می کند. مدار مقایسه گر دینامیکی تک-فاز پیشنهادی در شکل ۲ نشان داده شده است. مشابه مقایسه گر متداول، عملکرد مدار پیشنهادی نیز در دو

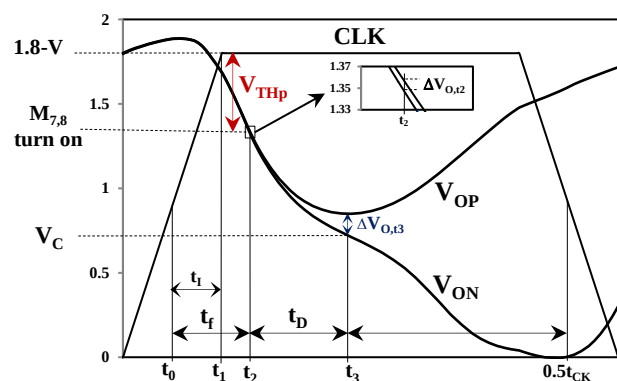
۱- مقدمه

مبدل های آنالوگ به دیجیتال فلش در دریافت کننده های بی سیم دیجیتال، UWB، سیستم های ذخیره دیتا، تجهیزات اندازه گیری سریع و ... با نرخ های تبدیل ۱ گیگاهرتز یا بالاتر و با رزولوشن معمولاً ۴ تا ۶ بیت مورد استفاده قرار می گیرند [۱۸-۱]. در این راستا، به دلیل اهمیت مصرف توان در این سیستم ها، استفاده از مدارهای سرعت بالا و توان پایین برای تحقق این مبدل ها لازم و ضروری می باشد [۲۲-۱۹].

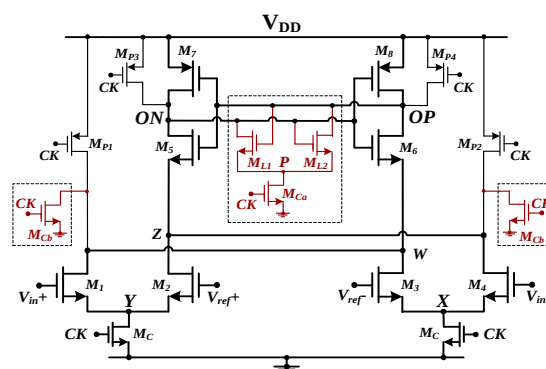
مبدل های فلش متشکل از بلوک های مختلفی هستند که هر بلوک نقش ویژه ای را در تبدیل سیگنال آنالوگ ورودی به کدهای باینری (دوتایی) ایفا می کنند. در این میان، می توان بلوک زنجیره های مقایسه کننده را هسته اصلی یک مبدل فلش عنوان کرد. هر زنجیره مقایسه کننده از چندین طبقه مدار مقایسه گر و SR-لچ به صورت پایپ لاین تشکیل می شود. اما عملکرد مقایسه گر از لحاظ سرعت، توان و نویز بر روی عملکرد نهایی مبدل بسیار مؤثر است. مدارهای مختلفی برای تحقق مدار مقایسه گر مبدل های فلش طراحی شده اند [۵-۱].

مدارهای مقایسه گر [۱-۴] از زوج تفاضلی کلاک دار و لچ NMOS کلاک دار با بار مقاومتی [۴، ۱] یا بار مقاومتی-القایی [۲] و یا بار فعال [۳] در خروجی های شان تشکیل شده اند. این مدارها در دو فاز کلاک کار می کنند، بدین صورت که در فاز CK زوج های تفاضلی فعال شده و با بارهای خروجی اش یک تقویت کننده را ایجاد می کنند که اختلاف ولتاژ سیگنال ورودی و ولتاژ مرجع را تقویت می کنند. سپس در فاز $\overline{CK}$ لچ NMOS فعال شده و اختلاف ایجاد شده را افزایش می دهد. این مدارها، برای عدم کاهش پهنای باندشان، دارای بهره پایین می باشند. لذا برای افزایش اختلاف ولتاژ سیگنال ورودی و ولتاژ مرجع به ناچار باید چند طبقه متوالی^۲ از این مدارها برای افزایش بهره استفاده شود. این موضوع منجر به افزایش توان مصرفی، توان سیگنال کلاک، حجم اشغالی و latency می گردد. همچنین وجود منابع جریان دنباله^۳ در زوج های تفاضلی و لچ NMOS موجب افزایش توان مصرفی استاتیکی این مقایسه گر ها می شود. در ضمن عدم تقارن بین CK و $\overline{CK}$ موجب خطا در تعیین خروجی شان خواهد شد. در این راستا، مقایسه گر دینامیکی تک-فاز^۴ [۵]، مطابق شکل ۱، به دلیل عملکرد با کلاک تک-فاز، عدم مصرف توان استاتیکی، حجم پایین و سرعت بالا، پرکاربرد شد و این مقایسه گر در بسیاری از مبدل های فلش اخیر به کار رفته است [۲۰-۶]. بنابراین در این مقاله، این مقایسه گر دینامیکی تک-فاز، مقایسه گر متداول عنوان می شود.

عملکرد مقایسه گر متداول در دو فاز کامل می شود. در فاز اول، زمانی که سیگنال کلاک در سطح پایین است، ترانزیستورهای $M_{P1}-M_{P4}$ روشن می باشند و خروجی های دیفرانسیلی ON و OP و گره های Z و W تا ولتاژ V_{DD} شارژ می شوند. در فاز دوم، زمانی که سیگنال کلاک بالا است، ترانزیستورهای زوج تفاضلی M_1-M_4 روشن می شوند. این ترانزیستورها ولتاژی را در گره های Z و W و سپس در گره های خروجی مقایسه گر که متناسب با اختلاف ولتاژ سیگنال ورودی و ولتاژ



شکل ۳: شبیه‌سازی حالت گذرای مقایسه گر پیشنهادی.



شکل ۲: مدار مقایسه گر دینامیکی تک-فاز پیشنهادی.

به تبع ترانزیستورهای زوج تفاضلی و $M_{L1}-M_{L2}$ روشن می‌شوند و جریان درین این ترانزیستورها گره‌های W, Z و خروجی‌های ON و OP را سریع تر دشارژ می‌کنند. از طرفی ترانزیستورهای $M_{L1}-M_{L2}$ و M_{Cb} ، جریان دشارژ گره‌های ON و OP را بیشتر خواهند نمود. بنابراین، خروجی‌های مقایسه گر از ولتاژ V_{DD} تا ولتاژ $V_{DD}-|V_{THp}|$ ، ولتاژی که ترانزیستورهای PMOS شروع به هدایت می‌کنند، با سرعت بیشتری نسبت به مقایسه گر متداول پایین کشیده می‌شوند. حال چون $V_{in} > V_{ref}$ فرض شد، بنابراین جریان ترانزیستورهای تفاضلی با یکدیگر متفاوت خواهند بود. لذا سرعت‌های دشارژ گره‌های خروجی ON و OP نیز اختلاف خواهند داشت. بنابراین ولتاژی متناسب با اختلاف ولتاژ سیگنال ورودی و ولتاژ مرجع است، تولید می‌کنند. در این حالت جریان جاری شده از ترانزیستورهای M_5-M_6 و $M_{L1}-M_{L2}$ ، با سرعت بیشتری هر دو خروجی مقایسه گر را نهایتاً تا ولتاژ V_C مقدار ولتاژی است که یکی از گره‌های خروجی در آن ولتاژ، شیب‌اش صفر می‌شود) پایین می‌کشند. از آن به بعد یک فیدبک مثبت در اینورترهای پشت‌به‌پشت M_5-M_8 و لچ NMOS کمکی به وجود می‌آید. متناسب با فیدبک ایجاد شده، اینورترها و لچ NMOS، خروجی‌های مقایسه گر را به سمت ولتاژهای rail پیش می‌برند. لازم به ذکر است که پایین آمدن هر دو خروجی مقایسه گر تا ولتاژ V_C وابسته به اختلاف ولتاژ سیگنال ورودی و ولتاژ مرجع است. زیرا اختلاف ولتاژ حاصله در گره‌های ON و OP ، تابعی از اختلاف این دو ولتاژ است.

فاز کامل می‌شود. در فاز اول، زمانی که سیگنال کلاک پایین است، ترانزیستورهای $M_{P1}-M_{P4}$ روشن بوده و خروجی‌های دیفرانسیلی ON و OP و گره‌های W و Z تا ولتاژ V_{DD} شارژ می‌شوند. در فاز دوم، زمانی که سیگنال کلاک بالا است، ترانزیستورهای کلاک‌دار M_C ، M_{Ca} و M_{Cb} روشن می‌شوند و ولتاژ گره‌های X, Y, Z و W را سریع تر از مقایسه گر متداول به سمت صفر می‌کشانند. متعاقباً ترانزیستورهای زوج تفاضلی M_1-M_4 نیز سریعاً روشن می‌شوند و ولتاژی را در گره‌های Z و W و سپس در گره‌های خروجی مقایسه گر که متناسب با اختلاف سیگنال ورودی و ولتاژ مرجع است، تولید می‌کنند. در این حالت جریان جاری شده از ترانزیستورهای M_5-M_6 و $M_{L1}-M_{L2}$ ، با سرعت بیشتری هر دو خروجی مقایسه گر را نهایتاً تا ولتاژ V_C مقدار ولتاژی است که یکی از گره‌های خروجی در آن ولتاژ، شیب‌اش صفر می‌شود) پایین می‌کشند. از آن به بعد یک فیدبک مثبت در اینورترهای پشت‌به‌پشت M_5-M_8 و لچ NMOS کمکی به وجود می‌آید. متناسب با فیدبک ایجاد شده، اینورترها و لچ NMOS، خروجی‌های مقایسه گر را به سمت ولتاژهای rail پیش می‌برند. لازم به ذکر است که پایین آمدن هر دو خروجی مقایسه گر تا ولتاژ V_C وابسته به اختلاف ولتاژ سیگنال ورودی و ولتاژ مرجع است. زیرا اختلاف ولتاژ حاصله در گره‌های ON و OP ، تابعی از اختلاف این دو ولتاژ است.

۲-۱- سرعت کاری مدار مقایسه کننده پیشنهادی

همان گونه که در بخش قبل گفته شد، در فاز اول، ولتاژ گره‌های ON, OP, Z و W به مقدار V_{DD} رسانده می‌شوند. در فاز دوم (فاز بازایی)، با بالا آمدن کلاک، عمل بازایی در سه مرحله، مطابق شکل ۳، انجام می‌شود. اگر فرض شود $V_{in} > V_{ref}$ است، در این صورت بایستی گره خروجی ON به سمت صفر منطقی و گره خروجی OP به سمت یک منطقی پیش روند و برای $V_{in} < V_{ref}$ بالعکس حالت فوق خواهد بود. در ادامه با فرض $V_{in} > V_{ref}$ ، نحوه عملکرد مراحل مختلف فاز بازایی مورد تحلیل قرار داده می‌شود. در مرحله اول فاز بازایی، بازه $t_0 \leq t \leq t_2$ ، ابتدا ترانزیستورهای M_C, M_{Ca} و M_{Cb} روشن می‌شوند و ولتاژ گره‌های X, Y, Z, P و W را به سمت صفر می‌کشانند.

$$V_{ON}(t) = \frac{(I_{D1,3} + I_{L1} + I_{Cb}) \cdot t}{C_L}, \quad t_1 \leq t \leq t_2 \quad (1)$$

$$\xrightarrow{\text{if } \Delta V_{ON} = |V_{THp}|} t_f = t_2 - t_0 = t_1 + \frac{C_L \cdot |V_{THp}|}{I_{D1,3} + I_{L1} + I_{Cb}}$$

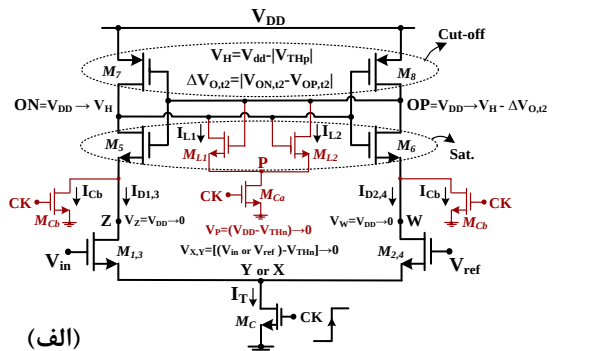
که مقدار تأخیر در روشن شدن ترانزیستورهای M_C و M_{Ca} است. همچنین $I_{D1,3}$ و I_{L1} به ترتیب جریان ترانزیستورهای تفاضلی $M_{L1,3}$ ، جریان ترانزیستورهای $M_{L1}-M_{L2}$ و جریان ترانزیستورهای M_{Cb} می‌باشند. از طرفی می‌توان نوشت:

$$\left(\begin{matrix} (W_{M_{L1-L2}} + W_{M_{5-6}})_p = (W_{M_{5-6}})_c \\ (W_{M_{7-8}})_p = (W_{M_{7-8}})_c \end{matrix} \right) \rightarrow C_{L-p} = C_{L-c} \quad (2)$$

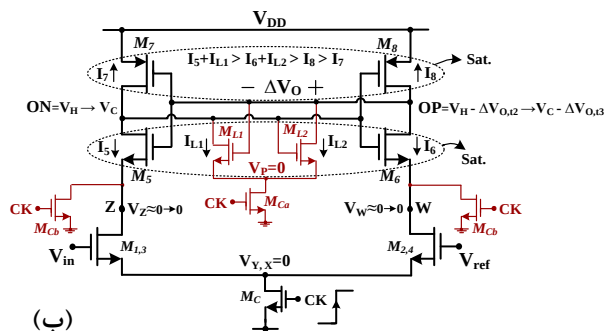
که C_L و W به ترتیب خازن خروجی مقایسه گر و پهنای ترانزیستورها و همچنین اندیس‌های P و C به ترتیب به مقایسه گرهای پیشنهادی و متداول اشاره می‌کند. رابطه (۱) بیان می‌کند که افزایش جریان دشارژ به مقدار $I_{L1} + I_{Cb}$ در مقایسه گر پیشنهادی، با توجه به یکسان بودن خازن‌های گره‌های خروجی در مقایسه گرهای متداول و پیشنهادی مطابق رابطه (۲)، موجب کاهش تأخیر مقایسه گر پیشنهادی نسبت به

رابطه (۶) بیان می کند که افزایش مقدار $G_{m,eff}$ مقایسه گر پیشنهادی به دلیل هدایت انتقالی ترانزیستورهای M_{L1} - M_{L2} نسبت به مقایسه کننده متداول، موجب کاهش تأخیر مقایسه گر پیشنهادی در این مرحله از فاز بازیابی می شود. شکل ۴-ب نحوه عملکرد مقایسه گر پیشنهادی در زمان t_2 تا t_3 را نشان می دهد.

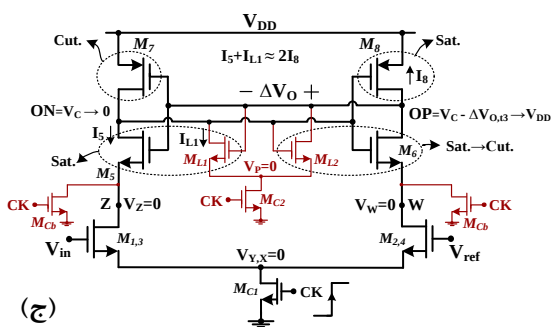
در مرحله سوم فاز بازیابی، بازه $0.5t_{CK} \leq t \leq t_3$ ، بعد از رسیدن ولتاژ گره ON به ولتاژ V_C ، جریان ترانزیستورهای M_6 ، M_{L2} و M_7 کاهش می یابند و در ادامه قطع می شوند. بنابراین خروجی های مقایسه گر توسط جریان عبوری از ترانزیستورهای M_5 ، M_{L1} و M_8 به سمت ولتاژهای rail پیش می روند. در شکل ۴-ج نحوه عملکرد مقایسه گر پیشنهادی در مرحله سوم فاز بازیابی نشان داده شده است.



(الف)



(ب)



(ج)

شکل ۴: عملکرد مدار مقایسه گر پیشنهادی با بالآمدن کلاک (فاز بازیابی). (الف) پایین کشیده شدن خروجی های مقایسه گر از ولتاژ V_{DD} تا $V_{DD}-|V_{THp}|$ (بازه $t_0 \leq t \leq t_2$) (ب) پایین کشیده شدن خروجی های مقایسه گر از ولتاژ $V_{DD}-|V_{THp}|$ تا V_C و نحوه تغییرات آنها (بازه $t_2 \leq t \leq t_3$) (ج) عمل بازیابی نهایی و میل خروجی های مقایسه گر به سمت ولتاژهای rail (بازه $t_3 \leq t \leq 0.5t_{CK}$).

مقایسه گر متداول می گردد. در این حالت اختلاف ولتاژ گره های خروجی $(\Delta V_{O,t2})$ در لحظه $t=t_2$ را می توان از رابطه (۳) محاسبه کرد.

$$\Delta V_{O,t2} = |V_{ON} - V_{OP}|_{t=t_2} = \frac{(I_{D1,3} - I_{D2,4}) \cdot t_2}{C_{L-P}} \quad (3)$$

$$\Rightarrow \Delta V_{O,t2} = |V_{THp}| \cdot \left(\frac{\Delta I_T}{I_{D1,3}} \right), \quad \Delta I_T = I_{D1,3} - I_{D2,4}$$

که $I_{D2,4}$ جریان ترانزیستورهای تفاضلی $M_{2,4}$ است. اگر اختلاف سیگنال ورودی و ولتاژ مرجع زیاد باشد به تبع اختلاف ولتاژ گره های خروجی بیشتر شده و مقایسه کننده سریع تر گره های ON و OP را به سمت ولتاژهای rail می کشد. لذا عملکرد مدار پیشنهادی بایستی برای حالتی که اختلاف سیگنال ورودی و ولتاژ مرجع کم است بهبود داده شود. حال اگر اختلاف ولتاژ سیگنال ورودی و ولتاژ مرجع (ΔV_{IN}) کوچک فرض شود، می توان رابطه (۳) را به صورت رابطه (۴) نوشت.

$$\Delta V_{O,t2} = |V_{THp}| \cdot \left(\frac{2g_{m1-4} \cdot \Delta V_{IN}}{I_{D1,3}} \right) \quad (4)$$

$$\Delta I_T = \sqrt{2\beta_{1-4} I_T} \cdot \Delta V_{IN} = 2g_{m1-4} \cdot \Delta V_{IN}$$

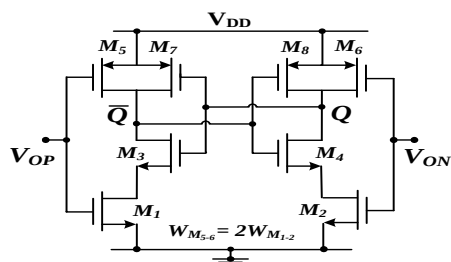
که $\beta = \mu C_{ox}(W/L)$ و همچنین g_{m1-4} و I_T به ترتیب هدایت انتقالی ترانزیستورهای تفاضلی و جریان ترانزیستور M_C می باشند. مطابق رابطه (۴) و شکل ۳، یک ولتاژ مساوی با $\Delta V_{O,t2}$ متناسب با ΔV_{IN} در پایان مرحله اول فاز بازیابی در گره های خروجی مقایسه گر ایجاد می شود. همچنین ولتاژ گره های Z و W در زمان t_2 تقریباً به ولتاژ صفر می رسند. در شکل ۴-الف عملکرد مقایسه گر پیشنهادی از لحظه بالآمدن کلاک تا رسیدن خروجی هایش به ولتاژ $V_{DD}-|V_{THp}|$ نشان داده شده است.

در مرحله دوم فاز بازیابی، بازه $t_2 \leq t \leq t_3$ ، بعد از رسیدن ولتاژ گره ON به $V_{DD}-|V_{THp}|$ که منجر به روشن شدن ترانزیستورهای M_7 - M_8 می گردد؛ فیدبک مثبت متشکل از اینورترهای پشت به پشت و لچ NMOS. اختلاف ولتاژ ایجاد شده در گره های خروجی $(\Delta V_{O,t2})$ را افزایش می دهند. این مرحله تا زمانی ادامه دارد که شیب خروجی OP مثبت گردد و به سمت ولتاژ V_{DD} پیش رود (لحظه t_3). اگر فرض شود اختلاف ولتاژ ایجاد شده در گره های خروجی مقایسه گر در مرحله اول فاز بازیابی $(\Delta V_{O,t2})$ ، اختلاف ولتاژ مساوی با $\Delta V_{O,t3}$ در گره های خروجی مقایسه گر تا رسیدن ولتاژ گره ON به ولتاژ V_C مقدار ولتاژی است که گره خروجی OP در آن ولتاژ، شیبش صفر می شود، ایجاد کند. بنابراین مطابق [۲۳] می توان نوشت:

$$\Delta V_{O,t3} = \Delta V_{O,t2} \cdot e^{-\frac{G_{m,eff}}{C_L}(t_3-t_2)}, \quad G_{m,eff} = \frac{A_V}{R_L} \quad (5)$$

که $G_{m,eff}$ ، A_V و R_L به ترتیب مقادیر هدایت انتقالی مؤثر، بهره و مقاومت خروجی اینورترهای پشت به پشت و لچ NMOS می باشند. بنابراین میزان تأخیر مقایسه گر پیشنهادی در این مرحله از فاز بازیابی، t_D را می توان از رابطه (۶) محاسبه کرد.

$$t_D = t_3 - t_2 = \frac{C_L}{G_{m,eff}} \cdot \ln \left(\frac{\Delta V_{O,t3}}{\Delta V_{O,t2}} \right) \quad (6)$$

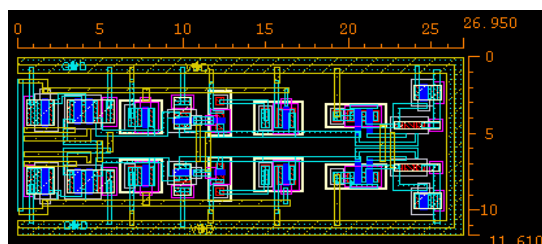


شکل ۵: مدار SR-لچ پیاده سازی شده با گیت های NAND.

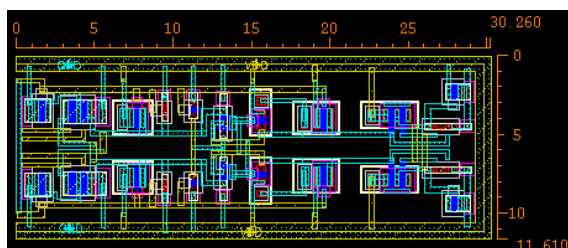
همان گونه که گفته شد، در مقایسه گره های پیشنهادی و متداول سطوح ترانزیستورهای تفاضلی (M1-M4) یکسان می باشد. بنابراین، خازن های گیت-سورس و گیت-درین این ترانزیستورها باهم برابر هستند. از طرفی، چون محدوده تغییرات ولتاژهای درین و سورس (ولتاژ گره های X، Y، Z، W) ترانزیستورهای تفاضلی مقایسه کننده ها یکسان می باشد و تغییرات ولتاژ این گره ها از طریق خازن های گیت-سورس و گیت-درین ترانزیستورهای تفاضلی بازگشت می یابند، پس نویز بازگشتی و اثر بارگذاری مقایسه کننده بهبود یافته بر روی طبقه قبلی (نردبان مقاومتی و خروجی های S/H) نسبت به مقایسه کننده متداول تغییری نخواهد کرد [۹].

۳- نتایج شبیه سازی

جهت مقایسه عملکرد مقایسه گره های پیشنهادی و متداول باهم دیگر، الگوی جانمایی آنها به همراه لچ اول برای در نظر گرفتن اثرات بارگذاری یکسان طبقه بعدی بر آنها در پروسه ۱۸۰ نانومتر CMOS اجرا و در شکل ۶ نمایش داده شده اند.



(الف)



(ب)

شکل ۶: الگوی جانمایی مقایسه گره های متداول و پیشنهادی: (الف) مقایسه گر متداول، (ب) مقایسه گر پیشنهادی.

در این مورد، معادله ولتاژ خروجی گره ON مقایسه گر (که به عنوان پیش فرض مطابق با صفر منطقی است) در بازه $0.5t_{CK} < t < t_3$ را می توان از رابطه (۷) محاسبه کرد.

$$V_{ON}(t) = V_C \cdot e^{-(t-t_3)/C_L R_{L-ON}} \quad (7)$$

$$R_{L-ON} = (R_{on,M_5} \parallel R_{on,M_{L1}} \parallel R_{on,M_7}) \approx R_{on,M_5} \parallel R_{on,M_{L1}}$$

که V_{TH} ، V_{GS} و R_{on} به ترتیب ولتاژ گیت-سورس، ولتاژ آستانه و مقاومت حالت سوئیچ ترانزیستور است. همچنین معادله ولتاژ خروجی گره OP مقایسه گر (که به عنوان پیش فرض مطابق با یک منطقی است) را می توان از رابطه (۸) محاسبه کرد.

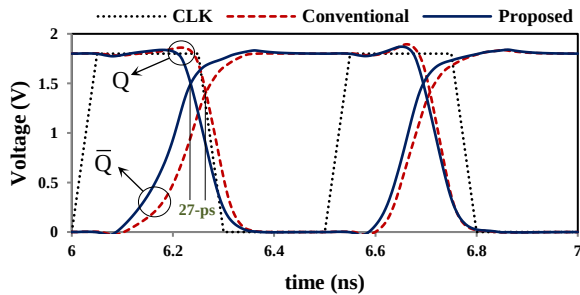
$$V_{OP}(t) = (V_C - \Delta V_{O,t_3} - V_{DD})e^{-(t-t_3)/C_L R_{L-OP}} + V_{DD} \quad (8)$$

$$R_{L-OP} = (R_{on,M_6} \parallel R_{on,M_{L2}} \parallel R_{on,M_8}) \approx R_{on,M_6}$$

با توجه به روابط (۷) و (۸)، $R_{L-OP} > R_{L-ON}$ است. در نتیجه ثابت زمانی رابطه (۷) کوچک تر از رابطه (۸) خواهد بود و خروجی مطابق با صفر منطقی مقایسه گر پیشنهادی سریع تر از خروجی مطابق با یک منطقی اش تعیین می شود. بدین دلیل در این کار از مداری که به صفر منطقی حساس تر است، نظیر SR-لچ با گیت های CMOS NAND مطابق شکل ۵، به عنوان طبقه بعدی زنجیره های مقایسه کننده مبدل استفاده شده است. در این خصوص سطح ترانزیستورهای PMOS ورودی SR-لچ (M5-M6) کمی بزرگ تر از حالت سطح بندی متداول ($W_p = 3W_n$) انتخاب شده است و به همان نسبت سطح ترانزیستورهای NMOS ورودی SR-لچ (M1-M2) کوچک تر انتخاب شده است. لذا مقدار اثر بارگذاری خازنی در گره های ورودی SR-لچ تغییر نمی کند. بنابراین ترانزیستورهای PMOS ورودی نسبت به ترانزیستورهای NMOS ورودی غالب تر خواهند بود. پس با توجه به اینکه خروجی مطابق با صفر منطقی مقایسه گر پیشنهادی سریع تر تعیین می شود. لذا خروجی های SR-لچ سریع تر از حالتی که سطح بندی متداول رعایت شود، تعیین خواهند شد.

۲-۲- توان تلفاتی و نویز بازگشتی مقایسه کننده پیشنهادی

توان تلفاتی مقایسه گره های پیشنهادی و متداول مساوی می باشد. این تساوی به دلیل استفاده از سطوح یکسان برای ترانزیستورهای آنها است. لذا توان تلفاتی دینامیکی آنها تقریباً باهم برابر خواهند بود. از طرفی چون مجموع سطوح ترانزیستورهای کلاک در مقایسه گر پیشنهادی به دلیل وجود M_{Ca} و M_{Cb} از مقایسه گر متداول بیشتر است، بنابراین توان تلفاتی سیگنال کلاک مقایسه گر پیشنهادی نسبت به مقایسه گر متداول مقداری افزایش خواهد یافت. البته این افزایش توان سیگنال کلاک، به دلیل پهنای کوچک ترانزیستورهای کلاک دار M_{Ca} و M_{Cb} نسبت به مجموع سطوح ترانزیستورهای کلاک دار دیگر (M_{C1} و M_{C4}) مقایسه گر پیشنهادی، بسیار کم می باشد.



شکل ۸: شبیه‌سازی Post-Layout حالت گذرای خروجی‌های SR-لچ استفاده‌شده در طبقه بعدی مقایسه‌گرهای پیشنهادی و متداول در نرخ نمونه‌برداری ۲-GS/s.

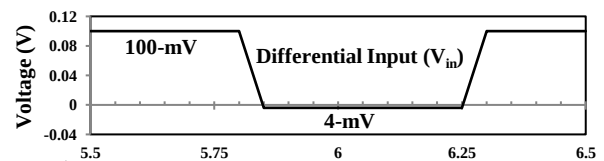
برای مقایسه سرعت مقایسه‌گرهای پیشنهادی و متداول به اضافه SR-لچ طبقه بعدی‌شان، با اعمال شرایط تست سخت (شکل ۷-الف) به ورودی‌های مقایسه‌گرها، خروجی‌های SR-لچ (Q و $\bar{Q}$) مطابق شکل ۸ شبیه‌سازی و تعیین گردیدند. این شکل نشان می‌دهد که خروجی‌های SR-لچ استفاده شده در طبقه بعدی مقایسه‌گر پیشنهادی تقریباً ۲۷ پیکوثانیه سریع‌تر نسبت به مقایسه‌گر متداول تعیین شده‌اند. لذا سرعت مقایسه‌کننده پیشنهادی به اضافه SR-لچ نسبت به مقایسه‌کننده متداول به اضافه SR-لچ حدود ۱۴٪ بیشتر خواهد بود.

همچنین برای ارزیابی عملکرد مقایسه‌گرهای پیشنهادی و متداول در مبدل‌های فلش، دو مبدل ۴-بیتی با نرخ نمونه‌برداری ۲-GS/s، مطابق شکل ۹، در تکنولوژی CMOS 0.18- μm طراحی و در گوشه‌های مختلف پروسه شبیه‌سازی شده‌اند. در یکی از این مبدل‌ها از مقایسه‌گر پیشنهادی و در مبدل دیگر از مقایسه‌گر متداول در بلوک زنجیره‌های مقایسه‌گرشان استفاده شد (بقیه بلوک‌های مبدل‌ها مشابه یکدیگر و مطابق قسمت‌های الف تا ه شکل ۹ طراحی شدند). برای مقایسه عملکرد استاتیکی مبدل‌ها، در این مورد، دو مبدل با فرکانس سینوسی ورودی ۱۰-MHz در نرخ ۲-GS/s شبیه‌سازی شدند و مقادیر INL و DNL آن‌ها در شکل ۱۰ نشان داده شده‌اند. این شکل مقادیر بهتر DNL و در نهایت خطینگی بهتر مبدل با مقایسه‌گر پیشنهادی نسبت به مبدل با مقایسه‌گر متداول را تأیید می‌کند.

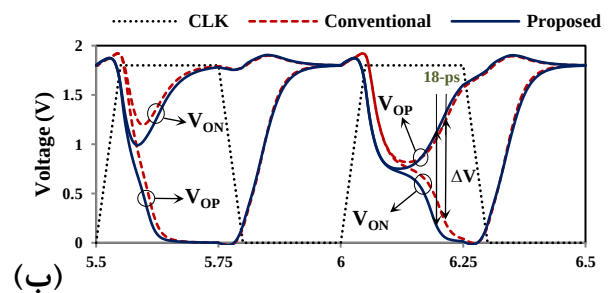
نتایج FFT دو مبدل برای ورودی سینوسی با فرکانس ۹۸۲-MHz در شکل ۱۱ و مقادیر SNDR و SFDR برای دو مبدل نسبت به فرکانس ورودی در شکل ۱۲ نشان داده شده‌اند. شکل‌های ۱۱ و ۱۲ عملکرد بهتر مبدل فلش با مقایسه‌گر پیشنهادی را از لحاظ SNDR، SFDR و ENOB نسبت به مبدل فلش با مقایسه‌گر متداول نشان می‌دهند. در این مورد، ضرایب شایستگی مبدل‌ها در نرخ نایکوئیست با مقایسه‌گرهای پیشنهادی و متداول به ترتیب ۰.۶۱-pJ/conv.step و ۰.۷۲-pJ/conv.step و همچنین ENOB آن‌ها به ترتیب ۳/۷۴ و ۳/۴۵ بیت محاسبه شدند. علاوه بر آن، توان‌های تلفاتی آرایه مقایسه‌گرها در دو مبدل با مقایسه‌گرهای پیشنهادی و متداول به ترتیب ۴/۲۳-mW و ۴/۰۹-mW می‌باشند. این مقادیر فرض تقریباً یکسان بودن توان‌های

در این خصوص، سطوح اشغالی مقایسه‌گرهای متداول و پیشنهادی به ترتیب در سطوح ۳۱۰ و ۳۴۵ میکرومترمربع پیاده‌سازی شدند. شبیه‌سازی‌های این دو مقایسه‌گر در نرخ ۲-GS/s با نرم‌افزار HSPICE و پارامترهای BSIM-49 در پروسه ۱۸۰ نانومتر CMOS انجام گرفته‌اند. در این مورد، طول ترانزیستورهای مقایسه‌گرها ۱۸۰ نانومتر و پهنای ترانزیستورها یکسان و به صورت $(W_{M1-4})_P = (W_{M1-4})_C$ و $(W_{M1-L1-L2} + W_{M5-6})_P = (W_{M5-6})_C$ انتخاب شدند (P = پیشنهادی و C = متداول).

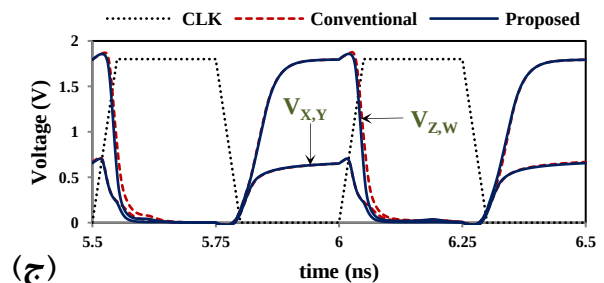
برای مقایسه سرعت مقایسه‌گرهای پیشنهادی و متداول، خروجی‌های مقایسه‌گرها (ON و OP) در شرایط تست سخت مطابق شکل ۷ شبیه‌سازی گردیدند. شکل ۷-ب نشان می‌دهد که تأخیر ناشی از تعیین خروجی‌های مقایسه‌گر پیشنهادی نسبت به مقایسه‌گر متداول تقریباً ۱۸ پیکوثانیه کمتر است. لذا سرعت مقایسه‌کننده پیشنهادی نسبت به مقایسه‌کننده متداول حدود ۹٪ بیشتر خواهد بود. همچنین در شکل ۷-ج میزان تأخیر گره‌های داخلی X، Y، Z و W این مقایسه‌گرها مورد ارزیابی قرار گرفتند. این شکل نشان می‌دهد که محدوده تغییرات و تأخیر ناشی از تعیین هر یک از گره‌های داخلی مذکور مقایسه‌گرهای پیشنهادی و متداول یکسان‌اند.



(الف)



(ب)

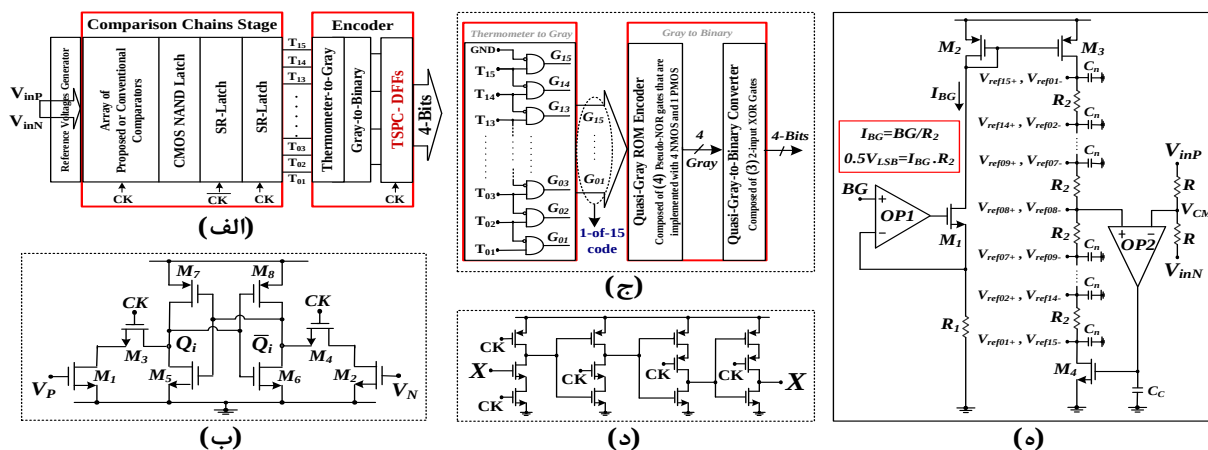


(ج)

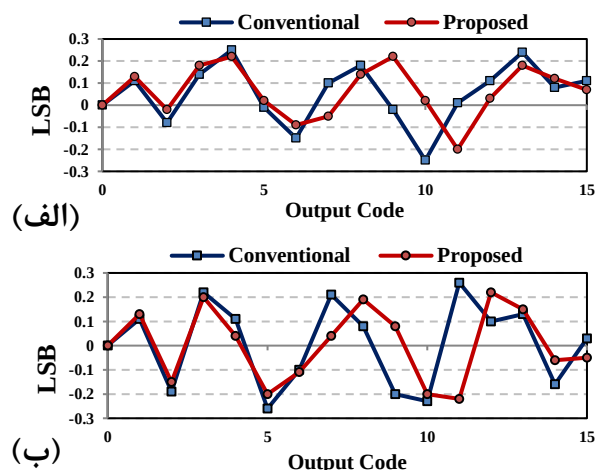
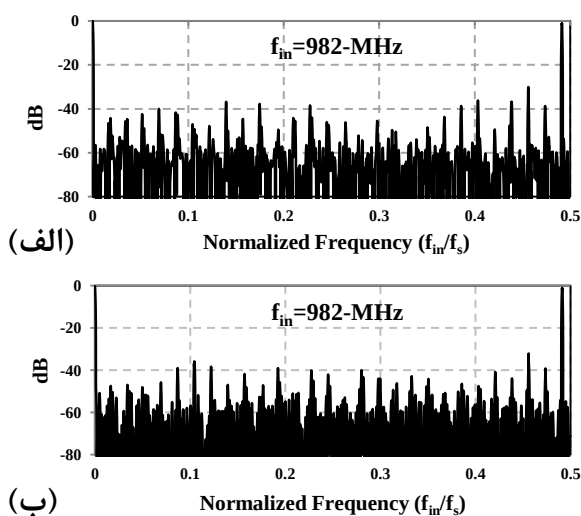
شکل ۷: نتایج شبیه‌سازی Post-Layout حالت گذرای مقایسه‌گرهای پیشنهادی و متداول در نرخ نمونه‌برداری ۲-GS/s؛ (الف) سیگنال دیفرانسیلی ورودی، (ب) خروجی‌های مقایسه‌گرهای پیشنهادی و متداول، (ج) سیگنال‌های گره‌های داخلی X، Y، Z و W مقایسه‌گرهای پیشنهادی و متداول.

تلفاتی سیگنال کلاک مبدل، ناشی از ترانزیستورهای کلاک M_{Ca} و M_{Cb} است. بنابراین می‌توان نتیجه گرفت که با افزایش ۳٪ توان تلفاتی مبدل فلش با مقایسه‌گر پیشنهادی نسبت به مبدل فلش با مقایسه‌گر متداول، ضریب شایستگی آن تقریباً ۱۶٪ بهبود یافته است.

تلفاتی مقایسه‌گرهای پیشنهادی و متداول را تأیید می‌کند. تلفات توان مبدل، بدون توان‌های تلفاتی آرایه مقایسه‌گرهایشان و بافرهای خروجی، به ترتیب $12/03\text{-mW}$ و $11/70\text{-mW}$ اندازه‌گیری شدند. توان تلفاتی بالاتر مبدل فلش با مقایسه‌گر پیشنهادی به دلیل افزایش توان



شکل ۹: (الف) ساختار مبدل‌های فلش ۴-بیتی طراحی شده با مقایسه‌گرهای پیشنهادی و متداول در بلوک زنجیره‌های مقایسه‌کننده‌شان، (ب) ساختار مداری SR-Latch های طبقات دوم و سوم مبدل‌های فلش، (ج) ساختار مداری انکدر استفاده‌شده در مبدل‌های فلش، (د) ساختار مداری فلیپ-فلاپهای تک-فاز نوع D-TSPC-DFF مبدل‌های فلش، (ه) ساختار مداری تولید کننده ولتاژهای مرجع مبدل‌های فلش.



شکل ۱۱: آنالیز FFT مبدل‌های فلش در نرخ نمونه‌برداری ۲-GS/s؛ (الف) با مقایسه‌گر متداول، (ب) با مقایسه‌گر پیشنهادی.

شکل ۱۰: مقادیر INL و DNL مبدل‌های فلش با مقایسه‌گرهای متداول و پیشنهادی در نرخ نمونه‌برداری ۲-GS/s؛ (الف) INL، (ب) DNL.

رنج ورودی	۴۰۰-mVp-p	۴۰۰-mVp-p
خازن ورودی	۱۰۰-fF	۱۰۰-fF
ماکزیم INL	-۰/۲۵ +۰/۲۵	-۰/۲۰ +۰/۲۲
ماکزیم DNL	-۰/۲۶ +۰/۲۵	-۰/۲۲ +۰/۲۲
SNDR (@DC)	۲۴/۷۰-dB	۲۴/۹۸-dB
SFDR (@DC)	۳۴/۲۴-dB	۳۴/۹۵-dB
ENOB (@DC)	۳/۸۱-Bits	۳/۸۶-Bits
SNDR (@fs/2)	۲۲/۶۵-dB	۲۴/۲۶-dB
SFDR (@fs/2)	۲۹/۷۱-dB	۳۲/۱۰-dB
ENOB (@fs/2)	۳/۴۵-Bits	۳/۷۴-Bits
FOM (@fs/2)	۰/۷۲-pJ/conv.step	۰/۶۱-pJ/conv.step
توان تلفاتی مبدل	۱۵/۷۹-mW	۱۶/۲۸-mW
توان آرایه مقایسه گر	۴/۰۹-mW	۴/۲۳-mW

جدول ۳: مقایسه مبدل فلش بهبود یافته با کارهای مشابه دیگر.

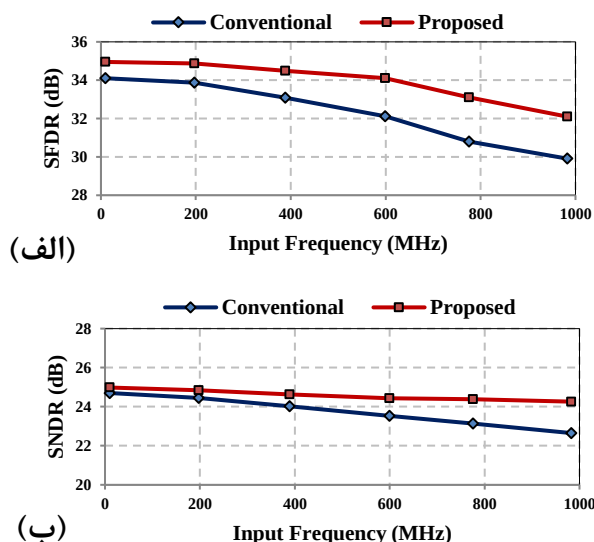
	[۱]	[۹]	[۱۰]	[۱۱]	[Pro.]
تکنولوژی (نانومتر)	۱۸۰	۱۸۰	۹۰	۱۸۰	۱۸۰
ولتاژ تغذیه (ولت)	۱/۸	۱/۸	۲/۵	۱/۸	۱/۸
رنج ورودی (mVp-p)	۴۰۰	۴۰۰	۴۰۰	۴۰۰	۴۰۰
رزولوشن (بیت)	۴	۴	۴	۴	۴
نرخ نمونه برداری (GS/s)	۳	۱/۶	۵	۱	۲
ENOB @ DC (Bit)	۳/۷۱	۳/۸۰	۳/۷۱	۳/۷۰	۳/۸۱
ENOB @ fs/2 (Bit)	۲/۷۵	۳/۷۰	۳/۲۲	۳/۵۷	۳/۶۳
FOM @ fs/2 (pJ/conv.step)	۲/۱۴	۰/۷۵	۱/۸۵	۰/۸۹	۰/۶۶
توان تلفاتی (میلی وات)	۴۳	۱۵/۵	۸۶	۱۰/۶	۱۶/۴۱
Simulation/Measurement	Mea.	Mea.	Mea.	Mea.	Sim.

۴- نتیجه گیری

در این مقاله، مقایسه گر دینامیکی تک-فاز با به کارگیری یک لچ NMOS کلاک دار در خروجی ها و دو ترانزیستور NMOS کلاک دار در گره های داخلی آن بهبود داده شده است. این لچ و ترانزیستورهای NMOS کلاک دار موجب افزایش سرعت مقایسه گر بدون افزایش اثر بارگذاری خازنی و نویز بازگشتی بر روی طبقات قبلی و بعدی مقایسه گر می گردد. مقایسه گر پیشنهادی نسبت به مقایسه گر متداول دارای سرعت بالاتر با وجود توان تلفاتی دینامیکی تقریباً یکسان می باشد. این افزایش سرعت نتیجه کاهش تأخیر در تعیین خروجی های دیفرانسیلی مقایسه گر بدون افزایش سطوح ترانزیستورهای تفاضلی ورودی انجام شده است.

مراجع

- [1] S. Sheikhaei, S. Mirabbasi and A. Ivanov, "A 43-mW single-channel 4-GS/s 4-bit flash ADC in 0.18 μ m CMOS," in Proc. IEEE International Custom Integr. Circuits Conf. (CICC), PP. 333-336, 2007.
- [2] S. Park, Y. Palaskas, A. Ravi, R.E. Bishop and M.P. Flynn, "A 3.5-GS/s 43-mW single-channel 5-b flash ADC in 90-nm CMOS," IEEE International Custom Integrated Circuits Conf. (CICC), PP. 489-492, 2006.



شکل ۱۲: مقادیر SFDR و SNDR مبدل های فلش با مقایسه گرهای متداول و پیشنهادی در نرخ ۲-GS/s؛ الف) SFDR، ب) SNDR.

در جدول ۱ مقدار پارامتر ENOB به دست آمده در گوشه های پروسه و در جدول ۲ میانگین مقدار پارامترهای به دست آمده در گوشه های پروسه برای دو مبدل فلش ۴-بیتی طراحی شده با مقایسه گرهای پیشنهادی و متداول ارائه شده اند. پارامترهای بیان شده عملکرد بهتر مبدل فلش با مقایسه گر پیشنهادی را نسبت به مبدل فلش با مقایسه گر متداول تأیید می نماید. همچنین در جدول ۳ ویژگی های مبدل فلش ۴-بیتی با مقایسه گر پیشنهادی با کارهای مشابه اخیر مقایسه شده است. این جدول ضریب شایستگی (FOM) بهتر مبدل فلش بهبود یافته را نسبت به کارهای مشابه دیگر تأیید می کند. لازم به ذکر است جهت مقایسه تقریباً منصفانه تر این کار با کارهای ساخته شده دیگر، نتایج شبیه سازی مبدل بهبود یافته در گوشه SS در جدول ۳ آورده شده است.

جدول ۱: مقدار ENOB(@fs/2) به دست آمده در گوشه های پروسه برای مبدل های فلش ۴-بیتی با مقایسه گرهای متداول و پیشنهادی.

گوشه های پروسه	tt	ff	fs	sf	ss
مبدل با مقایسه گر متداول	۳/۴۸	۳/۵۴	۳/۵۱	۳/۴۱	۳/۳۷
	بیت	بیت	بیت	بیت	بیت
مبدل با مقایسه گر پیشنهادی	۳/۷۶	۳/۸۲	۳/۷۷	۳/۶۸	۳/۶۳
	بیت	بیت	بیت	بیت	بیت

جدول ۲: نتایج شبیه سازی مبدل های فلش ۴-بیتی با مقایسه گرهای متداول و پیشنهادی.

پارامترها	مبدل فلش ۴-بیتی با مقایسه گر متداول	مبدل فلش ۴-بیتی با مقایسه گر پیشنهادی
تکنولوژی	۱۸۰ نانومتر CMOS	۱۸۰ نانومتر CMOS
ولتاژ تغذیه	۱/۸ ولت	۱/۸ ولت
نرخ نمونه برداری	۲-GS/s	۲-GS/s

- [14] B. W. Chen, S. K. Hsien, C. S. Chiang and K. C. Juang, "A 6-bit 1.2 GS/s ADC with wideband THA in 0.13- μ m CMOS," IEEE Asian Solid-State Circuits Conference, pp. 381-384, Japan, Nov. 2008.
- [15] C. Sandner, M. Clara, A. Santner, T. Hartig and F. Kuttner, "A 6-bit 1.2-GS/s low-power flash ADC in 0.13- μ m digital CMOS," IEEE J. Solid-State Circuits, vol. 40, no. 7, pp. 1499-1505, Jul. 2005.
- [16] Y. Nakajima, N. Kato, A. Sakaguchi, T. Ohkido and T. Miki, "A 7-bit, 1.4 GS/s ADC with offset drift suppression techniques for one-time calibration," IEEE Trans. Circuits and Systems-I, Regular Papers, vol. 60, no. 8, pp. 1979-1990, Aug. 2013.
- [17] C.-Y. Chen, M. Q. Le and K. Y. Kim, "A low power 6-b flash ADC with reference voltage and common-mode calibration," IEEE J. Solid-State Circuits, vol. 44, no. 4, pp. 1041-1046, Apr. 2009.
- [18] T. Ito and T. Itakura, "A 3-GS/s 5-bit 36-mW flash ADC in 65-nm CMOS," IEEE Asian Solid-State Circuits Conference, pp. 181-184, China, 2010.
- [19] J. Pernillo and M. P. Flynn, "A 1.5-GS/s flash ADC with 57.7-dB SFDR 6.4-Bit ENOB in 90-nm digital CMOS," IEEE Trans. Circuits and Systems-II, Exp. Beiefs, vol. 58, no. 12, pp. 837-841, Dec. 2011.
- [20] مهدی حسین‌نژاد، حسین شمسی، «طراحی و شبیه‌سازی مبدل آنالوگ به دیجیتال لوله‌ای مبتنی بر مقایسه‌گر ولتاژ پایین»، مجله مهندسی برق دانشگاه تبریز، دوره ۴۶، شماره ۱، صفحات ۲۰۹-۲۱۹، تابستان ۱۳۹۵.
- [21] خلیل منفردی، یوسف بلقیس‌آذر، «تقویت‌کننده کسکود تمام تفاضلی بازاییی تا شده بهبود یافته ولتاژ و توان پایین»، مجله مهندسی برق دانشگاه تبریز، دوره ۴۸، شماره ۱، صفحات ۳۲۷-۳۳۴، بهار ۱۳۹۷.
- [22] Seyed Javad Azhari, Khalil Monfaredi and Salar Amiri, "A 12-bit, low-voltage, nanoampere-based, ultralow-power, ultralow-glitch current-steering DAC for HDTV," International Nano Letters, vol. 2, no. 1, pp. 2-7, Nov. 2012.
- [23] David Johns and Ken Martin, *Analog Integrated Circuit Design*, John Wiley & Sons press, 1997.
- [3] M. Choi and A. A. Abidi, "A 6-b 1.3-Gsample/s A/D converter in 0.35- μ m CMOS," IEEE J. Solid-State Circuits, vol. 36, no. 12, pp. 1847-1858, Dec. 2001.
- [4] K. Deguchi, N. Suwa, M. Ito, T. Kumamoto and T. Miki, "A 6-bit 3.5-GS/s 0.9-V 98-mW flash ADC in 90-nm CMOS," IEEE J. Solid-State Circuits, vol. 43, no. 10, pp. 2303-2310, Oct. 2008.
- [5] B. Wicht, T. Nirschl and D. S. Landsiedel, "Yield and speed optimization of a latch-type voltage sense amplifier," IEEE J. Solid-State Circuits, vol. 39, no. 7, pp. 1148-1158, Jul. 2004.
- [6] H. Y. Chang, and C. Y. Yang, "A reference voltage interpolation-based calibration method for flash ADC," IEEE Trans. Very Large Scale Integration Systems, vol. 24, no. 5, pp. 1-11, Jan. 2016.
- [7] J. I. Kim, D. R. Oh, D. S. Jo, B. R. Saim and S. T. Ryu, "A 65-nm CMOS 6-b 2-GS/s 20.7mW flash ADC with cascaded latch interpolation," IEEE J. Solid-State Circuits, vol. 50, no. 10, pp. 1-12, Oct. 2015.
- [8] A. Varzaghani, A. Kasapi, D. N. Loizos, S. H. Paik, S. Verma, S. Zogopoulos and S. Sidiropoulos, "A 10.3-GS/s 6-bit flash ADC for 10G Ethernet applications," IEEE J. Solid-State Circuits, vol. 48, no. 12, pp. 1-11, Dec. 2013.
- [9] M. Chahardori, M. Sharifkhani and S. Sadughi, "A 4-bit, 1.6-GS/s low-power flash ADC, based on offset calibration and segmentation," IEEE Trans. Circuits and Systems-I, Regular Papers, vol. 60, no. 9, pp. 2285-2297, Sep. 2013.
- [10] J. Yao, J. Liu and H. Lee, "Bulk voltage trimming offset calibration for high-speed flash ADCs," IEEE Trans. Circuits and Systems-II, Exp. Beiefs, vol. 57, no. 2, pp. 110-114, Feb. 2010.
- [11] P. Nuzzo, G. Van der Plas, F. De Bernardinis, L. van der Perre, B. Gyselinckx and P. Terreni, "A 10.6-mW/0.8-pJ power-scale 1GS/s 4b ADC in 0.18 μ m CMOS with 5.8GHz ERBW," in Proc. IEEE Int. Design Automation Conf. (DAC), pp. 873-878, 2006.
- [12] A. A. Ismail, M. Elmasry, "A 6-bit 1.6-GS/s low-power wideband flash ADC converter in 0.13 μ m CMOS technology," IEEE J. Solid-State Circuits, vol. 43, no. 9, pp. 1982-1990, Sep. 2007.
- [13] X. Yang and J. Liu, "A 10-GS/s 6-b time-interleaved partially active flash ADC," IEEE Tran. Circuits and Systems-I, vol. 61, no. 8, pp. 2272-2280, Aug. 2014.

زیر نویس‌ها

⁴ Single-Phase Dynamic Comparator

⁵ Scaling

⁶ Layout

¹ Ultra Wideband

² Pipelined

³ Tail