

طراحی مبدل زمان به دیجیتال با قابلیت تفکیک بالا مبتنی بر ورنیر موازی با ساختار حلقوی

سهیلا دولت آبادی^۱، کارشناسی ارشد؛ محسن صانعی^۲، دانشیار

۱- دانشکده مهندسی برق - دانشگاه شهید باهنر کرمان - کرمان - ایران - soheila.dolatabadi1990@gmail.com

۲- دانشکده مهندسی برق - دانشگاه شهید باهنر کرمان - کرمان - ایران - msaneei@uk.ac.ir

چکیده: در این مقاله یک مبدل زمان به دیجیتال مبتنی بر ورنیر موازی با ساختار نوسان ساز حلقوی ارائه شده است. المان های تأخیر به صورت موازی در دو نوسان ساز حلقوی با فرکانس متفاوت قرار داده شده اند. تفاوت تأخیر طبقات مبدل زمان به دیجیتال به دلیل استفاده از المان های تأخیر موازی می تواند کمتر از تأخیر یک معکوس کننده باشد. در مبدل زمان به دیجیتال پیشنهادی با استفاده هم زمان از المان های تأخیر موازی و روش ورنیر می توان به قابلیت تفکیک بالایی دست یافت. برای کاهش توان مصرفی از روش مسدود کردن سیگنال استفاده شده است. در این روش زمانی که سیگنال پس فاز به سیگنال پیش فاز برسد، با مشخص شدن کد دیجیتال خروجی، سیگنال کنترلی فعال شده و نوسانات دو نوسان ساز حلقوی متوقف می گردد، در نتیجه باعث جلوگیری از اتلاف توان مصرفی می شود. نمونه ۶ بیتی از مبدل زمان به دیجیتال پیشنهادی در تکنولوژی ۶۵ نانومتر سیماس استاندارد شبیه سازی شده و قابلیت تفکیک ۱ps، در ولتاژ تغذیه ۱۷، متوسط توان مصرفی ۳۸۲uW، مساحت تراشه ۲۲۶۹um² و نرخ نمونه برداری ۶۰۰Ms/s به دست آمده است.

واژه های کلیدی: قابلیت تفکیک، مبدل زمان به دیجیتال، کاهش توان، ورنیر موازی، مسدود کردن سیگنال.

A High Resolution, Time-to-Digital Converter Design Based on Parallel Vernier Ring

S. Dolatabadi¹, MSc; M. Saneei², Associate professor

1- Faculty of Electrical Engineering, Shahid Bahonar University of Kerman, Kerman, Iran,
Email: soheila.dolatabadi1990@gmail.com

2- Faculty of Electrical Engineering, Shahid Bahonar University of Kerman, Kerman, Iran, Email: msaneei@uk.ac.ir

Abstract: In this paper a time-to-digital converter, based on parallel vernier ring oscillator is presented. The delay elements have been applied in parallel form to two ring oscillators with different frequencies. The delay difference of the time-to-digital converter stages' can be less than an inverter delay' because of using parallel elements. simultaneous use of parallel delay elements and vernier method, The proposed time-to-digital converter can be achieved high resolution. The signal gating method is used to reduce power consumption. In this method, when the lag signal reaches the lead one, by determining the digital output code, the control signal is activated and stops the fluctuations in two ring oscillators, thus it prevents power dissipation. A typical 6 bit time-to-digital converter with the proposed method is simulated in 65nm standard CMOS technology. 1ps resolution, 382uW average power consumption, 2269um² chip area and 600Ms/s sampling rate is obtained under 1V power supply.

Keywords: Resolution, time-to-digital converter, power reduction, parallel vernier, signal gating.

تاریخ ارسال مقاله: ۱۳۹۶/۱۲/۰۶

تاریخ اصلاح مقاله: ۱۳۹۷/۰۳/۱۴

تاریخ پذیرش مقاله: ۱۳۹۷/۰۶/۲۳

نام نویسنده مسئول: محسن صانعی

نشانی نویسنده مسئول: ایران - کرمان - انتهای بلوار ۲۲ بهمن - دانشگاه شهید باهنر کرمان - دانشکده مهندسی برق.

۱- مقدمه

تاخیری در نوسان‌کننده با سرعت کمتر با یک سلول تاخیری در نوسان‌کننده با سرعت بیشتر می‌باشد. در این ساختار به دلیل استفاده از المان‌های تاخیری مسدودشده توان مصرفی کاهش یافته است [۶].

مبدل زمان به دیجیتال ورنیر حلقوی^۲ از دو حلقه نوسان‌کننده ورنیر با فرکانس نوسان متفاوت تشکیل شده است و نحوه عملکرد آن مانند [۶] می‌باشد با این تفاوت که در ساختار مبدل [۶] از المان‌های تأخیر مسدودشده استفاده شده است در نتیجه توان مصرفی آن نسبت به مبدل ورنیر حلقوی کاهش می‌یابد. مبدل ورنیر حلقوی دارای محدوده دینامیکی وسیع، قابلیت تفکیک بالا و در حلقه قفل فاز استفاده می‌شود [۷].

در مبدل زمان به دیجیتال با ساختار حلقوی تک مسیره ورودی هر طبقه تنها به خروجی طبقه قبلی آن متصل است؛ و تنها از این طریق کنترل می‌شود. در این حالت تأخیر هر طبقه حداقل به اندازه تأخیر یک معکوس‌کننده می‌باشد؛ اما در ساختار حلقوی چندمسیره^۸ ورودی هر طبقه به ترکیبی از خروجی طبقه‌های قبل بستگی دارد؛ که باعث می‌شود هر طبقه از چندین نقطه کنترل گردد و از اطلاعات آن‌ها برای تصمیم‌گیری در زمان شروع تغییر وضعیت خود استفاده کند، لذا سریع‌تر تغییر وضعیت خود را شروع می‌کند، در نتیجه تأخیر عبوری کاهش می‌یابد و قابلیت تفکیک افزایش می‌یابد [۸]. مبدل معرفی شده در [۹] به صورت حلقوی چندمسیره طراحی شده است و دارای دو حلقه نوسان‌کننده با سرعت متفاوت می‌باشد. هر حلقه شامل ۱۷ طبقه معکوس‌کننده با قابلیت کنترل چندمسیره است. ساختار دو حلقه نوسان‌کننده کاملاً مشابه هم است و فقط اندازه ترانزیستورهای آن‌ها کمی متفاوت می‌باشد. حاصل این مبدل زمان به دیجیتال دستیابی به دو نوع قابلیت تفکیک coarse و fine و در نهایت به دست آوردن اختلاف آن‌ها به عنوان قابلیت تفکیک مؤثر است.

مبدل زمان به دیجیتال مبتنی بر کوچک‌شدن عرض پالس برای دستیابی به قابلیت تفکیک درون‌گیتی^۹ است. ورودی این نوع مبدل یک پالس زمانی آنالوگ می‌باشد. پالس ورودی به زنجیره بلوک‌های کوچک‌کننده عرض پالس که به صورت سری قرار داده شده‌اند، وارد می‌شود. با عبور پالس از این بلوک‌ها از پهنای پالس کم می‌شود، تا اینکه پالس ناپدید شود. با توجه به خروجی فلیپ فلاپ‌های استفاده شده در این ساختار پهنای پالس اولیه قابل محاسبه می‌باشد [۱۰].

در مبدل زمان به دیجیتال مبتنی بر کاهش عرض پالس زمانی که تعداد زیادی بلوک کاهش‌دهنده عرض پالس به صورت زنجیره پشت‌سره قرار گیرند به دلیل عدم مطابقت بلوک‌های کاهش‌دهنده عرض پالس (ناشی از شرایط محیطی، تغییرات دما و منبع تغذیه) دقت اندازه‌گیری مبدل کاهش می‌یابد. هم‌چنین در رنج دینامیکی بالا تعداد این بلوک‌ها افزایش می‌یابد که توان مصرفی مبدل را افزایش می‌دهد. به منظور برطرف کردن این مشکلات بلوک‌های کاهش‌دهنده عرض پالس از حالت خطی به ساختار حلقه‌ای اصلاح شدند. در هر بار چرخش حلقه به اندازه قابلیت تفکیک از عرض پالس ورودی کاهش

مبدل زمان به دیجیتال^۱ یکی از اصلی‌ترین بلوک‌های موردنیاز برای ورود به دنیای مدرن و نوین پردازش در حوزه زمان می‌باشد. مبدل زمان به دیجیتال سیستمی است، که ورودی آن یک بازه زمانی به صورت آنالوگ بوده و خروجی آن کد دیجیتال متناظر با بازه زمانی ورودی می‌باشد. در هر کاربردی که اندازه‌گیری دقیق یک بازه زمانی موردنیاز باشد از مبدل زمان به دیجیتال استفاده می‌شود. به عنوان مثال در فاصله سنج‌های لیزری که بر پایه زمان پرواز کار می‌کنند، باید زمان بین تابش و بازتاب نوری که به مانع برخورد کرده با دقت بالا اندازه‌گیری شود. اندازه‌گیری این زمان توسط مبدل زمان به دیجیتال صورت می‌گیرد [۱]. در مبدل‌های آنالوگ به دیجیتال^۲ بر پایه مبدل زمان به دیجیتال، ابتدا ولتاژ آنالوگ ورودی به یک بازه زمانی متناسب با دامنه ولتاژ ورودی تبدیل شده، سپس مبدل زمان به دیجیتال این بازه زمانی را به کد دیجیتال تبدیل می‌کند [۲]. در حلقه قفل فاز تمام دیجیتال برای اندازه‌گیری اختلاف فاز دو سیگنال مرجع و خروجی از مبدل زمان به دیجیتال استفاده می‌شود. مبدل زمان به دیجیتال در حلقه قفل فاز تمام دیجیتال به عنوان آشکارساز فاز به کار می‌رود. قابلیت تفکیک، رنج دینامیکی، توان مصرفی و مساحت تراشه از جمله مهم‌ترین پارامترهای موردتوجه در طراحی مبدل زمان به دیجیتال برای استفاده در حلقه قفل فاز تمام دیجیتال می‌باشند [۳].

از مهم‌ترین روش‌های دیجیتال اندازه‌گیری فاصله زمانی می‌توان به روش مبتنی بر کاهش عرض پالس^۳، روش مبتنی بر خط تاخیری ورنیر^۴ و روش مبتنی بر خطوط تاخیری^۵ اشاره کرد. به منظور بهبود پارامترهای مهم ارزیابی مبدل زمان به دیجیتال از جمله قابلیت تفکیک، توان مصرفی، خطی بودن، رنج دینامیکی، مساحت تراشه و ... ساختارهای بسیار متفاوتی پیشنهاد شده است.

مبدل زمان به دیجیتال مبتنی بر خط تاخیری ورنیر از مفیدترین روش‌ها برای افزایش قابلیت تفکیک سیستم می‌باشد. در این روش برای افزایش قابلیت تفکیک از دو زنجیره تأخیر مجزا استفاده می‌شود. اگر تأخیر یک المان تأخیر در زنجیره بالایی و زنجیره پایینی به ترتیب t_{d1} و t_{d2} باشد، قابلیت تفکیک مبدل $R = t_{d1} - t_{d2}$ می‌باشد و در نتیجه می‌توان به قابلیت تفکیک بالایی دست پیدا کرد [۴]. در مبدل زمان به دیجیتال مبتنی بر روش ورنیر برای افزایش رنج دینامیکی نیاز به تعداد زیادی المان تاخیری می‌باشد. افزایش تعداد المان‌های تاخیری باعث افزایش توان مصرفی و سطح تراشه می‌شود. یکی از راه‌های کاهش تعداد المان‌های تاخیری در مبدل ورنیر استفاده از ورنیر دوبعدی^۶ است. در این روش المان‌های تاخیری به صورت دوبعدی (در راستای محور x و محور y) قرار داده می‌شوند و از این طریق می‌توان با تعداد المان‌های تأخیر کمتر به رنج دینامیکی بالاتری رسید [۵].

در ساختاری دیگر برای پیاده‌سازی مبدل زمان به دیجیتال از دو حلقه نوسان‌کننده با سرعت متفاوت و المان‌های تاخیری مسدود شده استفاده شده است. قابلیت تفکیک این مبدل تفاضل تأخیر یک المان

۲- معرفی ساختار پیشنهادی

استفاده از المان‌های تأخیر موازی در مبدل زمان به دیجیتال موجب دست‌یابی به قابلیت‌تفکیک درون‌گیتی می‌شود. بر همین اساس در مدار پیشنهادی از المان‌های تأخیر موازی که در دو نوسان‌کننده حلقوی قرار داده شده و با روش ورنیر کار می‌کنند، استفاده شده است. در این ساختار به‌منظور جلوگیری از نوسانات اضافی و کاهش توان مصرفی مبدل، روش مسدود کردن سیگنال^{۱۳} به‌کاربرده شده است. شکل ۱ ساختار مبدل زمان به دیجیتال پیشنهادی را نشان می‌دهد. طبق شکل ۱ به‌منظور مشخص شدن سیگنال پیش‌فاز و پس‌فاز، ابتدا سیگنال‌های ورودی به بلوک مقایسه‌کننده^{۱۴} [۱۵] اعمال می‌شوند. در بلوک مقایسه‌کننده دو سیگنال ورودی به‌اندازه T_d تأخیر یافته، تا حالت سیگنال en مشخص شود. اندازه تأخیر T_d به فاصله زمانی دو سیگنال ورودی و تأخیر dff بستگی دارد.

عملکرد بلوک مقایسه‌کننده به این صورت است. اگر لبه بالا رونده سیگنال ورودی $in1$ از لبه بالا رونده سیگنال ورودی $in2$ زودتر بیاید، $en = 1$ شده، در نتیجه تأخیر یافته $in1$ به‌عنوان سیگنال پیش‌فاز (start) انتخاب شده و به نوسان‌ساز حلقوی با سرعت کمتر اعمال می‌شود. اگر لبه بالا رونده $in1$ دیرتر از لبه بالا رونده $in2$ بیاید، $en = 0$ شده، و تأخیر یافته $in1$ به‌عنوان سیگنال پس‌فاز (stop) به حلقه با سرعت بیشتر اعمال می‌شود. منظور از حلقه با سرعت بیشتر حلقه‌ای است، که با فرکانس بالاتری نسبت به حلقه دیگر نوسان می‌کند. اختلاف تأخیر طبقات حلقه با سرعت کمتر و اختلاف تأخیر طبقات حلقه با سرعت بیشتر به ترتیب T_A و T_B ($T_A > T_B$) می‌باشد. مقادیر T_A و T_B با توجه به ساختار موازی المان‌های تأخیری می‌تواند کمتر از تأخیر یک معکوس‌کننده باشد. در نتیجه می‌توان به قابلیت تفکیک درون‌گیتی بهتری دست یافت.

با توجه به عملکرد مبدل زمان به دیجیتال پیشنهادی به روش ورنیر قابلیت تفکیک ساختار پیشنهاد شده، طبق رابطه (۱) قابل محاسبه است.

$$R = T_A - T_B \quad (1)$$

با توجه به شکل ۱ روابط (۲) تا (۶) برقرار است.

$$T_{base1} = T_{nand} + T_{inv1} + T_{inv2} \quad (2)$$

$$T_{base2} = T_{nand} + T_{inv1} + T_{inv3} \quad (3)$$

$$T_{inv3} = T_{inv2} - R \quad (4)$$

$$T_{dsi} = T_{base1} + (i - 1) \times T_A \quad i = 1, 2, \dots \quad (5)$$

$$T_{dfj} = T_{base2} + (j - 1) \times T_B \quad j = 1, 2, \dots \quad (6)$$

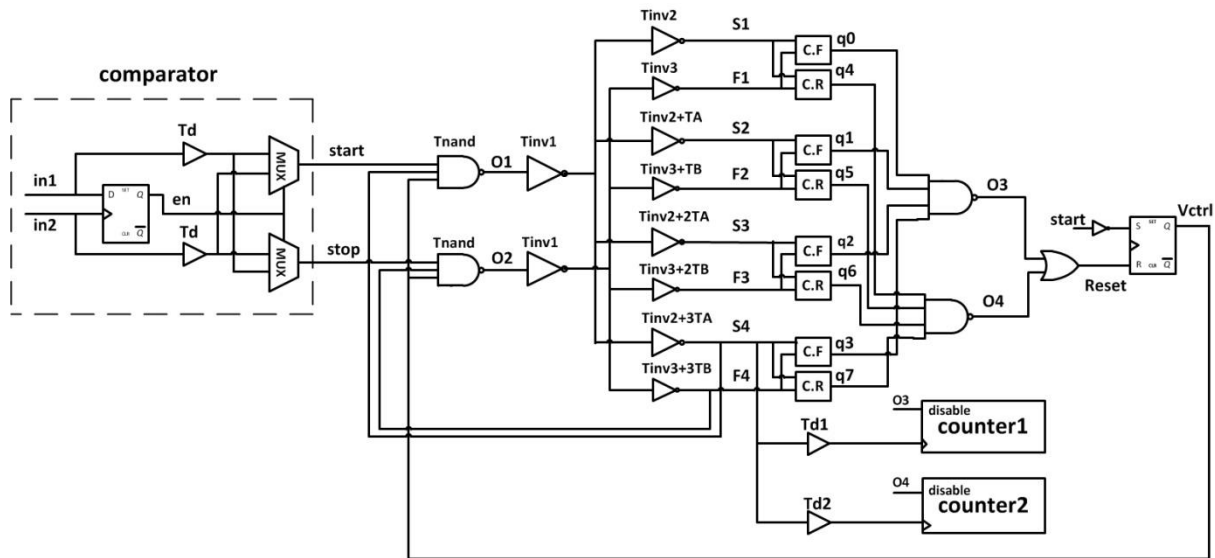
می‌یابد. در ساختار حلقه‌ای به‌دلیل وجود یک بلوک کاهش‌دهنده عرض پالس، مشکل عدم مطابقت بین بلوک‌های کاهش‌دهنده عرض پالس وجود ندارد؛ اما استفاده از حلقه و دفعات دورزدن آن برای کاهش عرض پالس زمان تبدیل را افزایش می‌دهد [۱۱].

در مبدل زمان به دیجیتال با خط تأخیر سری حداقل تأخیر هر طبقه به‌اندازه تأخیر یک معکوس‌کننده است لذا در این نوع مبدل قابلیت تفکیک بالا نمی‌باشد. برای افزایش قابلیت تفکیک می‌توان از المان‌های تأخیر موازی^{۱۱} استفاده کرد. تفاوت تأخیر طبقات مبدل زمان به دیجیتال به‌دلیل استفاده از المان‌های تأخیر موازی می‌تواند کمتر از تأخیر یک معکوس‌کننده باشد در نتیجه استفاده از المان‌های تأخیر موازی منجر به دست‌یابی قابلیت تفکیک درون‌گیتی می‌شود. در مبدل زمان به دیجیتال مبتنی بر خط تأخیر سری، تأخیر المان‌های تأخیری باهم برابر است اما در خط تأخیر موازی تأخیر هر طبقه نسبت به تأخیر طبقه قبل به‌اندازه قابلیت تفکیک بیشتر است؛ بنابراین می‌توان از ترانزیستورها با سایز کوچک‌تر (تأخیر بیشتر) استفاده کرد که توان مصرفی را کاهش می‌دهد [۱۲].

برای دست‌یابی به قابلیت تفکیک بالا در ساختار مبدل زمان به دیجیتال از تقویت‌کننده زمان استفاده می‌شود. در این روش زمان باقی‌مانده از طبقه $coarse$ که در این طبقه قابل‌اندازه‌گیری نمی‌باشد، توسط تقویت‌کننده زمان^{۱۱} تقویت شده و به طبقه $fine$ اعمال می‌شود. این فرآیند قابلیت تفکیک مبدل را به‌طور قابل‌ملاحظه‌ای افزایش می‌دهد [۱۳، ۱۴]. در مرجع [۱۵] عملکرد به‌گونه‌ای است که با انتخاب خط تأخیری مناسب براساس فاصله زمانی دو سیگنال ورودی، قابلیت تفکیک مبدل کنترل می‌شود. به‌این‌ترتیب امکان کنترل قابلیت تفکیک مبدل وجود دارد.

در مرجع [۱۶] مبدل زمان به دیجیتال با ساختار نوسان‌ساز حلقوی کار می‌کند و تبدیل $coarse$ و $fine$ به‌ترتیب توسط شمارنده باینری^{۱۲} و نوسان‌ساز حلقوی انجام می‌شود. به‌منظور دست‌یابی به عملکرد صحیح مبدل زمان به دیجیتال باید بین تبدیل $coarse$ و $fine$ هماهنگی زمانی وجود داشته باشد زیرا فلیپ فلاپ‌ها و شمارنده باینری غیرهمزمان کار می‌کنند. در [۱۶] با استفاده از یک مدار ساده دیجیتالی هماهنگی لازم بین دو تبدیل $coarse$ و $fine$ ایجاد می‌شود و در نتیجه می‌توان علاوه بر دست‌یابی به عملکرد صحیح مبدل به رنج دینامیکی بالایی رسید.

این مقاله به شکل زیر سازمان‌دهی شده است، بخش ۲ ساختار و نحوه عملکرد مدار پیشنهادی را مورد بررسی قرار می‌دهد. در بخش ۳ شبیه‌سازی و تحلیل نتایج، و در نهایت بخش ۴ نتیجه‌گیری و مقایسه ساختار پیشنهادی با ساختارهای دیگر بیان می‌شود.

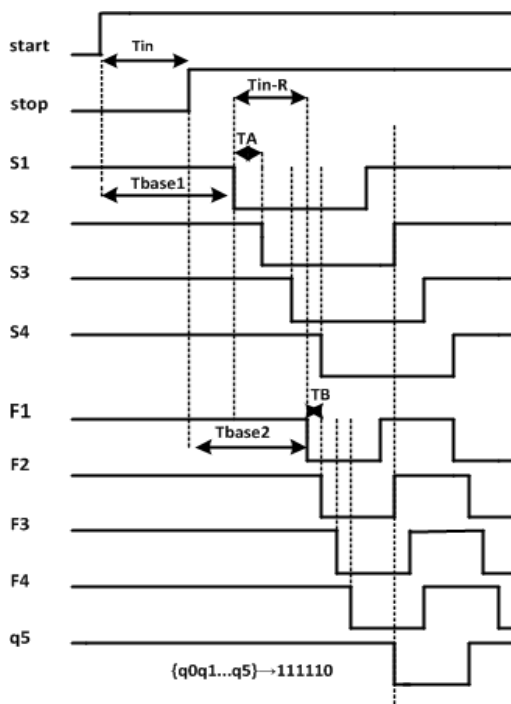


شکل ۱: ساختار مبدل زمان به دیجیتال پیشنهادی

رسیده‌اند، و کد دیجیتال خروجی متناظر با فاصله زمانی دو سیگنال ورودی تولید می‌شود.

شکل ۲ نحوه عملکرد مدار پیشنهادی را نشان می‌دهد. زمانی که سیگنال‌های ورودی در مدار منتشر می‌شوند، در هر طبقه به اندازه R و با هر نیم دوره ۴R فاصله بین آن‌ها کاهش می‌یابد. طبق شکل ۱ خروجی مقایسه‌کننده‌ها مشخص می‌کند شمارش انجام شود یا خیر، به همین دلیل تأخیر Td1 و Td2 به مدار اضافه شده تا قبل از مشخص

روابط (۲) و (۳) به ترتیب تأخیر طبقه اول در حلقه با سرعت کمتر و تأخیر طبقه اول حلقه با سرعت بیشتر را نشان می‌دهند. روابط (۵) و (۶) به ترتیب بیانگر تأخیر طبقات در حلقه با سرعت کمتر و تأخیر طبقات در حلقه با سرعت بیشتر می‌باشد. در این روابط پارامترهای i و j شماره طبقات دو حلقه را نشان می‌دهند. روابط (۷) و (۸) دوره تناوب دو نوسان‌ساز حلقوی را نشان می‌دهد. فرکانس نوسان دو حلقه از معکوس کردن دوره تناوب آن‌ها به دست می‌آید. رابطه (۹) نشان می‌دهد، در هر دوره نوسان دو حلقه فاصله سیگنال‌های ورودی به اندازه ۸R کاهش می‌یابد.



شکل ۲: نحوه عملکرد مدار پیشنهادی در یک دوره کامل نوسان

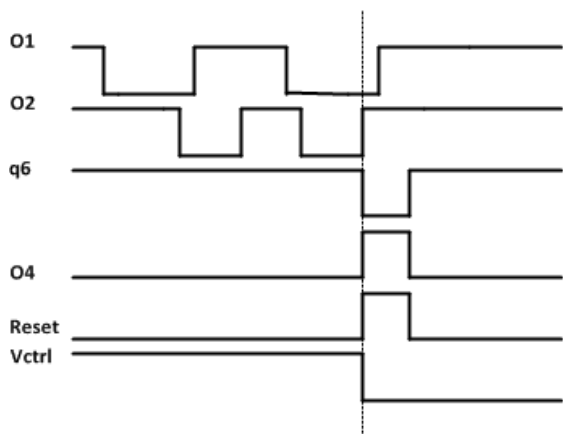
$$T_{slowing} = 2 \times T_{dsi} \quad i = 4 \quad (7)$$

$$T_{fastring} = 2 \times T_{dff} \quad j = 4 \quad (8)$$

$$T_{slowing} - T_{fastring} = 8 \times R \quad (9)$$

برای ایجاد نوسان‌ساز حلقوی در هر طبقه تعداد فردی معکوس‌کننده به کار برده شده است. بعد از عبور سیگنال‌های ورودی از المان‌های تأخیری، در نیم دوره اول نوسان لبه‌های پایین‌رونده دو سیگنال ورودی توسط مقایسه‌کننده حساس به لبه پایین‌رونده (C.F) باهم مقایسه می‌شوند، در صورتی که لبه پایین‌رونده Fi از Si زودتر برسد خروجی مقایسه‌کننده متناظر با آن طبقه صفر می‌شود. در غیر این صورت خروجی مقایسه‌کننده یک می‌ماند. در نیم دوره بعدی نوسان لبه‌های بالا‌رونده توسط مقایسه‌کننده حساس به لبه بالا‌رونده (C.R) مقایسه می‌شوند. زمانی که یکی از خروجی‌های q0, q1, ..., q7 از یک به صفر تغییر وضعیت دهد، نشان‌دهنده این است، که دو سیگنال ورودی به هم

خروجی متناظر با این ورودی به صفر تغییر وضعیت می‌دهد. با لبه پایین‌رونده این سیگنال ورودی ترانزیستور NMOS خاموش شده و خروجی متناظر یک می‌شود. در نتیجه مقایسه کننده به حالت اولیه اش برگشته، و برای مقایسه دو لبه بالارونده بعدی آماده می‌شود. برای مقایسه لبه پایین‌رونده، سیگنال‌های ورودی ابتدا معکوس شده، سپس به مقایسه کننده شکل ۴ اعمال می‌شوند و مقایسه دو سیگنال انجام می‌شود.



شکل ۳: نحوه تولید سیگنال کنترلی برای کاهش توان مصرفی

۴- شبیه‌سازی و تحلیل نتایج

نمونه ۶ بیتی از مبدل زمان به دیجیتال پیشنهادی در تکنولوژی ۶۵ نانومتر سیماس استاندارد شبیه‌سازی شده است. با توجه به نتایج شبیه‌سازی مبدل پیشنهادی در محدوده فرکانسی ۳۳۰ تا ۵۳۰ مگاهرتز کار می‌کند. میزان تأخیر هر طبقه به تعداد و سایز ترانزیستورهای آن طبقه بستگی دارد. در ساختار موازی پیشنهاد شده می‌توان با تغییر جزئی در سایز ترانزیستورهای هر طبقه نسبت به ترانزیستورهای طبقه قبل آن، به اختلاف تأخیر کمی دست یافت. در مبدل پیشنهادی اختلاف تأخیر طبقات موازی در دو نوسان ساز حلقوی به صورت $T_B = 1ps$ و $T_A = 2ps$ تنظیم شده است. با توجه به عملکرد مبدل به روش ورنیر قابلیت تفکیک ۱ps می‌باشد. در ولتاژ تغذیه ۱V، متوسط توان مصرفی به ازای فاصله زمانی‌های مختلف سیگنال‌های ورودی ۳۸۲uW و نرخ نمونه‌برداری این ساختار ۶ بیتی ۶۰۰Ms/s می‌باشد.

فرکانس نوسان‌سازهای حلقه‌ای با سرعت کمتر و بیشتر به ترتیب ۵/۷۵GHz، ۶GHz می‌باشد. شکل ۵، شکل موج‌های خروجی به ازای فاصله زمانی دو سیگنال ورودی ۶ps را نشان می‌دهد. با توجه به شکل ۵، سیگنال‌های ورودی در نوسان‌سازهای حلقوی منتشر شده و اولین لبه بالارونده سیگنال‌های S3 و F3 به هم رسیده‌اند. در نتیجه خروجی متناظر با این طبقه صفر می‌شود. با توجه به خروجی مقایسه کننده‌ها، کد دیجیتال تولیدی توسط مبدل زمان به دیجیتال ۱۱۱۱۱۱۰۰ می‌باشد. حال اگر فاصله زمانی دو سیگنال ورودی از ۶ps به ۷ps تغییر پیدا کند شکل موج‌های خروجی مطابق با شکل ۶ می‌باشد.

شدن حالت خروجی مقایسه کننده‌ها، شمارش اضافی صورت نگیرد. وظیفه شمارنده‌های باینری صعودی، شمارش تعداد نیم‌دوره‌ها قبل از رسیدن دو سیگنال ورودی به یکدیگر می‌باشد. شمارنده ۱ تعداد لبه‌های پایین‌رونده و شمارنده ۲ تعداد لبه‌های بالارونده سیگنال S4، قبل از اینکه سیگنال پس‌فاز (stop) به سیگنال پیش‌فاز (start) برسد را می‌شمارند.

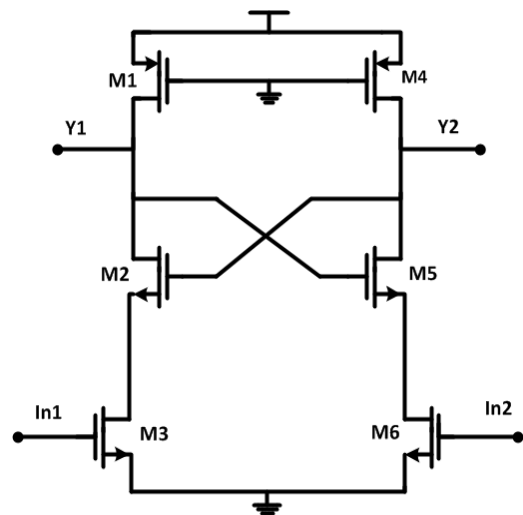
فاصله زمانی بین دو سیگنال ورودی طبق رابطه زیر قابل محاسبه می‌باشد:

$$T_m = ((4 \times M) + (4 \times N) + TH) \times R \quad (10)$$

در رابطه (۱۰) پارامترهای M و N به ترتیب اعداد نشان داده شده توسط شمارنده ۱ و شمارنده ۲، TH تعداد خروجی‌ها (q0...q3) یا (q4...q7) که حالت یک دارند و R قابلیت تفکیک می‌باشد. زمانی که دو سیگنال ورودی به هم برسند خروجی متناظر با آن طبقه صفر می‌شود. در نتیجه خروجی O3 یا O4 یک می‌شود. با یک شدن این سیگنال‌ها شمارنده‌ها غیرفعال شده تا شمارش اضافی صورت نگیرد.

توان مصرفی مبدل زمان به دیجیتال پیشنهادی با فاصله زمانی دو سیگنال ورودی رابطه مستقیم دارد. با توجه به ساختار نوسان‌ساز حلقوی تا زمانی که حالت سیگنال‌های ورودی یک باشد سیستم نوسان می‌کند. نوسانات اضافی مبدل بعد از رسیدن دو سیگنال ورودی به هم باعث افزایش توان مصرفی می‌شود. بنابراین در ساختار پیشنهادی برای کاهش توان مصرفی از روش مسدود کردن سیگنال استفاده شده است. طبق شکل ۱ این روش با اضافه کردن گیت OR، SRlatch و استفاده از گیت nand سه ورودی در نوسان ساز حلقوی صورت گرفته است. با رسیدن دو سیگنال ورودی به یکدیگر سیگنال O3 یا O4 یک می‌شود. در نتیجه خروجی OR یعنی سیگنال Reset از صفر به یک تغییر وضعیت می‌دهد. با یک شدن Reset ولتاژ کنترلی (Vctrl) صفر شده و به گیت‌های nand ورودی اعمال می‌شود. زمانی که یکی از ورودی‌های گیت nand صفر باشد صرف نظر از ورودی‌های دیگر خروجی آن مقدار ثابت یک می‌شود بنابراین اعمال ولتاژ کنترلی با مقدار صفر به گیت‌های nand ورودی باعث ثابت شدن خروجی آن‌ها یعنی سیگنال‌های O1 و O2 می‌شود در نتیجه نوسانات اضافی سیستم حذف شده و توان مصرفی کاهش می‌یابد. شکل ۳ روش مسدود کردن سیگنال برای کاهش توان مصرفی را نشان می‌دهد.

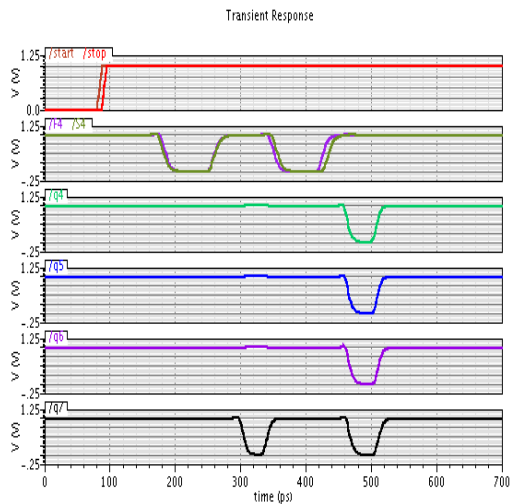
در انتهای هر طبقه مقایسه سیگنال‌های ورودی توسط مقایسه کننده‌های حساس به لبه بالارونده و حساس به لبه پایین‌رونده صورت می‌گیرد. شکل ۴ ساختار مقایسه کننده استفاده شده در مبدل زمان به دیجیتال پیشنهادی را نشان می‌دهد. مطابق شکل ۴ قبل از اعمال ورودی‌ها به مقایسه کننده به دلیل روشن بودن ترانزیستورهای M1 و M4 خروجی‌ها یک می‌باشند. لبه بالارونده هر سیگنال ورودی که زودتر به مدار اعمال شود، ترانزیستور NMOS متصل به آن ورودی روشن می‌شود. با روشن شدن این ترانزیستور زمین مدار وصل شده، و



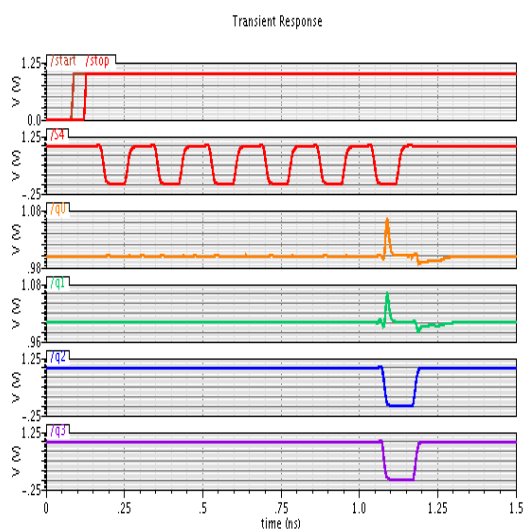
شکل ۴: مقایسه کننده متقارن حساس به لبه بالارونده [۱۷]

طبق شکل ۶ کد دیجیتال خروجی ۱۱۱۱۱۱۰ می باشد. در نتیجه مبدل پیشنهادی قادر به تفکیک فاصله زمانی ۱ ps (قابلیت تفکیک) است.

شکل ۷، شکل موج های خروجی به ازای فاصله زمانی ۴۲ ps را نشان می دهد. طبق شکل ۷، دو سیگنال ورودی در یازدهمین نیم دوره بهم رسیده، و خروجی q2 از یک به صفر تغییر وضعیت می دهد.

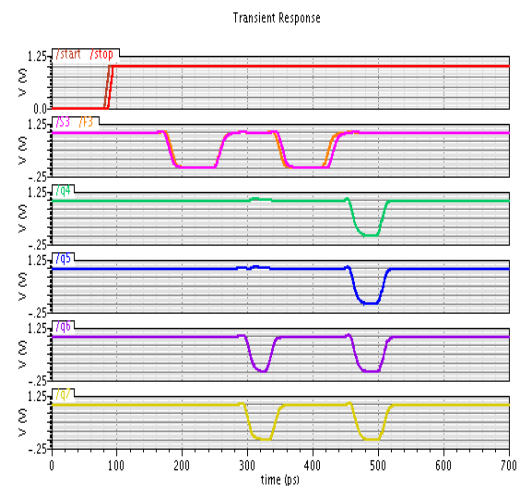


شکل ۶: شکل موج های خروجی به ازای فاصله زمانی ۷ ps



شکل ۷: شکل موج ولتاژهای خروجی به ازای فاصله زمانی ۴۲ ps

مطابق شکل ۸ دو سیگنال ورودی با فاصله زمانی ۵۰ ps به مبدل اعمال شده اند. با رسیدن سیگنال پس فاز به پیش فاز سیگنال O3 از صفر به یک تغییر وضعیت می دهد و در نتیجه سیگنال Reset یک می شود. با یک شدن Reset ولتاژ کنترلی (Vctrl) صفر شده و به گیت های nand ورودی اعمال می شود و باعث ثابت کردن (یک شدن) خروجی آن ها می شود. با ثابت شدن خروجی گیت های nand ورودی نوسانات تمامی سیگنال های داخلی متوقف شده و ثابت می مانند. زمانی که لبه پایین رونده سیگنال ورودی به مبدل اعمال شود ولتاژ کنترلی از صفر به یک تغییر وضعیت داده و به حالت اولیه خود برمی گردد. در نتیجه برای مقایسه دو لبه بالارونده بعدی سیگنال ورودی آماده می شود. شکل ۸ نحوه عملکرد مبدل پیشنهادی در دو دوره تناوب نشان می دهد. مشاهده می شود با آمدن دومین لبه بالارونده سیگنال های ورودی مبدل کار تبدیل فاصله زمانی به کد دیجیتال را آغاز می کند. شکل های ۹ و ۱۰ به ترتیب خروجی گیت های nand ورودی قبل و بعد

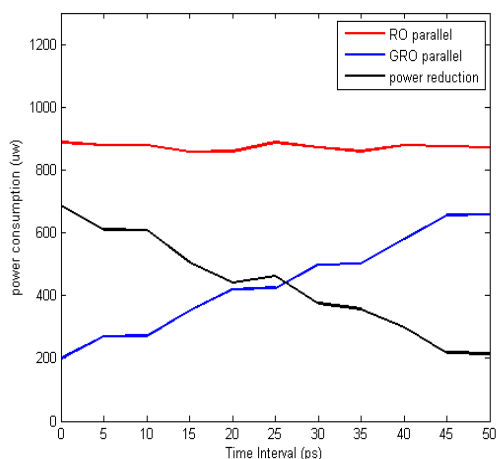


شکل ۵: شکل موج های خروجی به ازای فاصله زمانی ۶ ps

با توجه به نوسان سیگنال S4، برای محاسبه فاصله زمانی دو سیگنال ورودی از رابطه (۱۰) استفاده می شود. در این فاصله زمانی مقادیر پارامترهای TH، M و N به ترتیب ۲، ۵ و ۵ می باشد.

در ساختار نوسان سازهای حلقه ای که سیگنال های ورودی ابتدا به گیت nand اعمال می شوند تا زمانی که دامنه سیگنال ورودی یک باشد، سیستم نوسان می کند. در ساختار پیشنهادی برای حذف نوسانات اضافی بعد از رسیدن دو سیگنال ورودی به هم از روش مسدود کردن سیگنال استفاده شده است. در ادامه براساس شکل ۸ به نحوه عملکرد این روش پرداخته می شود.

شکل ۱۱ توان مصرفی مبدل به‌ازای فاصله زمانی مختلف دو سیگنال ورودی را نشان می‌دهد. هر چه فاصله زمانی بین دو سیگنال ورودی بیشتر باشد، زمان تبدیل مبدل افزایش یافته، در نتیجه توان مصرفی افزایش می‌یابد.

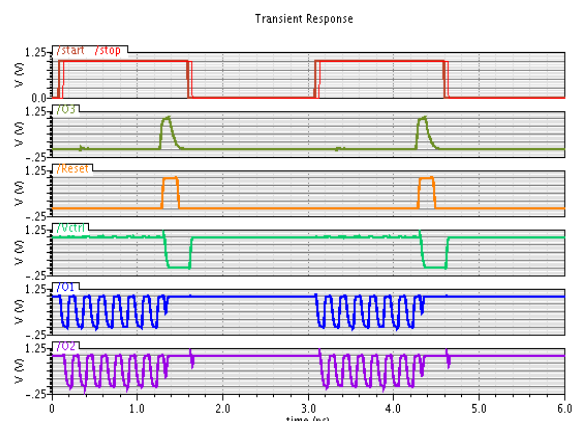


شکل ۱۱: میزان تغییرات توان مصرفی قبل و بعد از اعمال روش مسدودکردن سیگنال به‌ازای فاصله زمانی‌های متفاوت

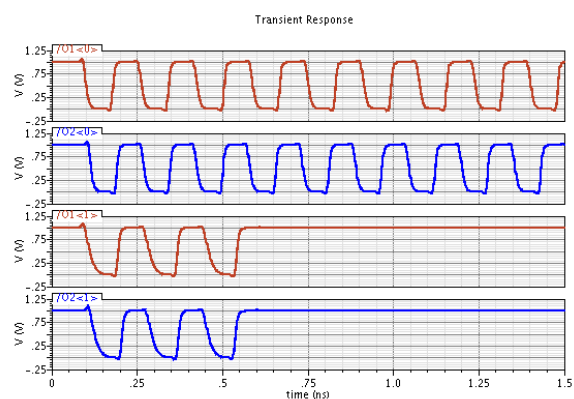
مطابق شکل ۱۱ در حالت نوسان‌ساز حلقوی موازی^{۱۵} (قبل از به‌کاربردن به‌کاربردن روش مسدودکردن سیگنال) به‌دلیل نوسانات زیاد سیگنال‌ها توان مصرفی زیاد است. تا زمانی که دامنه سیگنال ورودی یک باشد، سیگنال‌های مختلف از جمله ورودی مقایسه‌کننده‌ها نوسان می‌کنند. در حالت نوسان‌ساز حلقوی موازی مسدود شده^{۱۶} (بعد از به‌کاربردن روش مسدودکردن سیگنال) زمانی که دو سیگنال ورودی به هم برسند با تولید سیگنال کنترلی نوسانات اضافی حذف شده و توان مصرفی کاهش می‌یابد. مطابق شکل ۱۱ به‌ازای فاصله زمانی بیشتر (شکل ۱۰) زمان تبدیل و نوسانات مبدل افزایش می‌یابد در نتیجه توان مصرفی نسبت به فاصله زمانی‌های کوچک‌تر افزایش می‌یابد. در شکل ۱۱ نمودار کاهش توان^{۱۷}، یعنی تفاضل توان مصرفی قبل و بعد از اعمال روش مسدودکردن سیگنال را نشان داده شده است. مشاهده می‌شود با روش به‌کاربرده‌شده به‌ازای اختلاف زمانی‌های کوچک توان مصرفی به‌طور قابل توجهی کاهش می‌یابد (طبق شکل ۹ کاهش نوسانات بیشتر است). به‌عنوان مثال زمانی که $T_{in} = 5ps$ باشد. توان مصرفی از $879uW$ به $234uW$ می‌رسد. در نتیجه توان به‌اندازه $645uW$ کاهش می‌یابد.

یکی از پارامترهای مهم برای ارزیابی مبدل‌های زمان به دیجیتال میزان خطی بودن آن‌ها می‌باشد. میزان خطی بودن یک مبدل با مقادیر DNL ^{۱۸} و INL ^{۱۹} آن مشخص می‌شود. خطی بودن مبدل زمان به دیجیتال پیشنهادی با نرم‌افزار MATLAB و برای کدهای مختلف بررسی شده، و نمودار تغییرات DNL و INL در شکل ۱۲ رسم شده است. با توجه به شکل ۱۲ بیشترین میزان تغییرات DNL و INL به ترتیب $-0.55LSB$ و $-0.61LSB$ می‌باشد. از آنجایی که تغییرات

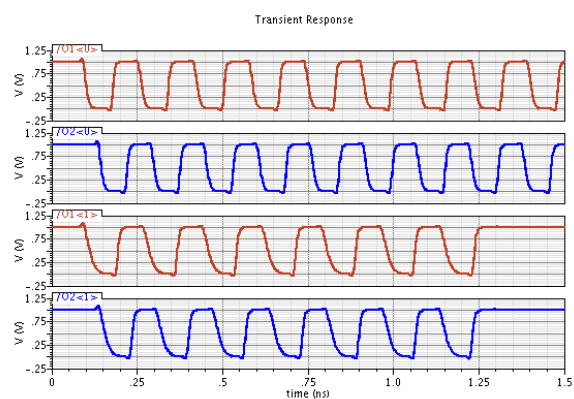
از به‌کاربردن روش مسدودکردن سیگنال به‌ازای فاصله زمانی ۱۵ps و ۴۵ps را نشان می‌دهند. مطابق این شکل‌ها پس از اعمال این روش نوسانات اضافی حذف شده و خروجی گیت‌های nand ورودی ثابت می‌شود و در نتیجه با کاهش نوسانات سیگنال‌های داخلی توان مصرفی مبدل کاهش می‌یابد. همچنین مشاهده می‌شود هر چه فاصله زمانی دو سیگنال ورودی کمتر باشد (شکل ۹) کاهش نوسانات بیشتر می‌باشد و در نتیجه کاهش توان مصرفی بیشتر خواهد بود.



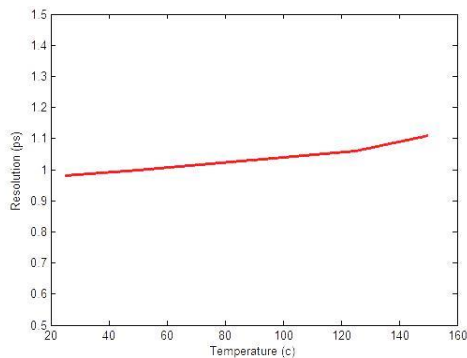
شکل ۸: نحوه تولید سیگنال کنترلی در روش مسدودکردن سیگنال



شکل ۹: خروجی گیت‌های nand ورودی قبل و بعد از روش مسدودکردن سیگنال به‌ازای فاصله زمانی ۱۵ps



شکل ۱۰: خروجی گیت‌های nand ورودی قبل و بعد از روش مسدودکردن سیگنال به‌ازای فاصله زمانی ۴۵ps

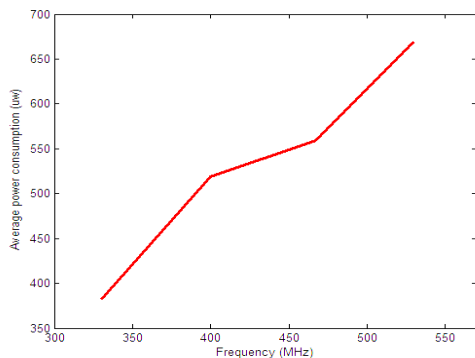


شکل ۱۳: نمودار تغییرات قابلیت تفکیک بر حسب دما در مبدل زمان به دیجیتال پیشنهادی

توان مصرفی با افزایش فرکانس سیگنال‌های ورودی افزایش می‌یابد، زیرا زمانی که فرکانس زیاد شود، سرعت و نوسانات مبدل زمان به دیجیتال افزایش پیدا کرده، در نتیجه متوسط توان مصرفی بیشتر می‌شود. شکل ۱۴ نمودار متوسط توان مصرفی بر حسب فرکانس در مبدل پیشنهادی نشان می‌دهد، مشاهده می‌شود نمودار توان مصرفی بر حسب فرکانس روندی صعودی دارد و هر چه فرکانس بیشتر باشد توان مصرفی هم بیشتر است.

شکل ۱۵ نمودار کدهای خروجی 2^0 بر حسب فاصله زمانی دو سیگنال ورودی را نشان می‌دهد. ابتدا دو سیگنال ورودی با فاصله زمانی ۲ps به مبدل اعمال می‌شوند با مشخص شدن حالت خروجی مقایسه کننده‌ها و خروجی شمارنده‌ها با استفاده از رابطه (۱۰) کدهای خروجی به دست می‌آید. سپس همین روند به ازای فاصله زمانی‌های متفاوت $4ps$ ، $6ps$ ، $8ps$ ، ... (به ازای افزایش فاصله زمانی ۲ps) تکرار شده و کد خروجی مشخص می‌شود.

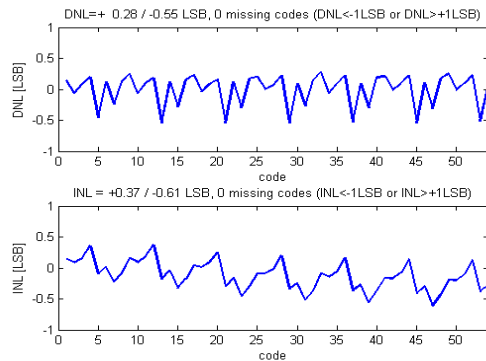
به منظور تعیین مساحت تراشه مورد نیاز برای پیاده‌سازی مبدل پیشنهادی طرح جانمایی 2^1 آن رسم شده است. شکل ۱۶ مساحت مورد نیاز برای پیاده‌سازی مبدل پیشنهادی را نشان می‌دهد. برای به دست آوردن مساحت مورد نیاز ابتدا بلوک‌های مختلف مبدل از جمله بلوک مقایسه کننده، شمارنده، مقایسه کننده حساس به لبه بالا رونده و مقایسه کننده حساس به لبه پایین رونده به طور جداگانه رسم می‌شوند، و در نهایت این بلوک‌ها کنار هم قرار گرفته و اتصالات بین آن‌ها برقرار می‌شود.



شکل ۱۴: نمودار متوسط توان مصرفی بر حسب فرکانس در مبدل زمان به دیجیتال پیشنهادی

DNL و INL کمتر از ۱LSB می‌باشد، بنابراین این مبدل میزان خطی بودن قابل قبولی دارد.

افزایش دما، تأخیر المان‌های تاخیری را افزایش می‌دهد. از آن جایی که قابلیت تفکیک مبدل پیشنهادی به تأخیر المان‌های تاخیری



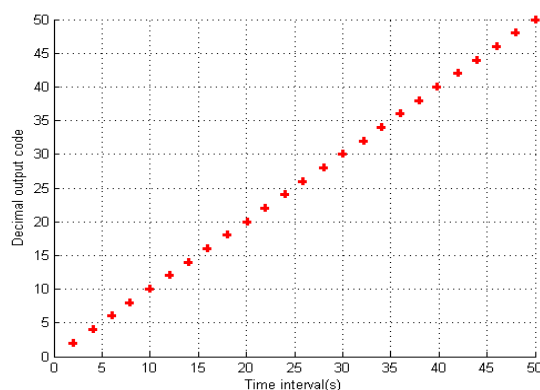
شکل ۱۲: تغییرات خطی بودن مبدل زمان به دیجیتال پیشنهادی

بستگی دارد، بنابراین افزایش دما روی قابلیت تفکیک مبدل تأثیر می‌گذارد. تغییرات قابلیت تفکیک با افزایش دما، در فاصله زمانی ۳۰ps مورد بررسی قرار گرفته است. طبق شکل ۱۳ مشاهده می‌شود در مبدل پیشنهادی افزایش دما تأثیر زیادی روی قابلیت تفکیک سیستم نمی‌گذارد و با افزایش دما، قابلیت تفکیک با شیب نسبتاً کم کاهش می‌یابد. به طوری که با افزایش دما از ۲۵ تا ۱۵۰ درجه سانتی‌گراد، قابلیت تفکیک از ۰/۹۸ به ۱/۱۱ کاهش پیدا می‌کند.

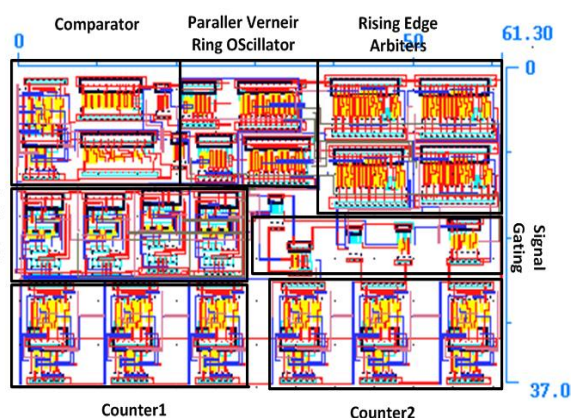
مطابق شکل ۱ تا زمانی که دامنه سیگنال‌های ورودی یک باشد، کار تبدیل فاصله زمانی به کد دیجیتال انجام می‌شود. با صفر شدن دامنه سیگنال‌های ورودی خروجی گیت nand ورودی ثابت شده و مقایسه سیگنال‌های ورودی امکان پذیر نیست. به منظور دستیابی به عملکرد صحیح مبدل زمان به دیجیتال پیشنهادی، در $duty\ cycle$ ۵۰٪ دوره تناوب مورد نیاز برای سیگنال‌های ورودی ۳ ns می‌باشد، یعنی حداقل $1/5ns$ دامنه سیگنال‌های ورودی یک باشد. فرکانس با دوره تناوب رابطه عکس دارد بنابراین برای افزایش فرکانس کاری مبدل می‌توان مدت زمانی که دامنه سیگنال‌های ورودی صفر است را کاهش داد (کاهش دوره تناوب) یعنی در واقع سیگنال‌های ورودی با $duty\ cycle$ بزرگ‌تر از ۵۰٪ به بلوک مقایسه کننده اعمال شوند. برای عملکرد صحیح مبدل با افزایش $duty\ cycle$ ، مدت زمان یک بودن سیگنال ورودی ثابت $(1/5ns)$ و مدت زمان صفر بودن آن کاهش می‌یابد.

برای مثال در ۸۰٪ $duty\ cycle$ ، مدت زمان یک بودن سیگنال‌های ورودی $1/5ns$ و مدت زمان صفر بودن آن از $1/5ns$ به ۳۷۵ps کاهش پیدا می‌کند بنابراین دوره تناوب سیگنال‌های ورودی ۱/۹ ns می‌باشد. در نتیجه با افزایش $duty\ cycle$ دوره تناوب کاهش یافته و فرکانس کار مبدل زمان به دیجیتال افزایش می‌یابد. مبدل پیشنهادی می‌تواند حداکثر تا ۸۰٪ $duty\ cycle$ به طور صحیح کار کند.

سری با ساختار حلقوی به کاررفته است در مقایسه با مبدل پیشنهادی که در آن المان‌های تاخیری با ساختار موازی هستند قابلیت تفکیک کمتری دارد همچنین به دلیل استفاده از تعداد طبقات بیشتر رنج دینامیکی آن بیشتر می‌باشد و نسبت به مبدل پیشنهادی نرخ نمونه‌برداری کمتری دارد.



شکل ۱۵: نمودار کدهای خروجی بر حسب فاصله زمانی دو سیگنال ورودی



شکل ۱۶: طرح کلی جانمایی مبدل زمان به دیجیتال پیشنهادی

طبق شکل ۱۶ مساحت موردنیاز مستطیلی با ابعاد $61.3 \times 37 \mu m^2$ می‌باشد. همان‌طور که مشاهده می‌شود، به دلیل استفاده از ساختار نوسان‌ساز حلقوی مساحت تراشه به شدت کاهش یافته است.

۴- نتیجه‌گیری

در این مقاله یک مبدل زمان به دیجیتال مبتنی بر روش ورنیر موازی و با ساختار نوسان‌ساز حلقوی ارائه و شبیه‌سازی گردیده است. در این مبدل استفاده از المان‌های موازی در ساختار ورنیر باعث دستیابی به قابلیت تفکیک درون‌گیتی بهتر شده است. استفاده از المان‌های تاخیری موازی به جای المان‌های تأخیر سری به کاربردن روش مسدود کردن سیگنال با حذف نوسانات اضافی توان را کاهش می‌دهد.

مبدل زمان به دیجیتال پیشنهادی در تکنولوژی ۶۵ نانومتر سیماس استاندارد شبیه‌سازی شده است. نتایج شبیه‌سازی، قابلیت تفکیک ۱ps، در ولتاژ تغذیه ۱V، متوسط توان مصرفی ۳۸۲uW، بیشترین تغییرات DNL و INL به ترتیب ۵۵/۰-LSB و ۱۶/۰-LSB، مساحت تراشه $2269 \mu m^2$ و نرخ نمونه‌برداری ۶۰Ms/s را نشان می‌دهند. با توجه به نتایج شبیه‌سازی و به منظور مقایسه پارامترهای مهم ارزیابی مبدل زمان به دیجیتال پیشنهادی با ساختارهای دیگر جدول تنظیم شده است. مطابق با جدول ۱ در [۶] از المان‌های تاخیری

مبدل‌هایی که در آن‌ها از تقویت‌کننده زمان استفاده می‌شود مانند [۱۳، ۱۴] قابلیت تفکیک بالایی دارند. در این نوع ساختار زمان باقی مانده از طبقه coarse که در این طبقه قابل اندازه‌گیری نمی‌باشد، توسط تقویت‌کننده زمان تقویت شده و به طبقه fine اعمال می‌شود. این فرآیند قابلیت تفکیک مبدل را به طور قابل ملاحظه‌ای افزایش می‌دهد و مساحت و توان مصرفی مبدل افزایش می‌یابد. مبدل پیشنهادی به دلیل استفاده از المان‌های تاخیری موازی و عدم استفاده از تقویت‌کننده زمان به قابلیت تفکیک بالایی می‌رسد. به طور کلی با توجه به جدول ۱ می‌توان دریافت استفاده از المان‌های تأخیر موازی در نوسان‌ساز حلقوی و به کاربردن روش ورنیر قابلیت تفکیک مبدل پیشنهادی را نسبت به ساختارهای دیگر به طور قابل ملاحظه‌ای افزایش می‌دهد. همچنین مبدل پیشنهادی در مقایسه با ساختارهای دیگر دارای نرخ نمونه‌برداری بالا، توان مصرفی و مساحت تراشه کم می‌باشد.

جدول ۱: مقایسه پارامترهای ارزیابی مبدل زمان به دیجیتال پیشنهادی با ساختارهای دیگر

مرجع	تکنولوژی (nm)	ولتاژ تغذیه (V)	رنج دینامیکی (bit)	قابلیت تفکیک (ps)	توان مصرفی (mW)	مساحت تراشه (mm ²)	نرخ نمونه‌برداری (Ms/s)
[۶]	۹۰	۱/۲	۱۱	۳/۲	۳/۶	۰/۰۲۷	۲۵-۱۰۰
[۹]	۱۳۰	۱/۲	۱۲	۲	۴/۵	NA	NA
[۱۴]	۶۵	۱/۲	۷	۳/۷۵	۳/۶	۰/۰۲	۲۰۰
[۱۸]	۱۳۰	۱/۲	۶	۵	۱/۱۵	۰/۷	۱۰
[۱۹]	۶۵	۱/۲	۷	۵/۷	۱/۷۵	۰/۰۰۴	۱۰۰
[۲۰]	۱۳۰	۱/۲	۱۱	۷/۳	۱/۲	۰/۰۳	NA
[۲۱]	۶۵	۱/۲	۹	۳	۰/۴۳۶۵	۰/۰۱۴	NA
[۲۲]	۱۳۰	NA	۱۰	۸/۵	NA	NA	NA
مدار پیشنهادی	۶۵	۱	۶	۱	۰/۳۸۲	۰/۰۰۲۲	۶۰۰

- [10] C. C. Chen, S. H. Lin and C. S. Hwang, "An Area-Efficient CMOS Time-to-Digital Converter Based on a Pulse-Shrinking Scheme," *IEEE Transaction on Circuit and Systems, II: Express Briefs*, vol. 61, no. 3, pp.163-167, March 2014.
- [11] P. Chen, S. L. Liu and J. Wu, "A CMOS pulse-shrinking delay element for time interval measurement," *IEEE Transactions on Circuits and Systems II: Analog and Digital Signal Processing*, vol. 47, pp. 954-958, 2000.
- [12] J.P. Jansson, A. Mantyniemi and J. Kostamovaara, "A CMOS time-to-digital converter with better than 10 ps single-shot precision," *IEEE Journal of Solid-State Circuits*, vol. 41, no. 6, pp.1286-1296, 2006.
- [13] Y. H. Seo, J. S. Kim, H. J. Park and J. Y. Sim, "A 1.25 ps Resolution 8b Cyclic TDC in 0.13um CMOS," *IEEE Journal Of Solid State Circuit*, vol. 47, no. 3, March 2012.
- [14] K. S. Kim, Y. H. Kim, W. S. Yu and S. H. Cho, "A 7b, 3.75ps Resolution Two-Step Time-to-Digital Converter in 65nm CMOS Using Pulse-Train Time Amplifier," *IEEE Journal of Solid-St,ate Circuits*, vol. 48, pp. 1009-1017, April 2013.
- [15] A. Dehghani, M. Saneei, A. Mahani, "Time-to-digital converters based on resolution control," *IET circuits, Devices & Systems*, vol. 9, pp. 370-376, 2015.
- [16] T. Okazawa, I. Akita, "A robust and low-power synchronization technique of coarse-and-fine conversion parts in ring-oscillator-based time-to-digital converters," *InElectronics, Circuits and Systems (ICECS)*, 24th IEEE International Conference on, pp. 239-242, 2017.
- [17] V. Gutnik and A. Chandrakasan, "On-chip picosecond time measurement," *In Symposium on VLSI Circuits*, pp. 52-53, 2000.
- [18] C. T. Ko, K. P. Pun and A. Gothenberg, "A 5-ps Vernier sub-ranging time-to-digital converter with DNL calibration," *Microelectronics Journal*, vol. 46, no. 12, pp. 1469-1480, 2015.
- [19] N. U. Andersson and M. Vesterbacka, "A Vernier Time-to-Digital Converter With Delay Latch Chain Architecture," *IEEE Transaction on Circuit and Systems-II: Express Briefs*, vol. 61, no. 10, pp.773-777, 2014.
- [20] Z Cheng, M. J. Deen and H. Peng, "A Low-Power Gateable Vernier Ring Oscillator Time-to-Digital Converter for Biomedical Imaging Applications," *IEEE Transactions on Biomedical Circuit and Systems*, vol. 10, no. 2, pp.445-454, April 2016.
- [21] J. Kong, L. Siek, CL. L. Kok, "A 9-bit body-biased vernier ring time-to-digital converter in 65 nm CMOS technology," *In Circuits and Systems (ISCAS)*, IEEE International Symposium, pp. 1650-1653, 2015.
- [22] J. Zhang and D. Zhou, "An 8.5-ps Two-Stage Vernier Delay-Line Loop Shrinking Time-to-Digital Converter in 130-nm Flash FPGA," *IEEE Transactions on Instrumentation and Measurement*, vol. 67, no. 2, pp. 406-414, 2018.
- در مبدل پیشنهادی برای به دلیل بالا بودن قابلیت تفکیک، رنج دینامیکی آن چنان بالا نیست، زیرا برای رسیدن به رنج دینامیکی بالا تعداد طبقات مبدل افزایش می‌یابد و توان مصرفی و مساحت تراشه نیز زیاد می‌شود. برای افزایش رنج دینامیکی می‌توان از مبدل دو طبقه استفاده کرد و در طبقه fine از مبدل پیشنهادی به دلیل قابلیت تفکیک بالای آن استفاده کرد.

مراجع

- [1] K.Blutman, J.Angevaere, A. Zjajo and N. van der Meijs, "A 0.1 pJ Freeze Vernier time-to-digital converter in 65nm CMOS," *IEEE International Symposium on Circuits and Systems (ISCAS)*, pp. 85-88, 2014.
- [2] M. Elsayed, V. Dhanasekaran, M. Gambhir, J. Silva-Martinez and E. Sanchez-Sinencio, "A 0.8 ps DNL time-to-digital converter with 250 MHz event rate in 65 nm CMOS for time-mode-based modulator," *IEEE Journal of Solid-State Circuits*, vol. 46, no. 9, pp. 2084–2098, Sep 2011.
- [3] Y. Kim and T. W. Kim, "An 11 b 7ps Resolution Two-Step Time-to-Digital Converter With 3-D Vernier Space," *IEEE International Conference on Circuits and Systems, Regular Papers*, vol. 51, pp. 4345-4335, 2014.
- [4] W. Liu, W. Li, P. Ren, C. Lin, S. Zhang and Y. Wang, "A PVT tolerant 11 to 61MHz all- digital phase locked loop with coupled TDC and DCO," *IEEE Journal of Solid State Circuits*, vol. 26, no. 4, pp. 312-341, Feb 2010.
- [5] A. Liscidini, L. Vercesi, and R. Castello, "Time to digital converter based on a 2-dimensions Vernier architecture," *IEEE in Custom Integrated Circuits Conference, CICC'09*, pp. 45-48, 2009.
- [6] P. Lu, A. Liscidini and P. Andreani, "A 3.6 mW, 90 nm CMOS Gated-Vernier Time-to-Digital Converter With an Equivalent Resolution of 3.2 ps," *IEEE Journal Of Solid State Circuit*, vol. 47, no. 7, pp. 1626-1635, July 2012.
- [7] J. Yu, F. F. Dai and R. C. Jaeger, "A 12-Bit Vernier Ring Time-to-Digital Converter in 0.130 um CMOS Technology," *IEEE journal of solid-state circuits*, vol. 45, pp. 830-842, 2010.
- [8] J. Chen, H. Yumei and H. Zhiliang, "A multi-path gated ring oscillator based time-to-digital converter in 65 nm CMOS technology," *Journal of Semiconductors*, vol. 34, no. 3, pp. 035004, 2013.

[۹] اکرم امیری، سیروس طوفان، «مبدل زمان به دیجیتال رزولوشن بالا و توان مصرفی کم مبتنی بر اسیلاتور حلقوی چند مسیره»، *مجله مهندسی برق دانشگاه تبریز*، جلد ۴۶، شماره ۳، صفحه ۵۰-۴۵، پائیز ۱۳۹۵.

زیر نویس ها

¹¹ Time Amplifier
¹² Binary Counter
¹³ Signal Gating
¹⁴ Comparator
¹⁵ RO parallel
¹⁶ GRO parallel
¹⁷ Power reduction
¹⁸ Differential Non Linearity
¹⁹ Integral Non Linearity
²⁰ Decimal output code
²¹ Layout

¹ Time to digital converter
² Analog to digital converter
⁴ Pulse shrinking
⁴ Vernier Method
⁵Tapped Delay Line
⁶ 2-Dimension Vernier
⁷ Vernier Ring Time to Digital Converter
⁸ Multi-Path Ring Oscillator
⁹ Sub Gate Delay Resolution
¹⁰ Parallel Delay Elements