

کالیبراسیون دیجیتال پس‌زمینه خطاهای آنالوگ در مدولاتور سیگما-دلتا غیرفعال

رسول مرادی^۱، دانشجو دکتری؛ ابراهیم فرشیدی^۲، استاد؛ محمد سروش^۳، دانشیار

۱- گروه مهندسی برق - دانشگاه شهید چمران اهواز - اهواز - ایران - r-moradi@phdstu.scu.ac.ir

۲- گروه مهندسی برق - دانشگاه شهید چمران اهواز - اهواز - ایران - farshidi@scu.ac.ir

۳- گروه مهندسی برق - دانشگاه شهید چمران اهواز - اهواز - ایران - m.soroosh@scu.ac.ir

چکیده: در این پژوهش یک تکنیک کالیبراسیون دیجیتال برای جبران‌سازی خطای مدولاتور سیگما-دلتا غیرفعال ارائه شده است. تابع تبدیل انتگرال‌گیر غیرفعال با تابع تبدیل انتگرال‌گیر ایده‌آل استفاده‌شده در مدولاتورهای سیگما-دلتا متفاوت است، این تفاوت باعث ایجاد تغییر در تابع تبدیل سیگنال و نویز می‌شود که به خطا در خروجی مدولاتور و تخریب نسبت سیگنال به نویز می‌انجامد. در اینجا یک مدل خطا ارجاع‌شده به خروجی برای این خطاهای ناشی از تابع تبدیل انتگرال‌گیر غیرفعال ارائه شده است که بر اساس این مدل خطا، جبران‌سازی با استفاده از فیلترهای وفق‌پذیر دیجیتال انجام خواهد شد. برای شناسایی عوامل فیلتر وفقی سیگنال آزمون شبه‌نویز یک بیتی به ورودی مدولاتور سیگما-دلتا غیرفعال تزریق شده است، شناسایی عوامل خطا به‌وسیله همبستگی سیگنال‌های خروجی و سیگنال آزمون انجام شده است. شبیه‌سازی برای مدولاتورهای مرتبه اول و دوم مؤثر بودن جبران‌سازی خطای ذاتی مدولاتور ناشی از انتگرال‌گیر غیرفعال را نشان می‌دهد.

واژه‌های کلیدی: مبدل آنالوگ به دیجیتال - مدولاتور غیرفعال - انتگرال‌گیر غیرفعال - جبران‌سازی دیجیتال - سیگنال تست - جبران‌سازی پس‌زمینه.

Digital Background Calibration of Analog Errors in Passive Sigma-Delta Modulator

Rasoul Moradi¹, PhD student; Ebrahim Farshidi², professor; Mohammad Soroosh³, associate professor

1- Department of Electrical Engineering, Shahid Chamran University of Ahvaz, Ahvaz, Iran, Email: r-moradi@phdstu.scu.ac.ir

2- Department of Electrical Engineering, Shahid Chamran University of Ahvaz, Ahvaz, Iran, Email: farshidi@scu.ac.ir

3- Department of Electrical Engineering, Shahid Chamran University of Ahvaz, Ahvaz, Iran, Email: m.soroosh@scu.ac.ir

Abstract This paper proposes a digital adaptive calibration to compensate passive $\Delta\Sigma$ modulator error based on output-referred error model of passive integrator. The passive integrator transfer function, which leads to gain and phase errors, degenerates the performance of modulator due to signal attenuation in modulator loop. To identify the adaptive filter factors, a 1-bit pseudo-random noise test signal is applied to the input of the passive $\Delta\Sigma$ modulator. The error factors are identified by making correlation between output and test signals. The simulations show the effectiveness of the intrinsic error compensation of the modulator.

Keywords: Analog to digital converter (ADC), passive sigma-delta modulator, passive switched-capacitor integrator, digital calibration, test signal, background calibration.

تاریخ ارسال مقاله: ۱۳۹۶/۱۰/۲۸

تاریخ اصلاح مقاله: ۱۳۹۷/۰۴/۲۵، ۱۳۹۷/۰۶/۲۲ و ۱۳۹۷/۰۷/۲۱

تاریخ پذیرش مقاله: ۱۳۹۷/۱۰/۰۷

نام نویسنده مسئول: ابراهیم فرشیدی

نشانی نویسنده مسئول: ایران - اهواز - بلوار گلستان - دانشگاه شهید چمران اهواز - دانشکده مهندسی - گروه مهندسی برق.

۱- مقدمه

کالیبراسیون^۵ با استفاده از فیلترهای وقتی برای جبران‌سازی خطا ایجاد شده به وسیله انتگرال‌گیرهای غیرفعال^۶ کلید خازنی ارائه شده است. این تکنیک با به‌کارگیری برای مدولاتور غیرفعال مرتبه اول و مرتبه دوم مفید بودن آن نشان داده شده است.

در این پژوهش، خطای ناشی از انتگرال‌گیر غیرفعال برای مدولاتور غیرفعال مرتبه اول و مرتبه دوم مدل خواهند شد و سپس یک تکنیک با استفاده از فیلترهای وقتی^۷ برای جبران خطای ایجاد شده به وسیله انتگرال‌گیر غیرفعال کلید خازنی ارائه شده است.

این کار به صورت زیر سازمان یافته است، در بخش دوم انتگرال‌گیر غیرفعال کلید خازنی ارائه شده است سپس تابع تبدیل انتگرال‌گیر، مدولاتور مرتبه اول و مرتبه دوم بررسی و خطای ایجاد شده به وسیله انتگرال‌گیر غیرفعال در مدولاتورهای مرتبه اول و مرتبه دوم مدل می‌شود. جبران‌سازی دیجیتال در بخش سوم ارائه خواهد شد. بخش چهارم نتایج شبیه‌سازی ارائه خواهد شد. نهایتاً، بخش پنجم نتیجه‌گیری ارائه می‌شود.

۲- مدل کردن خطای مدار

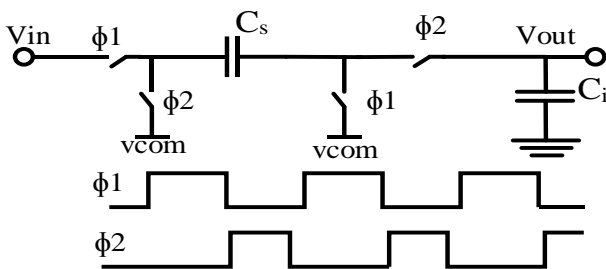
در این بخش ابتدا انتگرال‌گیر غیرفعال کلید خازنی و خطاهای آن معرفی و سپس یک مدل خطا برای آن ارائه می‌شود. با استفاده از این مدل، خطای انتگرال‌گیر شامل خطای بهره و خطای فاز برحسب خروجی انتگرال‌گیر غیرفعال کلید خازنی نوشته می‌شود.

۲-۱- انتگرال‌گیر غیرفعال کلید خازنی

انتگرال‌گیر غیرفعال پایه در شکل ۱ نشان داده شده است. اگر چه توان انتگرال‌گیر غیرفعال پایه بهینه است اما تابع تبدیل آن نسبت به حالت ایده‌آل خطا دارد. تابع تبدیل انتگرال‌گیر غیرفعال به صورت رابطه زیر است:

$$H_p(z) = \frac{\alpha z^{-1}}{1 - \beta z^{-1}} \quad (1)$$

$$\alpha = \frac{C_s}{C_s + C_i} \text{ و } \beta = 1 - \alpha \text{ هستند و نسبت به تابع تبدیل ایده‌آل } H(z) = \frac{z^{-1}}{1 - z^{-1}} \text{ هم خطای فاز و هم خطای بهره دارد.}$$



شکل ۱: انتگرال‌گیر غیرفعال پایه

مقیاس فتاوری به‌طور قابل‌ملاحظه‌ای توان دیجیتال سیستم‌های سیگنال مختلط را کاهش داده است اما مدارهای آنالوگ سر جلو از این مزیت مقیاس بهره نبرده‌اند. مبدل‌های سیگما-دلتا، در مقایسه با مبدل‌های نرخ نایکوئیست به دلیل استفاده از ویژگی فرکانس نمونه‌برداری و شکل‌دهی نویز مصالحه بهتری میان فرکانس نمونه‌برداری و نسبت سیگنال به نویز ایجاد می‌کند [۲۰]. برای دستیابی به رزولوشن^۱ بالا، نسبت فرکانس نمونه‌برداری^۲ بالا، مدولاتور مرتبه بالا یا کوانتایزر^۳ چند بیت می‌تواند انتخاب شود [۳]. افزایش مرتبه مدولاتور و ایجاد یک صفر بیشتر در تابع تبدیل نویز به یک انتگرال‌گیر نیاز دارد. مرتبه بالاتر و کوانتایزر چند بیت موجب پیچیدگی مدار و افزایش توان خواهند شد و همین‌طور افزایش فرکانس نمونه‌برداری توان مصرفی را افزایش می‌دهد.

تکنیک‌های مختلفی برای کاهش توان مصرفی ارائه شده است از آن جمله اشتراک‌گذاری تقویت‌کننده است. با این که تعداد تقویت‌کننده‌ها را کاهش می‌دهد اما نیازمندی عملکرد تقویت‌کننده استفاده شده چند برابر می‌شود که نتیجه آن یک تقویت‌کننده با توان مصرفی بالا است [۵،۴].

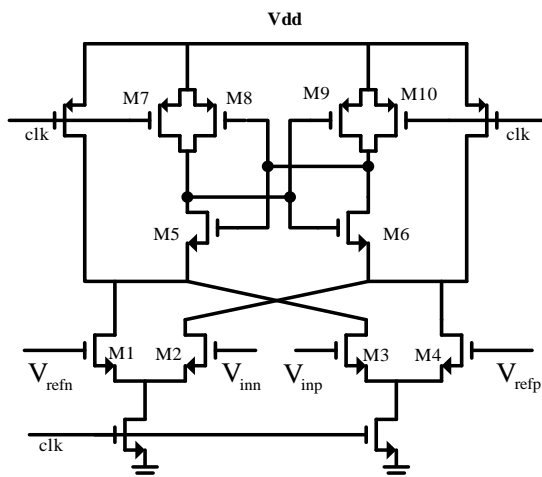
یک تکنیک برای کاهش توان مصرفی مدارهای آنالوگ حذف تقویت‌کننده‌ها یا جایگزینی آن‌ها با مدارهایی که توان کمتری مصرف می‌کنند [۶]. برای کاهش توان مصرفی، انتگرال‌گیر فعال^۴ مبتنی بر تقویت‌کننده‌های مصرف‌کننده توان با انتگرال‌گیرهای غیرفعال کلید خازنی جایگزین می‌شوند که توان مصرفی خیلی کمتری دارند. با جایگزینی انتگرال‌گیر فعال با انتگرال‌گیر غیرفعال سوئیچ خازنی مصرف توان به‌طور قابل‌ملاحظه‌ای کاهش یافته است [۸،۷]. انتگرال‌گیرهای غیرفعال توان مصرفی خیلی کمتری دارند اما سیگنال را تضعیف می‌کنند و خطای بهره و خطای فاز دارند [۱۰،۹]. به منظور حل مسئله عدم بهره در حلقه مدولاتور غیرفعال کارهای متفاوتی انجام شده است [۱۴-۱۱]. اخیراً یک مدولاتور مرتبه سوم ترکیبی فعال-غیرفعال [۱۵] که فیلتر طبقه اول فیلتر غیرفعال پایه و در هر یک از طبقات بعدی یک فیلتر غیرفعال پایه همراه دو تقویت‌کننده با بهره پایین به کار گرفته است. در این طرح در هر طبقه مدولاتور از دو تقویت‌کننده استفاده شده است که توان اضافی مصرف می‌کند و البته از تقویت‌کننده با بار مقاومتی استفاده شده است که بهره آن را به پارامترهای فتاوری وابسته می‌کند. یک مدولاتور مرتبه سوم [۱۶] که فیلترهای طبقه اول و سوم غیرفعال و فیلتر طبقه دوم GM-C فیلتر به کار گرفته شده است که این فیلتر طبقه دوم توان زیادی مصرف می‌کند به طوری که مدولاتور مرتبه سوم با OSR=32 و مصرف توان ۵،۵ میلی وات فقط به ۹ بیت رزولوشن دست یافته است.

یک راه حل می‌تواند کالیبراسیون دیجیتال باشد. کارهای مختلفی برای جبران‌سازی خطاهای مدولاتور سیگما-دلتا ارائه شده است [۱۷]، تعدادی برای بهره محدود تقویت‌کننده مدولاتور فعال [۱۹،۱۸] و تعدادی هم برای عدم تطابق خازنی می‌باشند [۲۱،۲۰]. در این کار، تکنیک

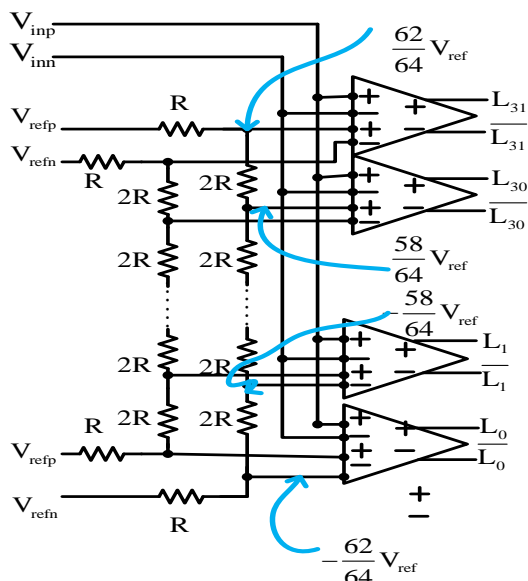
به دیجیتال فلش ۱^۰ پنج-بیت و لچ است. شکل ۳ کوانتایزر ۵-بیت با ۳۲ مقایسه‌گر را نشان می‌دهد [۲۳،۲۲].

۳-۲-۲- مبدل دیجیتال به آنالوگ مسیری فیدبک

شکل ۴، مبدل دیجیتال به آنالوگ تک سر مسیری فیدبک متناسب با کوانتایزر فلش ۵-بیت را نشان داده است. DAC تک سر شامل ۳۲ مسیری کلید-خازنی می‌شود که برابر تعداد مقایسه‌گرهای کوانتایزر است. هر کدام از مسیرها به وسیله یکی از ۳۲ مقایسه‌گر کنترل می‌شود.



شکل ۲: مقایسه‌گر با طبقه ورودی دو زوج تفاضلی [۲۲]



شکل ۳: کوانتایزر ۵-بیت [۲۳،۲۲]

۴-۲-۲- مدار کامل مدولاتور

شماتیک مدار کامل مدولاتور مرتبه اول شامل انتگرال‌گیر غیرفعال، کوانتایزر ۵-بیت (مبدل فلش ۵-بیت) و مبدل دیجیتال به آنالوگ خازنی ۵ بیت در شکل ۵ نشان داده شده است. همان‌طور که از شکل ۵ معلوم است انتگرال‌گیر غیرفعال که از جهت مصرف توان بهینه است جایگزین انتگرال‌گیر فعال مصرف‌کننده توان شده است.

رابطه زمانی ورودی-خروجی انتگرال‌گیر غیرفعال به صورت زیر قابل بیان است:

$$V_{\text{outp}}(n) = \frac{C_i}{C_i + C_s} V_{\text{outp}}(n-1) + \frac{C_s}{C_i + C_s} V_{\text{in}}(n-1) \quad (2)$$

$$= \beta V_{\text{outp}}(n-1) + \alpha V_{\text{in}}(n-1)$$

با توجه به خطای بهره^۸ و فاز^۹ مصالحه‌ای برای انتخاب C_i و C_s وجود دارد هر دو خطای بهره و فاز مهم است. خطای فاز باعث جابجایی مکان قطب انتگرال‌گیر و در نتیجه جابجایی مکان صفر تابع تبدیل نویز مدولاتور سیگما-دلتا می‌شود بنابراین نویز به خوبی شکل‌دهی نمی‌شود و خطای فاز اهمیت بیشتری می‌یابد. برای بهبود خطای فاز نسبت خازن انتگرال‌گیر به خازن نمونه‌بردار بزرگ انتخاب می‌شود و تضعیف بزرگی در انتگرال‌گیر اتفاق می‌افتد و برای نزدیک شدن به شرایط ایده‌آل اندازه خازن مقادیر غیرعملی خواهد شد، البته برای اجتناب از مقادیر بزرگ خازن‌ها، کالیبراسیون دیجیتال برای جبران‌سازی خطای یک تکنیک مؤثر است. کمینه مقدار خازن نمونه‌بردار به وسیله نویز حرارتی به صورت زیر مشخص می‌شود:

$$C_s = \frac{KT 2^N}{OSR (V_{FS})^2} \quad (3)$$

K ثابت بولتزمن، T دمای مطلق، N تعداد بیت مؤثر مدولاتور و V_{FS} دامنه تمام‌مقیاس ورودی هستند.

۲-۲-۲- پیاده‌سازی مداری مدولاتور

در این بخش بلوک‌های اصلی مدولاتور سیگما دلتا غیرفعال و تحقق مداری آن‌ها بحث خواهد شد. مدولاتورهای سیگما-دلتا غیرفعال مرتبه اول مرتبه دوم با کوانتایزر ۵-بیت با فناوری ۱۸۰ نانومتر CMOS شبیه‌سازی شده است.

۱-۲-۲- انتگرال‌گیر

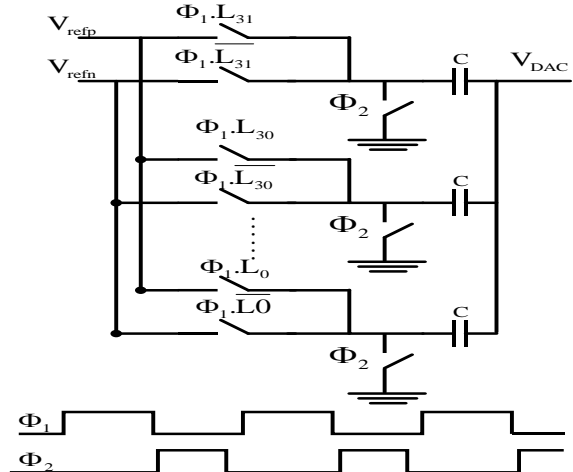
انتگرال‌گیرها بلوک کلیدی مدولاتور سیگما-دلتا است. انتگرال‌گیر غیرفعال کلید-خازنی توان مصرفی بسیار پایینی در مقایسه با دیگر انتگرال‌گیرها دارد و محدودیت سرعت و سوئینگ انتگرال‌گیرهای فعال رایج را ندارد. با توجه به اینکه انتگرال‌گیر غیرفعال سیگنال را تضعیف و تابع تبدیل آن هم خطای فاز و هم خطای بهره دارد عملکرد مدولاتور را تحت تأثیر و تخریب می‌کند. در شکل ۱ انتگرال‌گیر غیرفعال تک‌سر نشان داده شده است.

۲-۲-۲- کوانتایزر

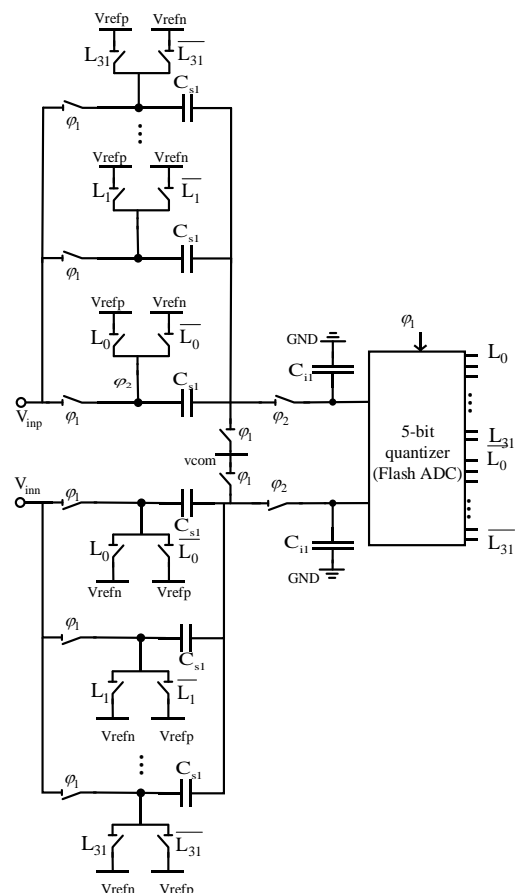
کوانتایزر تک بیت فقط یک مقایسه‌گر است و DAC مسیری فیدبک نیز فقط یک شاخه کلید-خازنی است. اما برای پیاده‌سازی کوانتایزر چند بیت، خروجی حلقه مدولاتور با استفاده از چندین مقایسه‌گر، دیجیتال می‌شود. شکل ۲ مقایسه‌گر، که در طبقه ورودی دو زوج تفاضلی دارد را نشان می‌دهد. کوانتایزر شامل نردبان مقاومتی مرجع، یک مبدل آنالوگ

۳-۲- خطای مدولاتور مرتبه اول

یک مدولاتور سیگما-دلتا غیرفعال همان ساختارهای مرسوم مدولاتور سیگما-دلتا فعال را دارد به جز این که فیلترهای حلقه انتگرال‌گیریهای فعال را با انتگرال‌گیریهای غیرفعال کلید خازنی جایگزین می‌کند. باین وجود ساختار پایه فیدبکی به دلیل اتصالات میانی کمتر و کاهش اثر بارگذاری، انتخاب مناسب‌تری خواهد بود. شکل ۶ مدل خطی مدولاتور مرتبه اول ساختار فیدبکی را نشان می‌دهد.



شکل ۴: مبدل دیجیتال به آنالوگ داخلی مدولاتور [۲۳، ۲۲]



شکل ۵: شماتیک مدار کامل مدولاتور مرتبه اول

خطاهای بهره و فاز انتگرال‌گیر غیرفعال سبب جابجایی صفر و قطب تابع تبدیل سیگنال^{۱۱} و تابع تبدیل نویز^{۱۲} مدولاتور می‌شوند. رابطه

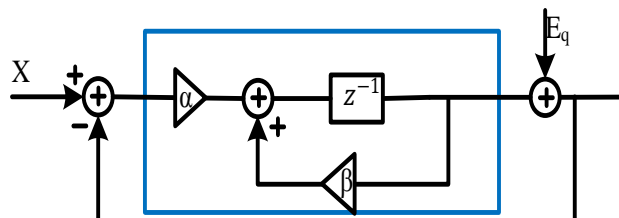
خروجی با ورودی مدولاتور غیرفعال مرتبه اول نشان داده شده در شکل ۶ به صورت زیر به دست می‌آید:

$$D(Z) = \frac{\alpha Z^{-1}}{1 + (\alpha - \beta)Z^{-1}} X(z) + \frac{1 - \beta Z^{-1}}{1 + (\alpha - \beta)Z^{-1}} E_q(z) \quad (۴)$$

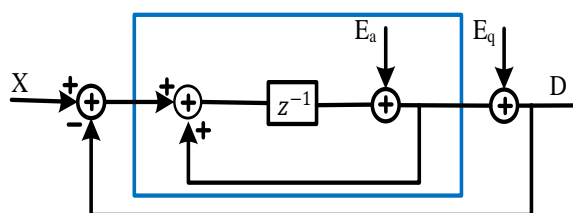
وابستگی خروجی انتگرال‌گیر (V_{outp}) به ضرایب α, β برای مدل کردن خطای وابسته به خروجی مدولاتور، که در شکل ۷ آمده است، انگیزه ایجاد می‌کند. خطا به صورت یک سیگنال خطای جمع‌شونده^{۱۳} E_a مدل شده است و بقیه مدولاتور ایده‌آل در نظر گرفته می‌شود. می‌توان نتیجه گرفت:

$$d(n) = x(n-1) + e_a(n) + e_q(n) - e_q(n-1) \quad (۵)$$

خطای E_a تفاوت خروجی‌های انتگرال‌گیر ایده‌آل v_{outi} و خروجی انتگرال‌گیر غیرفعال v_{outp} هست. برای این که بتوان خطا را به صورت دیجیتال جبران‌سازی کرد نیاز است که خطا را برحسب خروجی دیجیتال مدولاتور D به دست آورد.



شکل ۶: مدل مرسوم خطای مدولاتور سیگما-دلتا



شکل ۷: مدل پیشنهادی خطای جمع‌شونده مدولاتور غیرفعال

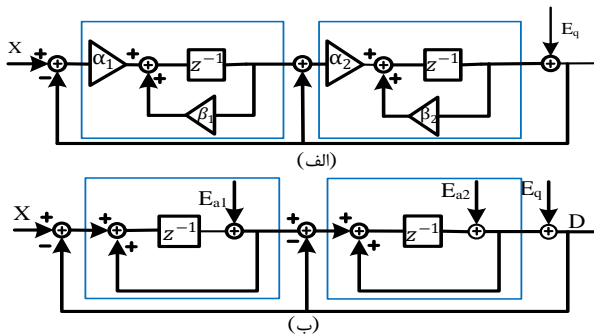
با توجه به شکل ۷ رابطه ورودی و خروجی انتگرال‌گیر ایده‌آل مطابق رابطه زیر است:

$$v_{outi}(n) = v_{outp}(n-1) + v_{in}(n-1) \quad (۶)$$

مدل خطای مدولاتور، با استفاده از انتگرال‌گیر کلید خازنی غیرفعال شکل ۱ که در دو فاز غیرهمپوشان نمونه‌برداری و انتگرال‌گیری عمل می‌کند، بررسی می‌شود. در فاز ϕ_1 ، سیکل $n-1$ ، خروجی انتگرال‌گیر روی خازن C_i ذخیره می‌شود. و ورودی روی خازن C_s نمونه گرفته می‌شود. در فاز ساعت بعدی ϕ_2 ، سیکل n ، خروجی سیکل قبلی همراه با نشستی یعنی ضریب کمتر از یک و ضریبی از $v_{in}(n-1)$ با هم جمع می‌شود. با استفاده از قانون بقای بار برای انتگرال‌گیر غیرفعال معادله (۱) به دست خواهد آمد.

با توجه به معادلات (۲) و (۶) خطای مدولاتور به صورت زیر حاصل می‌شود:

$$e_a(n) = \alpha V_{in}(n-1) + \beta V_{outp}(n-1) - [V_{in}(n-1) + V_{outp}(n-1)] \quad (۷)$$



شکل ۸: مدولاتور مرتبه دوم غیرفعال؛ (الف) مدل مرسوم خطا، (ب) مدل پیشنهادی خطا

بنابراین خطای مدولاتور مرتبه دوم در خروجی به دست می‌آید:

$$e_a(n) = e_{a1}(n-1) + e_{a2}(n) - e_{a2}(n-1) \quad (15)$$

خطای هر طبقه مطابق معادله (۱۶) تعریف می‌شود.

$$e_{aj}(n) = \frac{\alpha_j - 1}{\alpha_j} V_{outj}(n) + \frac{\beta_j - \alpha_j}{\alpha_j} V_{outj}(n-1) \quad (16)$$

بنابراین تمام خطای مدولاتور در خروجی مطابق رابطه زیر است:

$$e_a(n) = \frac{\alpha_1 - 1}{\alpha_1} V_{out1}(n-1) + \frac{\beta_1 - \alpha_1}{\alpha_1} V_{out1}(n-2) + \frac{\alpha_2 - 1}{\alpha_2} V_{out2}(n) + \frac{\beta_2 - \alpha_2}{\alpha_2} V_{out2}(n-1) + \frac{\alpha_2 - 1}{\alpha_2} V_{out2}(n-1) + \frac{\beta_2 - \alpha_2}{\alpha_2} V_{out2}(n-2) \quad (17)$$

V_{out1} و V_{out2} به ترتیب خروجی انتگرال‌گیر اول و دوم هستند و مطابق روابط زیر قابل محاسبه‌اند:

$$V_{out1}(n-1) = d(n) - d(n-1) - e_{a2}(n) - e_q(n) + e_q(n-1) \quad (18)$$

$$V_{out2}(n) = d(n) - e_q(n) \quad (19)$$

با توجه به وابستگی V_{out1} به e_{a2} در (۱۸) زمان کالیبراسیون ابتدا e_{a2} مشخص می‌شود و سپس نتیجه آن برای تعیین e_{a1} اعمال می‌شود. با جایگذاری معادلات (۱۶)، (۱۸) و (۱۹) در (۱۷) خطا مطابق رابطه زیر حاصل می‌شود:

$$e_a(n) = \kappa_1[d(n) - d(n-1) - e_q(n) + e_q(n-1)] + \kappa_2[d(n-1) - d(n-2) - e_q(n-1) + e_q(n-2)] + [d(n) - e_q(n)][-\kappa_1\kappa_3 + \kappa_3] + [d(n-1) - e_q(n-1)][-\kappa_1\kappa_3 - \kappa_2\kappa_3 + \kappa_3 + \kappa_4] + [d(n-2) - e_q(n-2)][-\kappa_2\kappa_4 + \kappa_4] \quad (20)$$

با صرف نظر کردن از $e_q(n)$ در مقابل $d(n)$ آنگاه خطا مطابق رابطه زیر حاصل خواهد شد:

$$e_d(n) = d(n)[\kappa_1 - \kappa_1\kappa_3 + \kappa_3] + d(n-1)[- \kappa_1 + \kappa_2 + \kappa_3 + \kappa_4 - \kappa_1\kappa_4 - \kappa_2\kappa_3] + d(n-2)[- \kappa_2 - \kappa_2\kappa_4 + \kappa_4] \quad (21)$$

با جایگزینی $V_{in}(n-1)$ از (۲) آنگاه (۷) می‌تواند به صورت زیر بازنویسی شود:

$$e_a(n) = \frac{\alpha - 1}{\alpha} V_{outp}(n) + \frac{\beta - \alpha}{\alpha} V_{outp}(n-1) = \frac{C_i}{C_s} V_{outp}(n) + \frac{C_i - C_s}{C_s} V_{outp}(n-1) \quad (8)$$

خطای مدولاتور یک حافظه دو تپی از خروجی انتگرال‌گیر می‌شود، خطای حوزه z معادله (۸) به صورت زیر به دست می‌آید:

$$E_a(z) = [-\frac{C_i}{C_s} + z^{-1} \frac{C_i - C_s}{C_s}] V_{out}(z) \quad (9)$$

اگر بتوان خطای مدل شده در (۹) را ایجاد کرد و از خروجی مدولاتور کم کرد خطای مدولاتور حذف می‌شود و خروجی عملکرد مدولاتور نزدیک به عملکرد یک مدولاتور ایده‌آل می‌شود. خطای مدولاتور را در دو حوزه آنالوگ و دیجیتال می‌توان جبران‌سازی کرد. جبران‌سازی آنالوگ نیاز به استفاده از تقویت‌کننده دارد که توان زیادی مصرف خواهد کرد و غیرخطی‌نگی به همراه دارد. پیاده‌سازی در حوزه دیجیتال به صورت دقیق‌تر و با توان کمتر امکان‌پذیر هست. بنابراین جبران‌سازی دیجیتال راه‌حل مناسب‌تری است. ارتباط خروجی مدولاتور و خروجی انتگرال‌گیر مطابق رابطه زیر است:

$$d(n) = V_{outp}(n) + e_q(n) \quad (10)$$

از روابط (۹) و (۱۰) خطا مطابق معادله زیر قابل محاسبه است:

$$e_a(n) = \frac{C_i}{C_s} (d(n) - e_q(n)) + \frac{C_i - C_s}{C_s} (d(n-1) - e_q(n-1)) \quad (11)$$

در (۱۱) با فرض اینکه $e_q(n)$ در مقابل $d(n)$ برای مدولاتور سیگما-دلتا قابل صرف‌نظر باشد، داریم:

$$e_d(n) = \frac{C_i}{C_s} d(n) + \frac{C_i - C_s}{C_s} d(n-1) \quad (12)$$

همان نویز کوانتیزاسیون مدولاتور است که با رزلوشن کوانتایزر مشخص می‌شود و معمولاً در مدولاتور سیگما-دلتا به اندازه کافی کوچک هست.

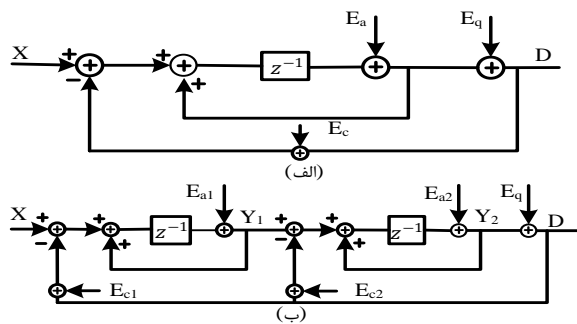
۲-۴- خطای مدولاتور مرتبه دوم

مدولاتور مرتبه دوم با انتگرال‌گیر غیرفعال در شکل ۸ نشان داده شده است. انتگرال‌گیر غیرفعال در شکل ۸ (الف) با انتگرال‌گیر ایده‌آل همراه با سیگنال خطای جمع‌شونده در شکل ۸ (ب) جایگزین شده است. خروجی مدولاتور ایده‌آل و خروجی مدولاتور ایده‌آل همراه با سیگنال خطا به ترتیب به صورت زیر خواهد بود:

$$d_i(n) = x(n-2) + e_q(n) + e_q(n-2) - 2e_q(n-1) \quad (13)$$

$$d(n) = x(n-2) + e_{a1}(n-1) + e_{a2}(n) - e_{a2}(n-1) + e_q(n) + e_q(n-2) - 2e_q(n-1) \quad (14)$$

خطاهای انتگرال‌گیر غیرفعال ارائه شده است و مبدل دیجیتال به آنالوگ ایده‌آل در نظر گرفته شده است.



شکل ۹: مدل خطا ارجاع شده به ورودی شامل دو خطای انتگرال‌گیر و خطای عدم انطباق مدولاتورهای؛ (الف) مرتبه اول، (ب) مرتبه دوم

۳- کالیبراسیون دیجیتال و فقی

مقدار دقیق ضرایب در معادلات (۱۲) و (۲۱) به دلیل وابستگی به فرایند، ولتاژ ورودی و دما مشخص نیست، بنابراین یک الگوریتم LMS^{۱۵} برای تشخیص^{۱۶} و تخمین^{۱۷} این ضرایب استفاده می‌شود [۱۹]. شناسایی سیستم به‌طور گسترده در مسائل تخمین و پردازش سیگنال دیجیتال مورد بررسی قرار گرفته است. به تازگی یک روش شناسایی سیستم مبتنی بر تزریق سیگنال نویز شبه تصادفی^{۱۸}، شناسایی به‌صورت پس‌زمینه است، به‌طور گسترده مورد استقبال است. در این روش برای شناسایی هر پارامتر خطا یک سیگنال نویز شبه تصادفی استفاده می‌شود بنابراین به ورودی هر انتگرال‌گیر یک سیگنال نویز شبه تصادفی تزریق شده است. این سیگنال با استفاده از یک شاخه مجزا به انتگرال‌گیر تزریق شده است. برای انتخاب دامنه سیگنال تصادفی یک مصالحه میان زمان همگرایی و محدوده پویایی مدولاتور وجود دارد، هر چه دامنه سیگنال آزمون کوچک‌تر باشد زمان همگرایی افزایش می‌یابد و هر چه دامنه سیگنال آزمون بزرگ‌تر باشد، محدوده پویایی کاهش می‌یابد.

۳-۱- مدولاتور سیگما-دلتا غیرفعال مرتبه اول

شکل ۱۰- (الف) بلوک دیاگرام شناسایی پارامتر مدولاتور غیرفعال مرتبه اول با استفاده از تزریق یک سیگنال نویز شبه تصادفی ۱ بیت در ورودی مدولاتور و جبران‌سازی خطا در خروجی آن را نشان می‌دهد. یک سیگنال نویز شبه تصادفی یک بیت T در ورودی مدولاتور با تفریق T و خطای تخمین زده شده مدولاتور E_d از خروجی مدولاتور به دست می‌آید. به دلیل اینکه ورودی مدولاتور $X+T$ است و از معادلات (۵) و (۱۱) خطا مطابق رابطه زیر حاصل می‌شود:

$$e_a(n) = \frac{C_i}{C_s} (x(n-1) + t(n-1) + e_a(n) - e_q(n-1)) + \frac{C_i - C_s}{C_s} (x(n-2) + t(n-2) + e_a(n-1) - e_q(n-2)) \quad (27)$$

از (۲۱) واضح است که خطای مدولاتور سیگما-دلتا غیرفعال با یک فیلتر دیجیتال پاسخ ضربه محدود^{۱۴} FIR از خروجی دیجیتال آن به دست آمده است.

۲-۵- خطای عدم انطباق مبدل دیجیتال به آنالوگ

مدل و تحلیل خطای ارجاع شده به خروجی که قبل از این بیان شد به‌طور کلی به یک مدولاتور تک حلقه با هر مرتبه و حتی ساختار چند طبقه (MASH) قابل تعمیم است. به‌طور خاص، این رویکرد در تحلیل خطاهای عدم انطباق خازنی مبدل دیجیتال به آنالوگ چند بیتی مسیر فیدبک همان‌طور که در شکل ۹ نشان داده شده است مفید است. همان‌طور که از شکل ۹-الف مشخص است E_c خطای عدم انطباق مبدل دیجیتال به آنالوگ وابسته به کد دیجیتال خروجی D است و می‌تواند با یک چندجمله‌ای تقریب زده شود.

$$e_c(n) \approx \sum_{i=1}^N c_i d^i(n) \quad (22)$$

با در نظر گرفتن E_c آنگاه تابع تبدیل مدولاتور مطابق معادله (۲۳) اصلاح می‌شود.

$$d(n) = x(n-1) - e_c(n-1) + e_a(n) + e_q(n) - e_q(n-1) \quad (23)$$

معادله (۲۳) نشان می‌دهد که E_c را می‌توان با E_a را یکجا تلقی نمود. اگر نویز کوانتیزاسیون در نظر گرفته نشود، کل خطای مدولاتور E_d مطابق رابطه (۲۴) تغییر می‌کند.

$$e_d(n) = ad(n) + bd(n-1) + \sum_{i=1}^N c_i d^i(n-1) \quad (24)$$

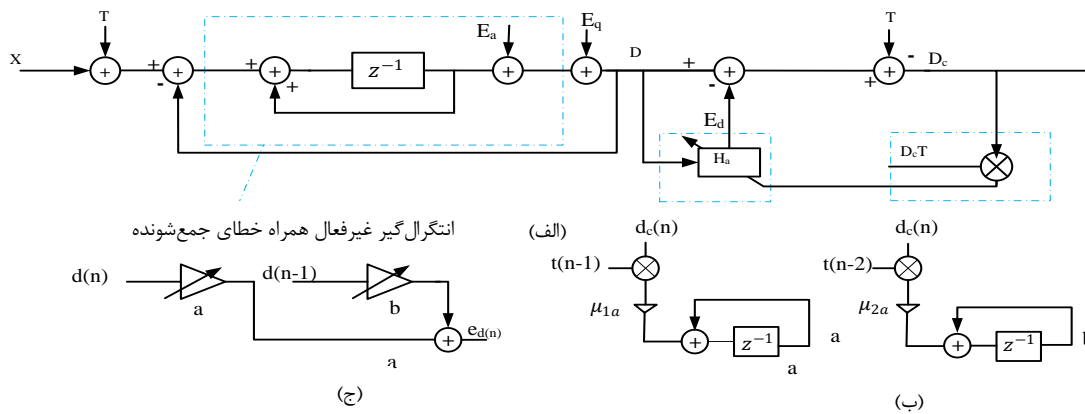
معادله (۲۴) نشان می‌دهد که نیازی نیست میان خطاهای انتگرال‌گیر و خطای DAC تفاوت در نظر گرفته شود. برای مدولاتور مرتبه دوم در شکل ۹-ب، تابع تبدیل و مدل خطا به روشی مشابه حاصل می‌شود.

$$d(n) = x(n-2) - e_{c1}(n-2) + e_{a1}(n-1) + e_{a2}(n) + e_{q2}(n-1) - 2e_{c2}(n-1) + 2e_{c2}(n-2) + e_q(n) - 2e_q(n-1) + e_q(n-2) \quad (25)$$

اگر نویز کوانتیزاسیون در نظر گرفته نشود، کل خطای مدولاتور E_d مطابق رابطه (۲۶) تغییر می‌کند:

$$e_d(n) = a_1 d_1(n-1) + b_1 d_1(n-2) - \sum_{i=1}^N c_{1i} d_1^i(n-1) - a_2 d_2(n) + (b_2 + a_2) d_2(n-1) - 2 \sum_{i=1}^N c_{2i} d_2^i(n-1) - b_2 d_2(n-2) + 2 \sum_{i=1}^N c_{2i} d_2^i(n-2) \quad (26)$$

در عمل، عدم انطباق خازنی منجر به ایجاد خطای غیر خطی مرتبه بالا در معادله (۲۲) می‌شود با این وجود خطای ناشی از انتگرال‌گیر غالب است. بنابراین، منطقی است که هر دو خطا با هم و مطابق معادلات (۲۴) و (۲۶) در نظر گرفته شود [۱۸]. علاوه بر این مقالات متعددی برای جبران‌سازی خطای عدم انطباق ارائه شده است [۲۴-۲۶، ۲۱]. با اضافه کردن خطای عدم انطباق به مدل خطا تنها تعداد تب‌های فیلتر FIR اضافه می‌شود. در این مقاله کالیبراسیون پیشنهاد شده برای جبران‌سازی



شکل ۱۰: بلوک دیاگرام کالیبراسیون دیجیتال پیشنهادی مدولاتور مرتبه اول؛ (الف) ساختار، (ب) بلوک آپدیت الگوریتم، (ج) تخمین خطا

از طرفی سیگنال T با ورودی مدولاتور جمع شده است بنابراین با استفاده از آنگاه ورودی مطابق معادله زیر قابل بازنویسی است:

$$\begin{aligned} x(n-1) &= d(n) - t(n-1) - e_a(n) \\ &- e_q(n) + e_q(n-1) \approx d_c(n) \end{aligned} \quad (28)$$

با صرف نظر کردن از نویز کوانتیزاسیون و حذف خطای مدولاتور، خروجی کالیبره شده D_c همان X را ارائه می‌دهد. در ابتدای فرایند کالیبراسیون خروجی کالیبره شده D_c و ورودی X تفاوت قابل ملاحظه‌ای دارند، اما با تکرار فرایند وفقی، به طور مجانبی به سمت X میل می‌کند. زمانی که خطای مدولاتور غیرفعال شناسایی و از خروجی آن حذف شود و هیچ همبستگی^{۱۹} میان خروجی کالیبره شده و سیگنال نویز شبه تصادفی T نباشد فرایند کالیبراسیون به حالت پایدار می‌رسد. با توجه به معادله (۱۲) تابع تبدیل فیلتر وفقی مطابق معادله زیر به دست می‌آید:

با صرف نظر کردن از نویز کوانتیزاسیون و حذف خطای مدولاتور، خروجی کالیبره شده D_c همان X را ارائه می‌دهد. در ابتدای فرایند کالیبراسیون خروجی کالیبره شده D_c و ورودی X تفاوت قابل ملاحظه‌ای دارند، اما با تکرار فرایند وفقی، به طور مجانبی به سمت X میل می‌کند. زمانی که خطای مدولاتور غیرفعال شناسایی و از خروجی آن حذف شود و هیچ همبستگی^{۱۹} میان خروجی کالیبره شده و سیگنال نویز شبه تصادفی T نباشد فرایند کالیبراسیون به حالت پایدار می‌رسد. با توجه به معادله (۱۲) تابع تبدیل فیلتر وفقی مطابق معادله زیر به دست می‌آید:

$$E_d(z) = aD(z) + bD(z)z^{-1} \quad (29)$$

ضرایب دیجیتال معادله (۲۹) به صورت زیر آپدیت می‌شوند:

$$\begin{aligned} a^{m+1} &= a^m + \mu_a [e(n)t(n-1)]e(n) \\ b^{m+1} &= a^m + \mu_b [e(n-1)t(n-2)]e(n) \end{aligned} \quad (30)$$

شکل دهی خطای انتگرال گیر دوم E_{d2} با استفاده از $(1-z^{-1})$ انجام شده است. معادله (۳۵) در شکل ۱۱-ب) پیاده‌سازی شده است. به روزرسانی ضرایب دیجیتال (۳۳)، a_1 و b_1 مطابق روابط زیر انجام می‌شود:

$$a_1^{m+1} = a_1^m + \mu_{a1} [d_{c1}(n-1)t_1(n-2)]e(n) \quad (31)$$

$$b_1^{m+1} = b_1^m + \mu_{b1} [d_{c1}(n-2)t_1(n-3)]e(n) \quad (32)$$

به روزرسانی ضرایب دیجیتال (۳۴)، a_2 و b_2 مطابق روابط زیر انجام می‌شود:

$$\begin{aligned} a_2^{m+1} &= a_2^m + \mu_{a2} [d_{c2}(n)t_2(n-1) \\ &- d_{c2}(n-1)t_2(n-2)]e(n) \end{aligned} \quad (33)$$

$$\begin{aligned} b_2^{m+1} &= b_2^m + \mu_{b2} [d_{c2}(n-1)t_2(n-2) \\ &- d_{c2}(n-2)t_2(n-3)]e(n) \end{aligned} \quad (34)$$

بالانویس m و $m+1$ به ترتیب ضرایب‌های قدیم و جدید فیلتر هستند، $\mu_{b1}, \mu_{a1}, \mu_{b2}, \mu_{a2}$ اندازه گام الگوریتم LMS هستند. سیگنال خطای LMS، $e(n)$ ، با خروجی کالیبره شده مدولاتور جایگزین می‌شود.

۲-۳- مدولاتور سیگما-دلتا غیرفعال مرتبه دوم

مدولاتور سیگما-دلتا غیرفعال مرتبه دوم در شکل ۱۱-الف) آمده است. در ورودی هر انتگرال گیر با استفاده از یک شاخه مجزا در گره جمع شونده برای شناسایی خطای انتگرال گیر یک سیگنال نویز شبه تصادفی تزریق شده است. از معادله (۱۶) خطاهای E_{a1} و E_{a2} به ترتیب تابعی از خروجی انتگرال گیرها V_{out1} و V_{out2} است. مدل خطا مبتنی بر نسخه دیجیتال خروجی انتگرال گیرها V_{out1} و V_{out2} که به ترتیب D_1 و D_2

باید C_s نسبت به C_i بزرگ انتخاب شود که خطای فاز افزایش می‌یابد. اگر هدف بهبود خطای فاز باشد تا مقدار β به یک نزدیک شود باید C_i نسبت به C_s بزرگ انتخاب شود که در این صورت خطای بهره افزایش می‌یابد.

مصلحت‌های برای انتخاب C_i و C_s با توجه به خطای بهره و فاز وجود دارد هر دو خطای بهره و فاز مهم هستند ولی با توجه به اینکه خطای فاز باعث جابجایی مکان قطب انتگرال‌گیر و در نتیجه جابجایی مکان صفر تابع تبدیل نویز مدولاتور سیگما-دلتا می‌شود و بنابراین نویز به خوبی شکل‌دهی نمی‌شود اولویت با خطای فاز است. هم نسبت خازن انتگرال‌گیر به نمونه‌بردار و هم بهره معادل کوانتایزر عملکرد مدولاتور را تحت تأثیر قرار می‌دهد. برای بهبود خطای فاز این نسبت بزرگ انتخاب می‌شود و تضعیف بزرگی در انتگرال‌گیر اتفاق می‌افتد، البته برای حداقل مقدار C_s هم محدودیت نویز وجود دارد. با کالیبراسیون دیجیتال به دلیل جبران‌سازی، نیاز به انتخاب نسبت بزرگ خازن‌ها راحت‌تر می‌شود.

شکل ۱۲- (د) و ۱۲- (ه) منحنی‌های ضرایب فیلتر وقتی برحسب تکرار فرایند کالیبراسیون را نشان می‌دهد. مقدار خازن نمونه‌بردار ۲ پیکو فاراد و خازن انتگرال‌گیر ۸ پیکو فاراد انتخاب شده‌اند. در شکل ۱۲- (و) عملکرد مدولاتور، نسبت سیگنال به نویز و اعوجاج^۲ (SNDR) و گستره دینامیکی تمیز^{۳۱} (SFDR)، هم‌زمان با کالیبراسیون رسم شده است. شکل ۱۳ عملکرد مدولاتور SNDR برحسب دامنه سیگنال ورودی را نشان می‌دهد. شکل ۱۴ عملکرد مدولاتور SNDR برحسب نسبت دامنه سیگنال نویز به سیگنال ورودی را نشان می‌دهد. شکل ۱۵ SNDR مدولاتور و تکرار (Iteration) موردنیاز برای همگرایی برحسب نسبت دامنه سیگنال نویز به دامنه سیگنال ورودی را نشان می‌دهد و هر چه دامنه سیگنال نویز کوچک‌تر باشد آنگاه SNDR بالاتر ولی از طرفی به تکرارهای بیشتری نیاز است و برعکس هر چه دامنه سیگنال نویز بزرگ‌تر باشد آنگاه SNDR پایین‌تر ولی از طرفی به تکرارهای کمتری برای همگرایی کالیبراسیون نیاز است. خروجی انتگرال‌گیر در شکل ۱۶ نشان داده شده است. خروجی کالیبره‌نشده و خروجی کالیبره شده مدولاتور مرتبه اول به ترتیب در شکل ۱۷ و شکل ۱۸ ارائه شده است.

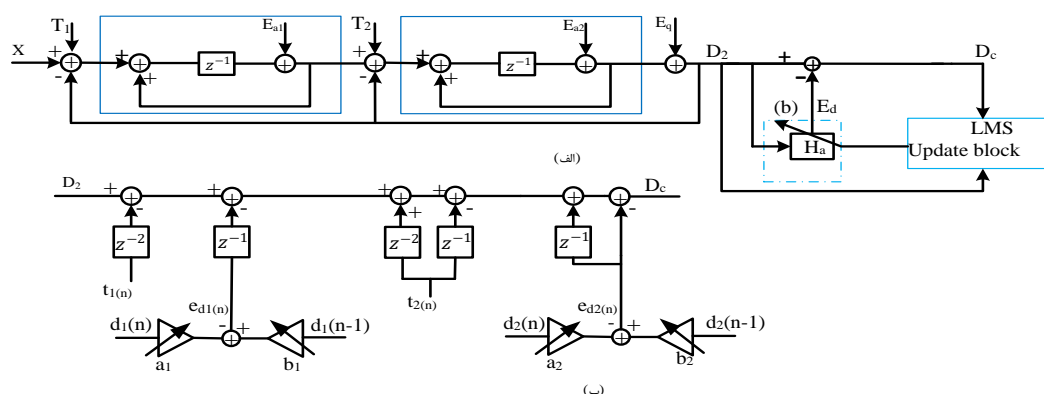
باید توجه داشته شود که D_c و D_{c2} باهم تفاوت دارند به طوری که D_{c2} بعد از فرایند کالیبراسیون هیچ همبستگی با سیگنال T_2 ندارد، باین‌وجود T_1 را شامل می‌شود. در مقابل سیگنال‌های T_1 و T_2 هر دو از سیگنال کالیبره‌شده خروجی D_c حذف شده‌اند.

۴- نتایج شبیه‌سازی

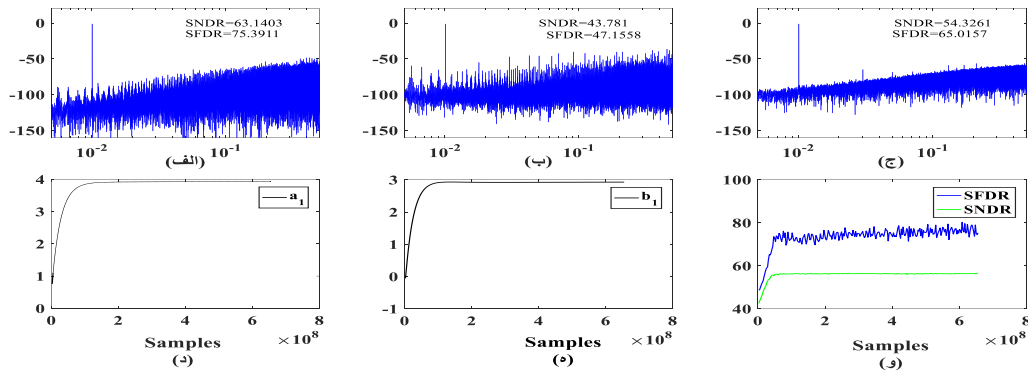
در این بخش، شبیه‌سازی رفتاری کالیبراسیون مدولاتور سیگما-دلتا غیرفعال مرتبه اول و مرتبه دوم با کوانتایزر پنج بیت ارائه شده است. فرکانس نمونه‌برداری ۳۲ کیلوهرتز و نسبت فرا نمونه‌برداری ۱۶ انتخاب شده است. فرکانس سیگنال ورودی سینوسی یک درصد فرکانس نمونه‌برداری، دامنه ± 1 ولت و ولتاژ تمام‌مقیاس ۲ ولت انتخاب شده است. مقدار خازن نمونه‌بردار ۲ پیکو فاراد و خازن انتگرال‌گیر ۸ پیکو فاراد انتخاب شده‌اند به عبارت دیگر نسبت خازن انتگرال‌گیر به خازن نمونه‌بردار ۴ انتخاب شده است. در مقایسه با انتگرال‌گیر غیرفعال بدون کالیبراسیون نسبت خازن‌ها بسیار کوچک انتخاب شده‌اند [۱۷]. نتایج ارائه‌شده مؤثر بودن کالیبراسیون پیشنهادی را نشان می‌دهد.

۴-۱- مدولاتور سیگما-دلتا غیرفعال مرتبه اول

شکل ۱۲ چگالی طیف توان خروجی مدولاتور غیرفعال مرتبه اول با تبدیل فوریه سریع ۳۲۷۶۸ نقطه را نشان می‌دهد. دامنه سیگنال ورودی 4dBFS است. دامنه سیگنال شبه نویز یک بیت ± 0.25 ولت (۲۵ درصد از سوئیچینگ کامل) است. شکل ۱۲- (الف) چگالی طیف توان خروجی (PSD) مدولاتور با انتگرال‌گیر ایده‌آل را نشان می‌دهد. در شکل ۱۲- (ب) چگالی طیف توان خروجی مدولاتور غیرفعال بدون کالیبراسیون آمده است. در شکل ۱۲- (ج) چگالی طیف توان خروجی مدولاتور غیرفعال بعد از کالیبراسیون آمده است که کارایی و مفیدبودن تکنیک پیشنهادی را نشان می‌دهد. در معادله (۱) برای اینکه تابع تبدیل غیرفعال به حالت ایده‌آل نزدیک شود اگر هدف کاهش خطای بهره باشد



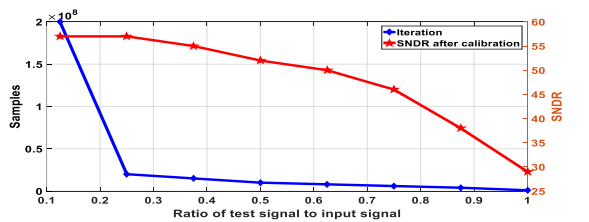
شکل ۱۱: بلوک دیاگرام کالیبراسیون دیجیتال پیشنهادی مدولاتور مرتبه دوم؛ (الف) ساختار، (ب) تخمین خطا و جبران‌سازی خطا



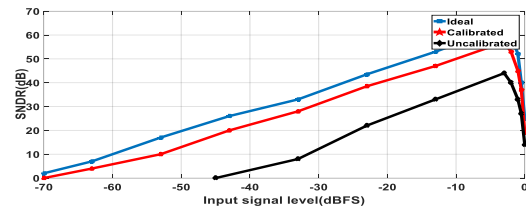
شکل ۱۲: نتایج شبیه‌سازی مدولاتور سیگما-دلتا مرتبه اول با کوانتایزر پنج بیت: (الف) با انتگرال گیر ایده‌آل، (ب) انتگرال گیر غیرفعال،

(ج) انتگرال گیر غیرفعال بعد از کالیبراسیون، (د) ضریب a_1 ، (ه) ضریب b_1 ، (و) SNDR و SFDR در حین کالیبراسیون

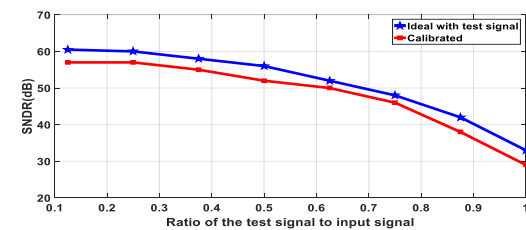
در شکل ۱۹- (د) عملکرد مدولاتور، نسبت سیگنال به نویز و اعوجاج (SNDR) و گستره دینامیکی تمیز (SFDR)، هم‌زمان با کالیبراسیون رسم شده است.



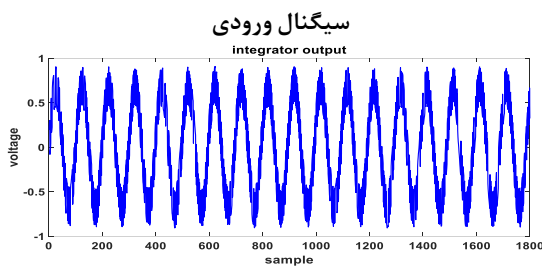
شکل ۱۳: SNDR مدولاتور بر حسب دامنه سیگنال ورودی



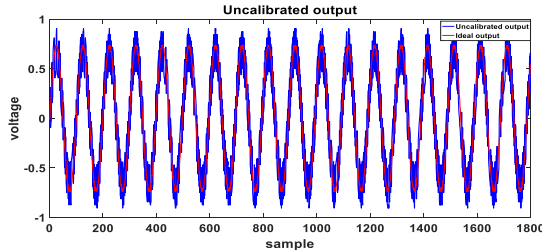
شکل ۱۴: SNDR مدولاتور بر حسب دامنه سیگنال ورودی



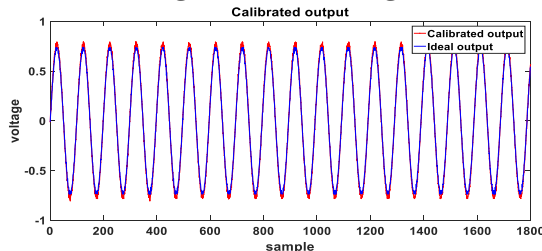
شکل ۱۵: SNDR مدولاتور بر حسب نسبت دامنه سیگنال نویز به دامنه سیگنال ورودی



شکل ۱۶: خروجی انتگرال گیر



شکل ۱۷: خروجی کالیبره‌نشده و خروجی مطلوب مدولاتور

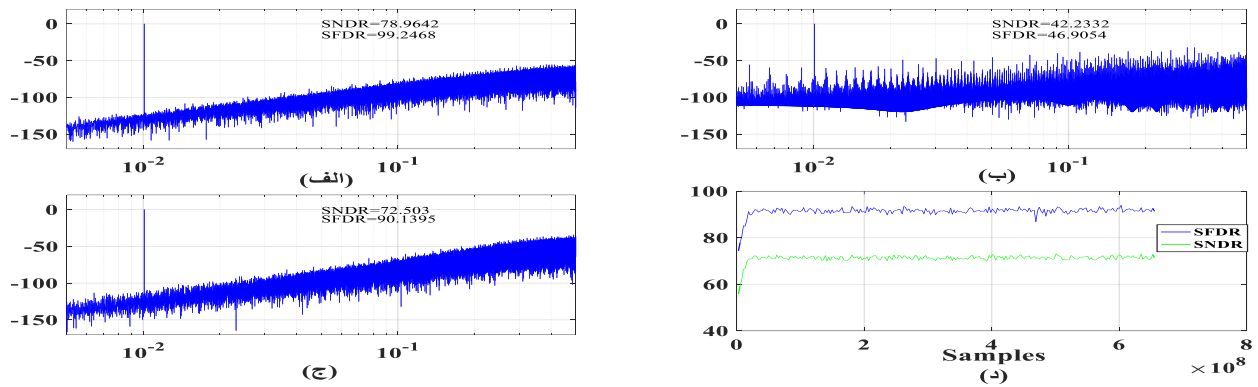


شکل ۱۸: خروجی کالیبره‌شده و خروجی مطلوب مدولاتور

با توجه به شبیه‌سازی‌های انجام‌شده در سیمولینک متلب و استفاده از بلوک‌های XILINX با ضرایب ممیز ثابت، نتیجه استفاده از این ضرایب ممیز ثابت برای فیلترها، ۳ دسی‌بل تخریب در SNDR است. مدولاتور مرتبه اول با ضرایب فیلتر ممیز شناور بعد از کالیبراسیون ۵۷ دسی‌بل، SNDR حاصل می‌شود ولی با استفاده از ضرایب فیلتر به صورت ممیز ثابت ۵۴ دسی‌بل حاصل شده است و برای مدولاتور مرتبه دوم تخریب نیز به همین صورت است.

۴-۲- مدولاتور سیگما-دلتا غیرفعال مرتبه دوم

شکل ۱۹ چگالی طیف توان خروجی^{۲۲} مدولاتور غیرفعال مرتبه دوم با تبدیل فوری سریع ۳۲۷۶۸ نقطه را نشان می‌دهد. دامنه سیگنال ورودی 4dBFS- هست. دامنه سیگنال‌های شبه تصادفی T_1 و T_2 یک بیتی هرکدام ± 0.125 ولت (۱۲/۵ درصد از سوئیچینگ کامل) است انتخاب شده‌اند. شکل ۱۹- (الف) چگالی طیف توان خروجی مدولاتور با انتگرال گیر ایده‌آل را نشان می‌دهد. در شکل ۱۹- (ب) چگالی طیف توان خروجی مدولاتور غیرفعال بدون کالیبراسیون آمده است. در شکل ۱۹- (ج) چگالی طیف توان خروجی مدولاتور غیرفعال بعد از کالیبراسیون آمده است که کارایی و مفید بودن تکنیک پیشنهادی را نشان می‌دهد.



شکل ۱۹: نتایج شبیه‌سازی مدولاتور سیگما-دلتا مرتبه دوم با کوانتایزر پنج بیت؛ (الف) با انتگرال گیر ایده‌آل، (ب) انتگرال گیر غیرفعال، (ج) انتگرال گیر غیرفعال بعد از کالیبراسیون، (د) SNDR و SFDR در حین کالیبراسیون

جدول ۱: مقایسه کارهای انجام‌شده قبلی با کالیبراسیون پیشنهادی

Reference	Type	Structure	مرتبه مدولاتور	تعداد ضرایب	بهبود عملکرد SNDR(dB)	همگرایی پارامترهای فیلتر وقتی Iteration(M)
[18]	Active DT	Single-Stage	۱	۱۰	۱۳	۲۰
			۲	۲۰	۲۸	۲۰
[19]	Active DT	MASH	۲-۲	۸	۳۲	۷۰
[20]	Active DT	Single-Stage	۱	۱۰	۱۶	-
[21]	Active DT	Single-Stage	۱	۸	۹	۳۰۰
			۲	۱۶	۲۱	۳۰۰
This work	Passive DT	Single-Stage	۱	۲	۱۰	۲۰
			۲	۴	۳۰	۲۰

۳-۴- مقایسه

راحت‌تر می‌شود و با انتخاب خازن‌های کوچک می‌توان مدولاتور با عملکرد مناسب طراحی نمود ولی به دلیل مدارهای دیجیتال اضافی توان مدار افزایش خواهد داشت. از طرف دیگر، فیلترهای دیجیتال سبب کاهش حجم مدار آنالوگ به دلیل کاهش اندازه خازن‌ها خواهد شد. با توجه به استفاده از انتگرال‌گیر غیرفعال و حذف تقویت‌کننده غیرخطی نسبت به مدولاتور سیگما-دلتا فعال تعداد ضرایب کمتری جهت جبران‌سازی نیاز دارد و با ضرایب کمتر که نتیجه آن مدار راحت‌تر و Latency کمتر خواهد بود. مصالحه دیگری کالیبراسیون مربوط به زمان همگرایی و عوامل کالیبراسیون است. هر چه دامنه سیگنال بزرگ‌تر باشد برای همگرایی زمان کمتری نیاز است ولی محدوده پویایی تخریب می‌شود و برعکس.

۵- نتیجه‌گیری

در این مقاله، یک تکنیک کالیبراسیون دیجیتال پس‌زمینه برای جبران‌سازی خطای بهره و خطای فاز مدولاتور سیگما-دلتا غیرفعال ارائه شده است. برای مدل‌سازی غیر ایده‌آلی، خطای بهره و خطای فاز، انتگرال‌گیر غیرفعال در خروجی آن، یک مدل خطای جمع‌شونده ارائه شده است. از الگوریتم LMS برای آپدیت ضرایب فیلتر جهت تخمین خطا و حذف آن از خروجی مدولاتور استفاده شده است. با توجه به نتایج شبیه‌سازی، عملکرد مدولاتور به‌طور قابل‌ملاحظه‌ای بهبود یافته است.

جدول ۱ کالیبراسیون پیشنهادی با کالیبراسیون‌های انجام‌شده در کارهای قبلی مقایسه شده است. کالیبراسیون پیشنهادی پس از حدود ۲۰ میلیون تکرار همگرا می‌شود. در مقایسه با کارهای انجام‌شده سریع‌تر همگرا می‌شود. در این کار برای مدولاتور مرتبه دوم فقط از ۲ ضریب و برای مدولاتور مرتبه دوم از ۴ ضریب استفاده شده است که در مقایسه با کارهای انجام‌شده ضرایب کمتری استفاده شده است. با توجه به ضرایب کمتر و عملیات جبری کمتر جهت تخمین ضرایب فیلتر توسط الگوریتم LMS تأخیر کمتری جهت آماده‌سازی خروجی دارد. مشابه کالیبراسیون‌های قبلی انجام‌شده برای مدولاتور سیگما-دلتا این کار نیز برای نسبت فرا نمونه‌برداری کوچک عملکرد بهتری دارد بنابراین برای کاربردهای پهن باند مؤثرتر است [۲۱، ۱۹، ۱۸]. مدولاتور سیگما غیرفعال گزینه مناسبی برای کاهش توان است، با توجه به تابع تبدیل انتگرال‌گیر غیرفعال جهت کم کردن تضعیف سیگنال باید نسبت خازن نمونه‌بردار به خازن انتگرال‌گیر بزرگ انتخاب شود ولی برای فرار گرفتن صفر تابع تبدیل نویز (NTF) در مکان مناسب و شکل‌دهی مناسب نویز باید نسبت خازن انتگرال‌گیر به خازن نمونه‌بردار بزرگ انتخاب شود و مصالحه‌ای جهت انتخاب اندازه خازن‌ها در طراحی مدولاتور سیگما-دلتا غیرفعال وجود دارد. با استفاده از کالیبراسیون به کمک فیلتر وقتی این مسئله

مراجع

- modulators,” *Analog Integr. Circuits Signal Process.*, vol. 78, no. 2, 2014, pp. 453–464.
- [14] R. Moradi, E. Farshidi, and M. Soroosh, “A low power passive-active $\Delta\Sigma$ modulator with high-resolution employing an integrator with open-loop unity-gain buffer,” vol. 64, no. 3, 2019, pp. 137–142.
- [15] A. Hussain, S. W. Sin, C. H. Chan, S. P. U. Ben, F. Maloberti, and R. P. Martins, “Active-Passive $\Delta\Sigma$ Modulator for High-Resolution and Low-Power Applications,” *IEEE Trans. Very Large Scale Integr. Syst.*, vol. 25, no. 1, 2017, pp. 364–374.
- [16] R. Yousry, E. Hegazi, and H. F. Ragai, “A third-order 9-bit 10-MHz CMOS $\Delta\Sigma$ modulator with one active stage,” *IEEE Trans. Circuits Syst. I Regul. Pap.*, vol. 55, no. 9, 2008, pp. 2469–2482.
- [17] R. Moradi, E. Farshidi, and M. Soroosh, “Digital compensation of memory errors in passive Sigma-Delta modulators employing FIR filter,” in *3rd international conference on electrical engineering*.
- [18] S. C. Lee and Y. Chiu, “Digital calibration of nonlinear memory errors in sigma - Delta modulators,” *IEEE Trans. Circuits Syst. I Regul. Pap.*, vol. 57, no. 9, 2010, pp. 2462–2475.
- [19] A. Bafandeh and M. Yavari, “Digital Calibration of Amplifier Finite DC Gain and Gain Bandwidth in MASH $\Sigma\Delta$ Modulators,” *IEEE Trans. Circuits Syst. II Express Briefs*, vol. 63, no. 4, 2016, pp. 321–325.
- [20] S. C. Lee, B. Elies, and Y. Chiu, “An 85dB SFDR 67dB SNDR 80SR 240MS/s $\Sigma\Delta$ ADC with nonlinear memory error calibration,” in *IEEE Symposium on VLSI Circuits, Digest of Technical Papers*, pp. 164–165.
- [21] S.-C. C. Lee, Y. Chiu, Seung-Chul Lee, and Y. Chiu, “Digital calibration of capacitor mismatch in sigma-delta modulators,” *IEEE Trans. Circuits Syst. I Regul. Pap.*, vol. 58, no. 4, 2011, pp. 690–698.
- [22] R. Schreier and Gabor C. Temes, *Understanding Delta-Sigma*.
- [23] G. Mitteregger, C. Ebner, S. Mechnig, T. Blon, and C. Holuigue, “A 20-mW 640-MHz CMOS continuous-time $\Sigma\Delta$ ADC with 20-MHz signal bandwidth, 80-dB dynamic range and 12-bit ENOB,” *IEEE J. Solid-State Circuits*, vol. 41, no. 12, 2006, pp. 2641–2649.
- [24] J. Chen and Y. P. Xu, “A Novel Noise-Shaping DAC for Multi-Bit Sigma-Delta Modulator,” *IEEE Trans. Circuits Syst. II Express Briefs*, vol. 53, no. 5, 2006, pp. 344–348.
- [25] Y. Chiu *et al.*, “Least mean square adaptive digital background calibration of pipelined analog-to-digital converters,” *IEEE Trans. Circuits Syst. I Regul. Pap.*, vol. 51, no. 1, 2004, pp. 38–46.
- [26] E. Siragusa and I. Galton, “A digitally enhanced 1.8 V 15 b 40 MS/s CMOS pipelined ADC,” in *Solid-State Circuits Conference, 2004. Digest of Technical Papers. ISSCC. 2004 IEEE International*, no. 3, pp. 452–538.
- [1] F. Maloberti, *Data converters*. Springer Science & Business Media.
- [۲] روح‌الله نوروزی دهناشی، ابراهیم فرشیدی، «افزایش توان تفکیک ساختار MASH مرتبه دو مبتنی بر GRO و مدولاسیون عرض پالس در ورودی»، *مجله مهندسی برق دانشگاه تبریز*، ۲۰۱۴، ۲۱۱–۱۳۹۴.
- [3] R. Schreier, Gabor C. Temes, and S. Pavan, *Understanding delta-sigma data converters*. John Wiley & Sons.
- [4] I-Jen Chao, Chia-Ming Kuo, Bin-Da Liu, Chun-Yueh Huang, and Soon-Jyh Chang, “A 3rd-order delta-sigma modulator with timing-sharing opamp-sharing technique,” in *2013 IEEE International Symposium on Circuits and Systems (ISCAS2013)*, pp. 2002–2005.
- [5] A. Peña-Perez, E. Bonizzoni, and F. Maloberti, “A 88-dB DR, 84-dB SNDR very low-power single Op-Amp third-order $\Sigma\Delta$ modulator,” *IEEE J. Solid-State Circuits*, vol. 47, no. 9, 2012, pp. 2107–2118.
- [۶] مهدی حسین‌نژاد، حسین شمسی، «طراحی و شبیه‌سازی مبدل آنالوگ به دیجیتال لوله‌ای مبتنی بر مقایسه گر ولتاژ پایین»، *مجله مهندسی برق دانشگاه تبریز*، ۲۰۱۶، ۸۷–۱۳۹۵.
- [7] T. Sai and Y. Sugimoto, “Design of a 1-V operational passive sigma-delta modulator,” in *ECCTD 2009 - European Conference on Circuit Theory and Design Conference Program*, pp. 751–754.
- [8] T. Choi, T. Sakamoto, and Y. Sugimoto, “A study to realize a 1-V operational passive $\Sigma\Delta$ modulator by using a 90 nm CMOS process,” *IEICE Trans. Electron.*, vol. 90, no. 6, 2007, pp. 1304–1306.
- [9] A. F. A. Yeknami, F. Qazi, and A. Alvandpour, “Low-power DT $\Delta\Sigma$ modulators using SC passive filters in 65 nm CMOS,” *IEEE Trans. Circuits Syst. I Regul. Pap.*, vol. 61, no. 2, 2014, pp. 358–370.
- [10] F. Qazi and J. J. Dabrowski, “Passive SC Sigma Delta Modulators Revisited: Analysis and Design Study,” *IEEE J. Emerg. Sel. Top. Circuits Syst.*, vol. 5, no. 4, 2015, pp. 624–637.
- [11] [A. Hussain, S.-W. S. Sin, U. Seng-Pan, and R. P. Martins, “NTF zero compensation technique for passive sigma-delta modulator,” in *Microelectronics and Electronics (PrimeAsia), 2011 Asia Pacific Conference on Postgraduate Research in*, pp. 82–85.
- [12] A. Hussain, S.-W. S. Sin, U. Seng-Pan, and R. P. Martins, “Hybrid loopfilter sigma-delta modulator with NTF zero compensation,” in *SoC Design Conference (ISOCC), 2011 International*, pp. 76–79.
- [13] B. H. Seyedhosseinzadeh and A. Nabavi, “A low-power parametric integrator for wideband switched-capacitor $\Sigma\Delta$

زیر نویس‌ها

¹² Noise Transfer Function

¹³ Accumulative Error

¹⁴ Finite Impulse Response(FIR)

¹⁵ Least Mean Squares

¹⁶ Identification

¹⁷ Estimation

¹⁸ Pseudo-Random Noise(PN)

¹⁹ Correlation

²⁰ Signal to Noise and Distortion Ratio(SNDR)

²¹ Spurious Free Dynamic Range(SFDR)

²² Power Spectral Density(PSD)

¹ Resolution

² Oversampling

³ Quantizer

⁴ Active

⁵ Calibration

⁶ Passive

⁷ Adaptive Filter

⁸ Gain Error

⁹ Phase Error

¹⁰Flash ADC

¹¹ Signal Transfer Function