

ارائه ساختار نوین ترانزیستور اثر میدان سیلیسیم روی عایق دو گیتی با پنجره اکسید در درین گسترده شده به منظور کاربرد در تکنولوژی نانو

مهسا مهرداد^۱، استادیار؛ میثم زارعی^۲، استادیار

۱- دانشکده فنی و مهندسی - دانشگاه دامغان - دامغان - ایران - mmehrad@du.ac.ir

۲- دانشکده فنی و مهندسی - دانشگاه دامغان - دامغان - ایران - mzareiee@du.ac.ir

چکیده: ترانزیستورهای اثر میدان فلز-اکسید-نیمه‌هادی (MOSFET (ماسفت)) با تکنولوژی سیلیسیم روی عایق (SOI) به‌طور گسترده در مدارات مجتمع به کار می‌روند. بنابراین، دستیابی به ترانزیستورهای ماسفت سیلیسیم روی عایق در ابعاد بسیار کوچک نیازی مهم برای توسعه صنعت الکترونیک به حساب می‌آید. در این مقاله یک ترانزیستور ماسفت سیلیسیم روی عایق دو گیتی جدید در مقیاس نانو پیشنهاد می‌گردد که در آن یک پنجره از اکسید سیلیسیم در ناحیه گسترده درین بین درین و کانال و فصل مشترک اکسید گیت پشتی قرار گرفته است. این ساختار جدید (Oxide Window Double Gate) OW-DG نامیده می‌شود. شبیه‌سازی‌های انجام شده توسط شبیه‌ساز ATLAS نشان می‌دهد که ترانزیستور جدید، جریان حالت خاموش، خازن‌های پارازیتی و دمای الکترون را در مقایسه با ساختار متداول به‌طور چشم‌گیری کاهش می‌دهد.

واژه‌های کلیدی: ترانزیستورهای اثر میدان فلز-اکسید-نیمه‌هادی (ماسفت)، تکنولوژی سیلیسیم روی عایق، ترانزیستورهای دو گیتی، دمای الکترون.

A Novel Double Gate SOI MOSFET by Considering a SiO₂ Window in Extended Drain Region for Applying in Nano Technology

M. Mehrad¹, Assistant Professor; M. Zareiee², Assistant Professor

1- School of engineering, Damghan University, Damghan, Iran, Email: mzareiee@du.ac.ir

2- School of engineering, Damghan University, Damghan, Iran, Email: mmehrad@du.ac.ir

Abstract: Metal Oxide Semiconductor Field effect Transistor (MOSFET) with Silicon On Insulator (SOI) technology are widely applied in integrated circuits. So, achieving very small scale SOI MOSFET is an important need for developing electronic industry. In this work, a new double gate SOI MOSFET in nano scale is proposed where a SiO₂ window is considered in extended drain region between channel, drain and interface of oxide and back gate. The new structure is called OW-DG. The simulation with ATLAS simulator shows that the new transistor reduces off-current, parasitic capacitances and electron temperature, significantly.

Keywords: Metal oxide semiconductor field effect transistor (MOSFET), silicon on insulator technology (SOI), double gate transistor, electron temperature.

تاریخ ارسال مقاله: ۱۳۹۵/۰۱/۱۱

تاریخ اصلاح مقاله: ۱۳۹۵/۰۳/۱۴

تاریخ پذیرش مقاله: ۱۳۹۵/۰۶/۰۸

نام نویسنده مسئول: مهسا مهرداد

نشانی نویسنده مسئول: ایران - دامغان - دانشگاه دامغان - دانشکده فنی مهندسی - گروه مهندسی برق - اتاق ۴۰۸.

۱- مقدمه

پارازیتی می‌شود و در نتیجه آن فرکانس کاری افزایش می‌یابد. بنابراین، این ساختار پیشنهادی با نام "ترانزیستور ماسفت دوگیتی با تکنولوژی سیلیسیم روی عایق به همراه پنجره اکسید" یا "OW-DG" معرفی می‌گردد. علاوه بر مزیت یادشده، به کارگیری پنجره اکسید سیلیسیم در ناحیه فعال ترانزیستور، چند پیک جدید در منحنی میدان الکتریکی افقی ایجاد می‌کند که این امر باعث می‌گردد که پیک‌های اصلی در منحنی میدان الکتریکی افقی کاهش یابد [۱۲-۱۴]. در نتیجه ولتاژ شکست ترانزیستور افزایش می‌یابد.

در میدان الکتریکی ماکزیمم، حامل‌ها می‌توانند انرژی زیادی را کسب کنند. این شرایط موجب دو پدیده مخرب حامل داغ و جریان نشتی می‌گردد. بنابراین با ایجاد پیک‌های جدید در میدان الکتریکی می‌توان پیک اصلی میدان الکتریکی را کاست و اثر الکترون داغ را کاهش داد. این روش با جایگذاری پنجره اکسیدی در ناحیه گسترده درین محقق می‌شود.

یکی دیگر از پارامترهای مهم الکتریکی هر ترانزیستور، جریان حالت خاموش می‌باشد. این پارامتر با استفاده از جریان نشتی قابل توجه می‌باشد. به گونه‌ای که می‌توان با کاهش جریان نشتی، جریان حالت خاموش ترانزیستور را کاهش داد [۱۵]. از دیگر تکنیک‌های کاهش جریان حالت خاموش می‌توان به تغییر در سد پتانسیل اشاره نمود که در این مقاله به این موضوع پرداخته نشده است [۱۵].

نتایج شبیه‌سازی با استفاده از شبیه‌ساز دوعدی ATLAS [۱۶] نشان می‌دهند که ترانزیستور پیشنهادی (OW-DG)، جریان حالت خاموش، خازن‌های پارازیتی و دمای الکترون را به میزان قابل توجهی کاهش می‌دهد. علاوه بر این، با انتخاب مقادیر مناسب برای طول و ضخامت پنجره اکسید سیلیسیم، ترانزیستور پیشنهادی، عملکرد مطلوبی در مقایسه با نوع متداول آن دارد.

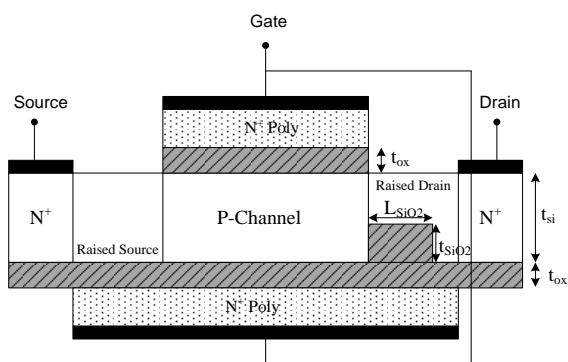
مقاله حاضر بدین گونه دسته‌بندی می‌گردد که در بخش دوم ساختار ترانزیستور پیشنهادی معرفی می‌گردد. بحث در مورد نتایج حاصل از شبیه‌سازی ترانزیستور پیشنهادی در بخش سوم صورت می‌پذیرد. در بخش چهارم، مسائل مربوط به طراحی ساختار پیشنهادی جهت به دست آوردن ابعاد بهینه بیان می‌شود. در نهایت نتیجه‌گیری در مورد اهمیت ساختار ارائه‌شده در بخش پنجم صورت می‌پذیرد.

۲- بررسی ساختار پیشنهادی و ساختارهای متداول**۲-۱- ساختارهای متداول**

در این قسمت ابتدا به بررسی ساختار متداول ترانزیستور ماسفت با سورس و درین گسترده شده پرداخته می‌شود. همان‌طور که در شکل ۱ مشاهده می‌شود، دو ناحیه سیلیسیومی در دو طرف ناحیه کانال قرار داده شده است. مهم‌ترین مزیت این ساختار کاهش مؤثر اثرات کانال کوتاه می‌باشد [۱۷]. اما مشکل اساسی در این ساختار افزایش خازن بین گیت-درین و گیت-سورس می‌باشد. بدین ترتیب در ساختار

نیاز به مجتمع‌سازی مدارات، اهمیت استفاده از ادوات کوچک در مقیاس نانو را بسیار زیاد کرده است [۱، ۲]. در بین ادوات در مقیاس نانو، ترانزیستور اثر میدان فلز-اکسید-نیمه‌هادی نقش بسیار مهمی را در صنعت الکترونیک بازی می‌کند [۳]. اما استفاده از این ترانزیستور در مقیاس نانو، مشکلاتی از قبیل جریان حالت خاموش قابل توجه، ظرفیت خازنی بزرگ بین گیت و درین، اثر حامل داغ، جریان گیت بالا و غیره را ایجاد می‌کند [۴]. استفاده از ماسفت‌های چندگیتی یک راه‌حل مناسب جهت غلبه بر برخی از این مشکلات می‌باشد [۵-۸]. در بین ماسفت‌های چندگیتی، نوع دوگیتی آن یک انتخاب مناسب برای بهبود جریان راه‌اندازی، هدایت انتقالی و اثرات کانال کوتاه می‌باشد. همچنین مشکلاتی مانند جریان نشتی و خازن‌های پارازیتی می‌تواند با استفاده از تکنولوژی سیلیسیم روی عایق برطرف گردد [۹، ۱۰]. در این تکنولوژی، قسمت فعال ترانزیستور بر روی یک عایق که معمولاً از جنس اکسید سیلیسیم می‌باشد شکل می‌گیرد. این تکنولوژی مزایای قابل توجهی دارد که از آن جمله می‌توان به کاهش خازن‌های پارازیتی، جریان نشتی کوچک، حذف پدیده قفل‌شدگی، مصرف توان پایین، سرعت بیشتر و غیره اشاره نمود. با توجه به این توضیحات، ماسفت دوگیتی با تکنولوژی سیلیسیم روی عایق انتخابی مناسب با رفتاری مطلوب می‌باشد. اما این ساختار نیز دارای معایبی می‌باشد که مهم‌ترین آن‌ها قابلیت اطمینان این نوع ترانزیستورها می‌باشد. یکی از مهم‌ترین پارامترها برای ارزیابی قابلیت اطمینان ترانزیستورها، دمای الکترون می‌باشد [۱۱]. زمانی که ولتاژ بالایی به درین ترانزیستور اعمال می‌شود، ماکزیمم میدان الکتریکی، دمای الکترون در کانال را افزایش می‌دهد. مشکل دیگر این قبیل ترانزیستورها فرکانس کاری پایین به علت وجود خازن‌های پارازیتی بزرگ می‌باشد. زیرا رابطه معکوسی بین ظرفیت خازن و فرکانس برقرار می‌باشد. وجود لایه اکسید مدفون در تکنولوژی سیلیسیم روی عایق، میزان خازن‌های پارازیتی را کاهش می‌دهد و باعث بالا رفتن فرکانس کاری می‌گردد. اما بازهم می‌توان میزان این خازن‌ها را کاهش داد تا فرکانس کاری بالاتر رود.

هدف این مقاله، به کارگیری یک پنجره از جنس اکسید سیلیسیم در ناحیه گسترده درین بین درین و کانال و فصل مشترک اکسید گیت پستی می‌باشد. دلیل اصلی استفاده از اکسید سیلیسیم ایجاد فصل مشترک مناسب بین نواحی مختلف در پروسه ساخت افزاره پیشنهادی است [۹]. گسترده کردن نواحی سورس و درین یکی از مهم‌ترین چالش‌ها در ترانزیستورهای ماسفت می‌باشد. با توجه به اینکه ترانزیستورهای لایه نازک در ابعاد نانو رشد چشم‌گیری داشته‌اند، اما اثر پارازیتی مقاومت‌های سری در این تکنولوژی مشکلات بسیاری را ایجاد کرده است. مهم‌ترین راه‌حل برای بهبود این اثر پارازیتی، گسترده شدن نواحی سورس و درین می‌باشد. در ساختار جدیدی که در این مقاله به آن پرداخته شده است تغییر در ساختار ناحیه گسترده شده درین می‌باشد. ساختار جدید، موجب کاهش هرچه بیشتر خازن‌های



شکل ۲: نمایی از سطح مقطع ساختار پیشنهادی

جدول ۱: پارامترهای مربوط به ساختار جدید که در شبیه‌سازی مورد

استفاده قرار می‌گیرند

مقدار پارامترها برای ساختار متداول	مقدار پارامترها برای ساختار پیشنهادی	پارامترهای ترانزیستور
۳۰ nm	۳۰ nm	طول گیت (LG)
۴/۶ eV	۴/۶ eV	تابع کار گیت (-gate work function)
۱۰ nm	۱۰ nm	ضخامت سیلیسیم (t _{Si})
۱/۲ nm	۱/۲ nm	ضخامت اکسید گیت (t _{ox})
$1 \times 10^{15} \text{ cm}^{-3}$	$1 \times 10^{15} \text{ cm}^{-3}$	چگالی ناخالصی کانال (N _A)
$2 \times 10^{20} \text{ cm}^{-3}$	$2 \times 10^{20} \text{ cm}^{-3}$	چگالی ناخالصی سورس/درین (N _D)
۱۰ nm	۱۰ nm	طول نواحی گستردگی سورس/درین
$5 \times 10^{19} \text{ cm}^{-3}$	$5 \times 10^{19} \text{ cm}^{-3}$	چگالی ناخالصی نواحی گستردگی سورس/درین
ندارد	۶ nm	ضخامت پنجره اکسید
ندارد	۸ nm	طول پنجره اکسید

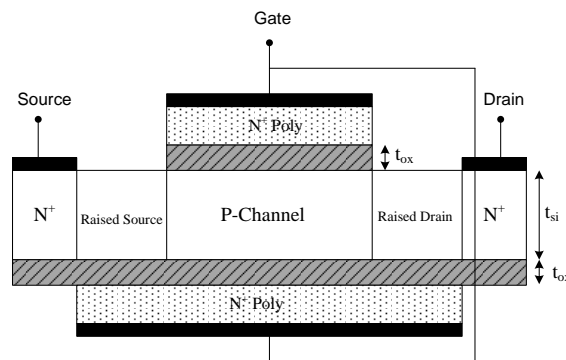
۳- بحث در مورد نتایج شبیه‌سازی

در این بخش، نتایج حاصل از شبیه‌سازی ترانزیستور جدید که توسط شبیه‌ساز ATLAS صورت گرفته است بیان می‌گردد و مزایای این ترانزیستور در مقایسه با ساختار متداول آن نشان داده می‌شود.

جریان حالت خاموش، یک پارامتر مهم در ترانزیستورهای ماسفت می‌باشد که منجر به اتلاف توان در حالت بدون کار می‌گردد. با کاهش ابعاد ترانزیستور در مقیاس نانو، کنترل جریان نشتی حالت خاموش بسیار دشوار می‌شود. بنابراین، حالت مطلوب بدین صورت می‌باشد که تا جای ممکن این پارامتر کوچک باشد. در شکل ۳ جریان حالت خاموش در برابر طول کانال در مقیاس لگاریتمی برای هر دو ساختار پیشنهادی و متداول در ولتاژ گیت-سورس (V_{GS}) برابر

پیشنهادی در این مقاله پنجره اکسیدی در قسمت درین گسترده‌شده قرار می‌گیرد تا کارایی ترانزیستور بالاتر برود.

ساختار مرتبط دیگری که با این ساختار قابل مقایسه است ترانزیستور ماسفت با ابعاد نانو می‌باشد که در آن از یک لایه نیتريد سیلیسیم در قسمتی از ناحیه کانال استفاده شده است تا بتوان با یکنواخت کردن میدان الکتریکی، ولتاژ شکست و اثر حامل داغ را بهبود بخشید [۱۸]. در ساختار پیشنهادی در این مقاله نیز از یکنواخت کردن پروفایل میدان الکتریکی برای کاهش اثرات الکترون داغ استفاده شده است.

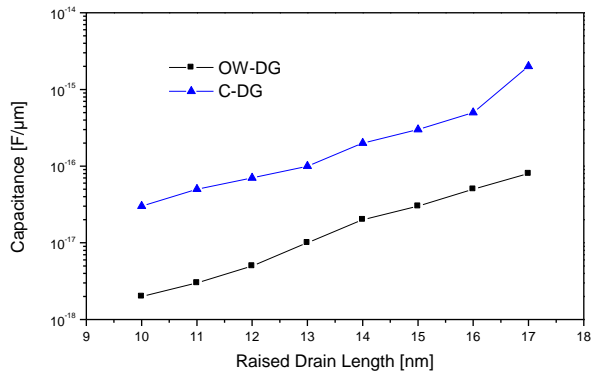


شکل ۱: نمایی از ساختار متداول اثر میدان دو گیتی

۲-۲- ارائه ساختار پیشنهادی

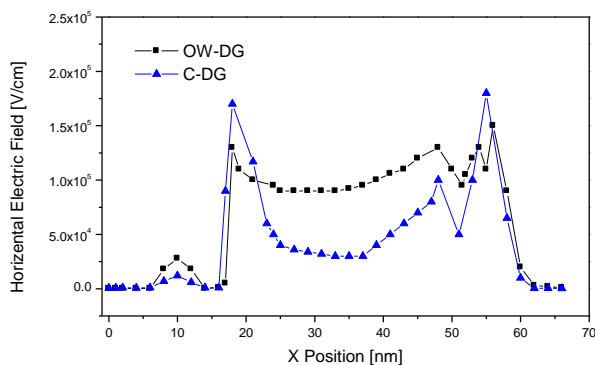
شکل ۲ نمایی از سطح مقطع ساختار پیشنهادی را نشان می‌دهد. همان‌گونه که در این شکل مشخص است، یک پنجره اکسید سیلیسیم در ناحیه گستردگی بین درین و کانال و فصل مشترک اکسید گیت پشتی در نظر گرفته شده است. در این شکل، L_{SiO2} معرف طول پنجره اکسید سیلیسیم و t_{SiO2} معرف ضخامت آن می‌باشد. سایر پارامترهای ساختار جدید به‌استثنای پنجره اکسید سیلیسیم، مشابه ساختار متداول (C-DG) می‌باشد. مقادیر دقیق این پارامترها در جدول ۱ آورده شده است [۱۵]. در نظریه این پنجره اکسید باعث بهبود بسیاری از پارامترهای مهم ترانزیستور می‌گردد که در بخش بعد به توضیح آن‌ها پرداخته می‌شود.

شبیه‌سازی عددی صورت گرفته، با حل معادلات پواسون و مدل رانشی نفوذی برای نقل و انتقالات حامل‌ها انجام شده است. همچنین معادلات ترکیب/بازترکیب آوگر و شاکلی-رید-هال و همچنین در نظریه پروسه یونیزاسیون برخوردی انجام گرفته است. علاوه بر موارد فوق‌الذکر، مدل THERMIONIC برای جریان نشتی ترانزیستور در نظر گرفته شده است. لازم به ذکر است که در شبیه‌سازی صورت گرفته بارهای فصل مشترک بین نیمه‌هادی و پنجره اکسیدی و همچنین سرعت بازترکیب سطحی در این فصل مشترک لحاظ شده است. محدودیت‌هایی که پنجره اکسیدی در نقل و انتقال حامل‌ها و جریان تشکیل‌شده در ترانزیستور ایجاد می‌کند با مدل SCLC در نظر گرفته شده است.



شکل ۵: خازن بین گیت و درین برای هر دو ساختار و متداول

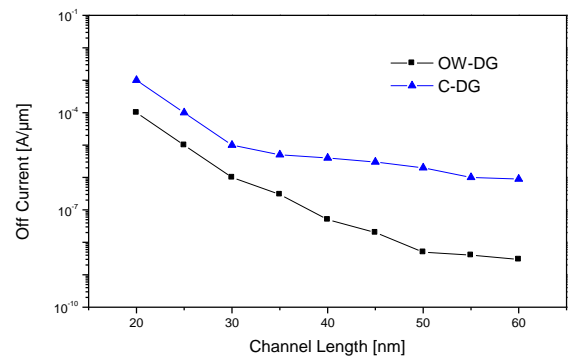
میدان الکتریکی افقی ساختار جدید و ساختار متداول در شکل ۶ نشان داده شده است. همان‌طور که مشخص است، ساختار متداول شامل دو پیک میدان اصلی در دو لبه گیت می‌باشد. همچنین دو پیک کوچک‌تر در فصل مشترک درین و سورس با نواحی گستردگی مربوطه وجود دارد. در ساختار جدید، علاوه بر پیک‌های میدان موجود در ساختار متداول، پیک جدیدی به‌علت وجود پنجره اکسیدی در ناحیه گستردگی درین ایجاد شده است. علت فیزیکی ایجاد پیک جدید در میدان الکتریکی تفاوت میان ضریب گذردهی اکسید سیلیسیم و سیلیسیم می‌باشد. این امر موجب کاهش پیک اصلی شده و میدان الکتریکی یکنواخت‌تری را موجب می‌شود. یکی از مهم‌ترین نتایج میدان الکتریکی یکنواخت، افزایش ولتاژ شکست می‌باشد که در شکل ۷ نشان داده شده است. نتایج شبیه‌سازی با نرم‌افزار ATLAS نشان می‌دهد که با افزایش طول ناحیه گستردگی ناحیه درین، ولتاژ شکست در هر دو ساختار افزایش می‌یابد. اما روند افزایش ولتاژ شکست در ساختار OW-DG به‌علت استفاده از پنجره اکسیدی و یکنواخت‌تر شدن پروفایل میدان افقی بیش‌تر می‌باشد. لازم به ذکر است که ساختار OW-DG دارای ولتاژ شکست حدود ۳/۱ ولت می‌باشد که نسبت به ساختار متداول، افزایش ۱/۷ ولتی را دارد.



شکل ۶: مقایسه میدان الکتریکی افقی ساختار جدید و ساختار متداول

پارامتر دیگری که برای ارزیابی عملکرد ساختار پیشنهادی مهم است، دمای الکترون می‌باشد. شتاب الکترون در مجاورت پیک میدان

صفر ولت و ولتاژ درین-سورس (V_{DS}) برابر ۰/۷۵ ولت ترسیم شده است. همان‌گونه که در این شکل مشخص است، جریان حالت خاموش در ساختار پیشنهادی به‌طور قابل ملاحظه‌ای در مقایسه با ساختار متداول کاهش یافته است. برای اینکه بتوان شاخص بهتری برای مقایسه جریان‌های دو ساختار OW-DG و C-DG داشت، نسبت I_{on}/I_{off} برحسب طول کانال برای هر دو ساختار در شکل ۴ ترسیم شده است. همان‌طور که مشخص می‌باشد ساختار پیشنهادی مقادیر بزرگ‌تری از I_{on}/I_{off} را دارند.

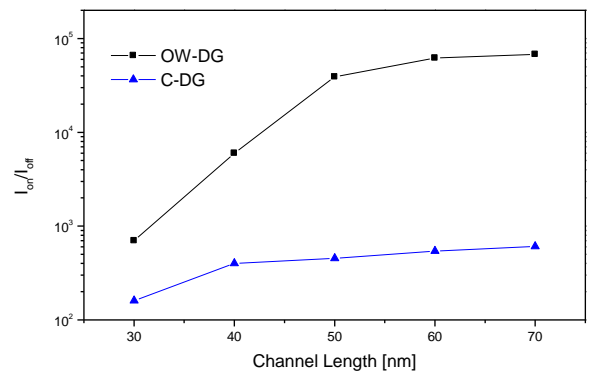


شکل ۳: جریان حالت خاموش برحسب طول کانال در مقیاس

لگاریتمی برای هر دو ساختار پیشنهادی و متداول در $V_{GS}=0\text{ V}$ و $V_{DS}=0/75\text{ V}$

خازن بین گیت و درین برای هر دو ساختار پیشنهادی و متداول در شکل ۵ نشان داده شده است. قرارگیری پنجره اکسید سیلیسیم در ناحیه گستردگی درین، یک خازن اضافی در مدار معادل ایجاد می‌کند که با خازن گیت-درین سری می‌باشد. بنابراین همان‌گونه که در شکل ۵ مشخص است، این خازن در ساختار پیشنهادی (OW-DG) نسبت به ساختار متداول (C-DG) کاهش یافته است که با توجه به فرمول زیر منجر به افزایش فرکانس قطع بالا می‌گردد [۱۹]:

$$f_T = \frac{g_m}{2\pi(C_{GS} + C_{GD})} \quad (1)$$

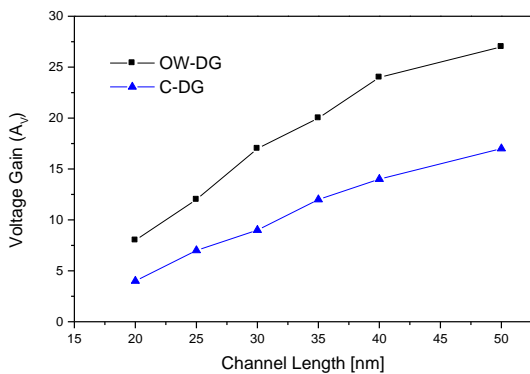


شکل ۴: نسبت I_{on}/I_{off} برحسب طول کانال برای هر دو ساختار OW-DG و DG

جریان زیرلایه نقشی در این جریان ندارد. زیرا افزاره در تکنولوژی سیلیسیم روی عایق شکل گرفته است. بنابراین نقش اصلی در ولتاژ اری به DIBL مربوط می‌شود به طوری که ولتاژ اری متناسب با عکس DIBL می‌باشد. با توجه به اینکه نتایج شبیه‌سازی DIBL کوچک‌تری را برای ساختار OW-DG نشان می‌دهند، ولتاژ اری افزایش می‌یابد. به منظور مشخص شدن بهتر کارایی افزاره پیشنهادی OW-DG جدول ۲ مقایسه‌ای بین تعدادی از پارامترهای الکتریکی ساختار OW-DG و ساختارهای پیشنهادی در مراجع [۱۵] و [۱۸] را نشان می‌دهد. همان‌طور که در این جدول مشخص می‌باشد، ترانزیستور OW-DG رفتار مناسبی را در مقیاس نانو از خود نشان می‌دهد.

جدول ۲: مقایسه تعدادی از پارامترهای الکتریکی ترانزیستور OW-DG با ساختارهای مراجع [۱۵] و [۱۸]

Electrical Parameters	OW-DG	[۱۵]	[۱۸]
Gate Current	2×10^{-25} (A/ μm)	2×10^{-25} (A/ μm)	1×10^{-25} (A/ μm)
Threshold voltage	0.38 V	0.41 V	0.42 V
I_D in $V_D=1$ V	0.6 (mA/ μm)	0.45 (mA/ μm)	0.4 (mA/ μm)

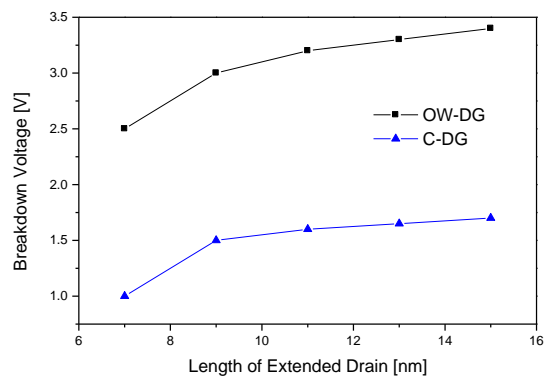


شکل ۹: مقایسه تغییرات گین ولتاژ ساختارهای OW-DG و C-DG در برابر طول کانال

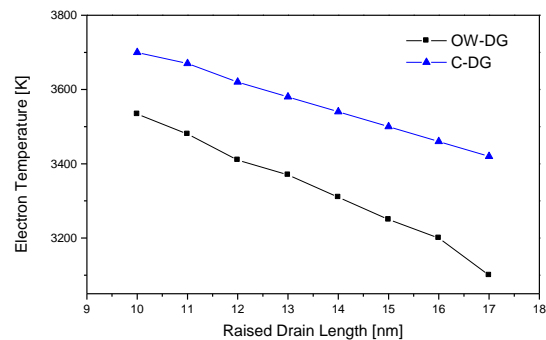
۴- طراحی ترانزیستور پیشنهادی و ابعاد بهینه

همان‌گونه که پیش‌تر بیان شد، ابعاد ساختار پیشنهادی کاملاً مشابه ساختار متداول می‌باشد به غیر از پنجره اکسید سیلیسیم که در ساختار جدید اضافه گردیده است. بنابراین برای بهره‌گیری از عملکرد مطلوب ساختار پیشنهادی، لازم است که طول و ضخامت پنجره اکسید سیلیسیم به‌طور بهینه انتخاب گردد. در شکل ۱۰، جریان درین ساختار پیشنهادی برحسب ولتاژ درین برای دو ضخامت متفاوت پنجره اکسید سیلیسیم (۳ و ۶ نانومتر) و در $L_{SiO_2}=8$ nm رسم گردیده است. همان‌گونه که در این شکل مشخص است، قابلیت جریان‌دهی ساختار پیشنهادی در پنجره ضخیم‌تر، بزرگ‌تر می‌باشد. دلیل این موضوع،

الکتریکی افزایش می‌یابد که این امر باعث بالا رفتن میانگین برخوردی‌های الکترون درون شبکه و در نتیجه افزایش دمای آن می‌گردد. شکل ۸ دمای الکترون را برای هر دو ساختار پیشنهادی و متداول در این شکل مشخص است، دمای الکترون در ساختار پیشنهادی به میزان قابل ملاحظه‌ای کاهش یافته است. دلیل فیزیکی کاهش دمای الکترون در نظرگیری پنجره اکسید سیلیسیم در ناحیه گسترده‌ی درین است که باعث به وجود آمدن پیک‌های اضافی در منحنی میدان می‌گردد که در نتیجه آن پیک اصلی میدان و انرژی الکترون‌ها کاهش می‌یابد و از اثرات پدیده الکترون داغ می‌کاهد [۱۵، ۲۰].



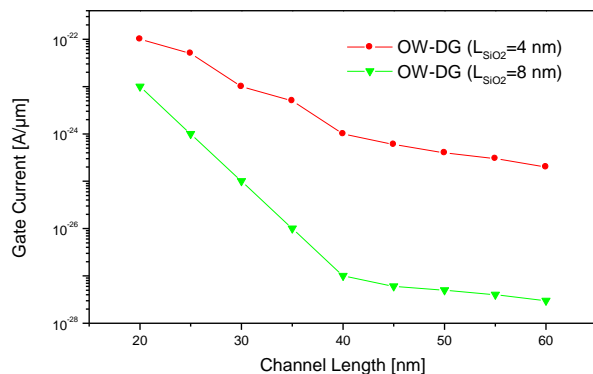
شکل ۷: مقایسه ولتاژ شکست دو ساختار پیشنهادی و متداول



شکل ۸: دمای الکترون برای هر دو ساختار پیشنهادی و متداول در $V_{GS}=0.1$ V و $V_{DS}=0.8$ V

شکل ۹ تغییرات گین ولتاژ ساختارهای OW-DG و C-DG را نشان می‌دهد. همان‌طور که در این شکل مشخص است ساختار نوین، گین ولتاژ بالاتری دارد. افزایش ولتاژ گین به‌علت ولتاژ اری مؤثر بالا می‌باشد. ولتاژ اری مؤثر، وابسته به ولتاژ اری ذاتی می‌باشد. سه عامل در ولتاژ اری ذاتی نقش اساسی دارند: ۱- طول مدولاسیون کانال ۲- جریان زیرلایه ۳- کاهش سد القایی ناشی از درین (DIBL). اثر طول مدولاسیون کانال در این مطالعه قابل نظر می‌باشد زیرا افزاره در حالت کاملاً تخلیه‌ای مورد بررسی قرار گرفته است. همچنین

الکترون کوچک‌تری در مقایسه با ساختار متداول دارد. علاوه بر این، فرکانس قطع بالا افزایش می‌یابد. بنابراین، ساختار پیشنهادی قابلیت اطمینان بیشتری در مقایسه با ساختار متداول دارد.



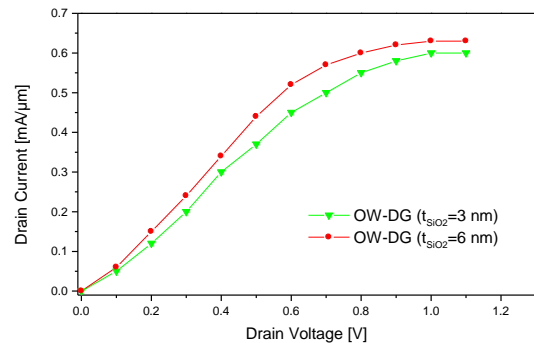
شکل ۱۱: جریان گیت در مقابل طول کانال ساختار پیشنهادی برای دو

طول متفاوت پنجره اکسید سیلیسیم در $V_{GS}=6/6$ V و $V_{DS}=8/8$ V

مراجع

- [1] S. M. Sze, *Physics of Semiconductor Devices*, Wiley, 1981.
- [2] C. Hu, *Modern Semiconductor Devices for Integrated Circuits*, Pearson Education, 2009.
- [3] S. Selberherr, *Analysis and simulation of semiconductor devices*, Springer-Verlag, 1984.
- [4] M. Yoshimi, H. Hazama, M. Takahashi, S. Kambayashi, T. Wada and K. Kato, "Two-dimensional simulation and measurement of high-performance MOSFETs made on a very thin SOI film," *IEEE Transaction on Electron Devices*, vol. 36, pp. 493-503, 1989.
- [5] J. P. Colinge, "Multi-gate SOI MOSFETs," *Solid State Electron*, vol. 48, no. 6, pp. 897-905, 2004.
- [6] T. H. Ning, P. W. Cook, R. H. Dennard, C. M. Schuster, and H. N. Yu, "1 μ m MOSFET VLSI technology. Part IV: Hot-electron design constraints," *IEEE Transaction on Electron Devices*, vol. ED-26, no. 4, pp. 346-353, 1979.
- [7] A. A. Orouji and M. Mehrad, "A new rounded edge fin field effect transistor for improving self-heating effects," *Japanese J. Applied Physics*, vol. 50, pp. 124303-124309, 2011.
- [8] M. Mehrad and A. A. Orouji, "Partially cylindrical fin field-effect transistor: a novel device for nanoscale applications," *IEEE Trans. Device and Materials Reliability*, vol. 10, pp. 271-275, 2010.
- [9] J. P. Colinge, *Silicon-on-insulator technology: materials to VLSI*, Kluwer Academic Publishers, 2004.
- [10] S. Cristoloveanu, "Silicon on insulator technologies and devices: from present to future," *Solid State Electronics*, vol. 45, pp. 1403-1411, 2001.
- [11] C. Riddet, A. R. Brown, C. L. Alexander, J. R. Watling, S. Roy, and A. Asenov, "3-D Monte Carlo simulation of the impact of quantum confinement scattering on magnitude of current fluctuations in double gate MOSFETs," *IEEE Trans. Nanotechnol*, vol. 6, no. 1, pp. 48-55, 2007.
- [12] M. Mehrad and A. A. Orouji, "Injected charges in partial SOI LDMOSFETs: a new technique for improving the breakdown voltage," *Superlattices and Microstructures*, vol. 57, pp. 77-84, 2013.
- [13] M. Mehrad and A. A. Orouji, "Injected charges in partial SOI LDMOSFETs: a new technique for improving the

مسدود شدن حرکت حامل‌ها در کانال به دلیل وجود لایه اکسید می‌باشد که در نتیجه آن چگالی جریان افزایش می‌یابد. نتایج شبیه‌سازی نشان می‌دهد بهترین رنج ضخامت پنجره اکسید $5 \text{ nm} < t_{\text{SiO}_2} < 6$ می‌باشد.



شکل ۱۰: جریان درین ساختار پیشنهادی در مقابل ولتاژ درین برای دو

ضخامت متفاوت پنجره اکسید سیلیسیم در $V_{GS}=0/6$ V

در ترانزیستورهای دو گیتی، جریان گیت کوچک‌تر بدین معنی است که حامل‌های بیشتری در جریان درین شرکت می‌کنند و قابلیت جریان دهی افزایش می‌یابد. اگر طول پنجره اکسید سیلیسیم افزایش یابد و برابر طول ناحیه گستردگی درین شود، جریان گیت به میزان بسیار زیادی کاهش می‌یابد. این کاهش جریان گیت به علت کم شدن پیک میدان الکتریکی در نزدیکی درین است که در این صورت انرژی الکترون‌هایی که می‌توانند از اکسید گیت عبور کنند و جریان گیت را ایجاد کنند، کم می‌شود. از طرف دیگر، افزایش طول این پنجره، باعث افزایش حداکثر دمای شبکه می‌گردد. زیرا هدایت گرمایی مناسبی ندارد. بنابراین لازم است که مصالح‌های بین این دو موضوع صورت گیرد. شکل ۱۱، جریان گیت در مقابل طول کانال را برای دو طول متفاوت پنجره اکسید سیلیسیم و در $t_{\text{SiO}_2}=6 \text{ nm}$ نشان می‌دهد. همان‌گونه که در این شکل مشخص است، در بین این دو طول ($L_{\text{SiO}_2}=4 \text{ nm}$ و $L_{\text{SiO}_2}=8 \text{ nm}$)، $L_{\text{SiO}_2}=8 \text{ nm}$ جریان گیت کوچک‌تری دارد. لازم به ذکر است که نتایج شبیه‌سازی بهترین رنج طول اکسید را $5 \text{ nm} < L_{\text{SiO}_2} < 9 \text{ nm}$ نشان می‌دهد تا هر دو پارامتر جریان گیت و دمای شبکه مقادیر مناسبی داشته باشند.

۵- نتیجه‌گیری

در این مقاله، یک ساختار جدید برای ترانزیستور ماسفت دو گیتی در تکنولوژی سیلیسیم روی عایق در مقیاس نانو معرفی گردیده است که باعث بهبود پارامترهای مهم در مقایسه با ساختار متداول می‌گردد. اساس ساختار پیشنهادی وارد کردن پنجره‌ای از جنس اکسید سیلیسیم در ناحیه گستردگی درین، بین درین و کانال و فصل مشترک اکسید گیت پستی می‌باشد. شبیه‌سازی با استفاده از شبیه‌ساز ATLAS نشان می‌دهد که ساختار پیشنهادی، جریان حالت خاموش، خازن و دمای

- [18] M. Zareiee, "A novel high performance nano-scale MOSFET by inserting Si₃N₄ layer in the channel," *Superlattices and Microstructures*, vol. 88, pp.254-261, 2015.
- [19] A. A. Orouji, S. E. J. Mahabadi, "A novel partial SOI LDMOSFET with a trench and buried P layer for breakdown voltage improvement," *Superlattices and Microstructures*, vol. 50, pp.449-460, 2011.
- [20] H. A. Moghadam, A. A. Orouji, and S. E. J. Mahabadi, "Employing reduced surface field technique by a P-type region in 4H-SiC metal semiconductor field effect transistors for increasing breakdown voltage," *International Journal of Numerical Modeling: Electronic Networks, Devices and Fields*, vol. 26, pp. 103-11, 2013.
- breakdown voltage," *Superlattices and Microstructures*, vol. 57, pp. 77-84, 2013.
- [14] A. A. Orouji and M. Mehrad, "Breakdown voltage improvement of LDMOSs by charge blancing: an inserted p-layer in trench oxide (IPT-LDMOS)," *Superlattices and Microstructures*, vol. 51, pp. 412-420, 2012.
- [15] A. A. Orouji, and M. K. Anvarifard, "SOI MOSFET with an insulator region (IR-SOI): A novel device for reliable nanoscale CMOS circuits," *Material science and engineering B*, vol. 178, pp. 431-437, 2013.
- [16] *Device simulator ATLAS*, Silvaco International, 2007.
- [17] X. An, R. Huang, X. Zhang and Y. Wang, "Scaling of lowered source/drain (LSD) and raised source/drain (RSD) ultra-thin body (UTB) SOI MOSFETs," *Solid-State Electronics*, vol. 49, pp. 479-483, 2005.