

طراحی یک تقویت کننده کم نویز کسکود ولتاژ پایین با خطینگی بالا به کمک روش تزویج مغناطیسی در باند ۴۵ GHz

مهران نظری^۱، دانشجوی کارشناسی ارشد؛ جواد یavand حسنی^۲، استادیار

۱- دانشکده مهندسی برق - دانشگاه علم و صنعت ایران - تهران - ایران - meh.nazari90@gmail.com

۲- دانشکده مهندسی برق - دانشگاه علم و صنعت ایران - تهران - ایران - yavand@iust.ac.ir

چکیده: در این مقاله یک LNA کسکود ولتاژ پایین با خطینگی بالا با استفاده از روش تزویج مغناطیسی در باند فرکانسی ۴۵GHz با استفاده از تکنولوژی RF-CMOS $0.18\mu\text{m}$ شرکت TSMC ارائه شده است. از روش تزویج مغناطیسی جهت کاهش ولتاژ منبع تغذیه و کاهش اثرات غیرخطی رسانایی درین ترانزیستور کسکود ورودی به کار گرفته شده است. به کمک یک ساختار سورس مشترک و ایجاد یک مسیر اضافی اثرات غیرخطی ترانسانایی ترانزیستور ورودی در خروجی طبقه اول کاهش داده شده است. شبکه میان گذر ورودی و ساختار شانت-پیکینگ خروجی جهت دستیابی به تطبیق پهن باند در ورودی و خروجی تقویت کننده به کار گرفته شده اند. این LNA دو طبقه دارای بهره سیگنال کوچک ۹dB و عدد نویز ۴dB در فرکانس ۴۵GHz است. مقدار IIP3 تقویت کننده کم نویز پیشنهاد شده $+3.8\text{dBm}$ بوده که در مقایسه با ساختار کسکود با استفاده از روش تزویج پایه $+7\text{dBm}$ بهبود داشته است. این تقویت کننده دارای پهنای باند ۳dB، 10GHz بوده و تلفات بازگشت در سرتاسر پهنای باند بهتر از ۱۰dB است. تقویت کننده کم نویز پیشنهادی با ولتاژ منبع تغذیه 0.6V و ولت دارای توان تلفاتی 6.8mW است.

واژه های کلیدی: تقویت کننده کم نویز، خطینگی بالا، ولتاژ پایین، تزویج مغناطیسی، Q-LinkPAN.

Analysis and Design of Low-Voltage High Linearity CMOS Cascode LNA with Magnetic Coupled Technique for 45GHz application

M. Nazari¹, MSc Student; J. Yavand Hasani², Assistant Professor

1- Faculty of Electrical Engineering, Iran University of Science and Technology, Tehran, Iran, Email: meh.nazari90@gmail.com

2- Faculty of Electrical Engineering, Iran University of Science and Technology, Tehran, Iran, Email: Yavand@iust.ac.ir

Abstract: A low voltage cascode LNA with high linearity designed in $0.18\mu\text{m}$ RF CMOS technology is presented, in which magnetic coupling has been adopted in 45GHz frequency band. Magnetic coupling has been used to decrease the supply voltage, as well as the reduction of drain nonlinear conductivity in the input cascode transistor. Using common source topology and adding an auxiliary signal path to the output, nonlinearity of the trans-conductance of input transistor has been improved. Input bandpass network and output shunt-picking topology has been used to perform the wideband matching in the amplifier input and output. The proposed two-stage LNA reveals 9dB small signal gain and 4dB noise figure at 45GHz center frequency, at 1MHz frequency offset. IIP3 of the designed LNA is $+3.8\text{dBm}$, presenting 7dB improvement, in comparison with the cascade structure. The amplifier has 3-dB bandwidth of 10GHz, where the return loss in the entire band is better than 10dB. The supply voltage of the designed LNA is 0.6V and power consumption is 6.8mW.

Keywords: Low noise amplifier, high linearity, low voltage, magnetic coupling, Q-LinkPAN.

تاریخ ارسال مقاله: ۱۳۹۴/۱۲/۰۲

تاریخ اصلاح مقاله: ۱۳۹۵/۰۲/۱۳ و ۱۳۹۵/۰۴/۱۷

تاریخ پذیرش مقاله: ۱۳۹۵/۰۴/۲۸

نام نویسنده مسئول: جواد یavand حسنی

نشانی نویسنده مسئول: ایران - تهران - میدان رسالت - خیابان هنگام - خیابان دانشگاه - دانشگاه علم و صنعت ایران - دانشکده مهندسی برق.

۱- مقدمه

استفاده شده است. این ساختار با ایجاد یک مدار تشدیدکننده در طبقه کسکود موجب کاهش اثر خازن‌های پارازیتی بین دو ترانزیستور کسکود و در نتیجه بهبود بهره و بیشینه بهره در دسترس در باند موج میلی‌متری می‌شود [۷]. با استفاده از این ساختار اثرات منفی روی خطینگی رسانایی درین در کاربردهای ولتاژ پایین کاهش پیدا می‌کند. همچنین با استفاده از یک مسیر اضافی شامل یک ترانزیستور سورس مشترک اثرات غیرخطی ترانسائایی ترانزیستور کسکود ورودی را در فرکانس‌های بالا بهبود داده‌ایم. جهت دستیابی به بهره مورد نظر، یک طبقه سورس مشترک به عنوان طبقه دوم به کار گرفته شده است. همچنین از یک مقاومت پس‌خورد بین گیت و درین ترانزیستور کسکود ورودی جهت افزایش پهنای باند استفاده شده است [۸].

۲- بهبود خطینگی در تقویت کننده‌های کم نویز ولتاژ پایین

در طراحی مدارهای LNA عمدتاً استفاده از طبقه کسکود نسبت به طبقه سورس مشترک پایه ترجیح داده می‌شود. در طبقه کسکود به دلیل وجود ساختار گیت مشترک در مسیر سیگنال اثر میلی‌ری خنثی شده و موجب بهبود پایداری، افزایش بیشینه بهره پایدار (MSG) و کاهش اثرات پارازیتیکی مدار خواهد شد. بهبود خطینگی ساختار کسکود موجب ایجاد مصالحه میان پارامترهای دیگر آن نظیر بهره و عدد نویز خواهد شد. خطینگی طبقه کسکود پایه در کاربردهای ولتاژ پایین با چالش‌هایی روبه‌رو می‌باشد که موجب محدودیت در کاربرد این ساختار می‌گردد. جریان غیرخطی درین ترانزیستور MOSFET را با استفاده از بسط تیلور به سادگی می‌توان به صورت زیر مدل کرد:

$$i_d(v_{gs}) = g_m v_{gs} + g_d v_{ds} + g_{m2} v_{gs}^2 + g_{d2} v_{ds}^2 + g_{m3} v_{gs}^3 + g_{d3} v_{ds}^3 \quad (1)$$

که g_{mn} ضرایب مرتبه n غیرخطی بودن ترانسائایی و g_{dn} ضرایب مرتبه n غیرخطی بودن رسانایی درین می‌باشند. به دلیل تأثیر پایین ضرایب غیرخطی مرتبه دوم روی IIP3 و کوچک بودن ضرایب مدولاسیون متقابل در ادوات MOSFET جهت سادگی محاسبات از این ضرایب در مدل بیان شده در (۱) صرف نظر شده است. با توجه به [۴] V_{IP3} یک طبقه سورس مشترک ساده از رابطه زیر به دست می‌آید:

$$V_{IP3} = \sqrt{\frac{4}{3} \cdot \frac{g_{m1}}{g_{m3} + g_{d3} \left(\frac{g_{m1} R_L}{1 + g_{d1} R_L} \right)^3}} \quad (2)$$

با توجه به (۲) مشخص است که مقدار V_{IP3} تنها به g_m و g_{m3} وابسته نبوده و تحت تأثیر مقدار g_{d1} و g_{d3} نیز قرار خواهد گرفت. همچنین با توجه به [۹] در ساختار سورس مشترک ساده غیرخطی بودن رسانایی درین در ند خروجی با رابطه زیر متناسب است:

$$g_{d3} \propto \frac{1}{g_{d3} R_L (1/R_L + g_{d1})^4} \quad (3)$$

در سال ۲۰۱۰ یک گروه مطالعاتی جدید تحت عنوان SG5 (این گروه به اسم Q-LinkPAN SG نیز شناخته می‌شود) تشکیل شد که هدف اصلی آن‌ها مطالعه درباره قابلیت‌های باند ۴۵ GHz برای کاربردهای WLAN در گروه استاندارد CWPAN بود. در سال ۲۰۱۱ مجموعه‌ای از سندهای کاربرد باند فرکانسی ۴۵GHz به دفتر مدیریت رادیویی MIIT جمهوری خلق چین برای استفاده از این باند ارسال شد. در سپتامبر ۲۰۱۳ بعد از اصلاحات، سند استفاده از باند فرکانسی ۴۰-۵۰GHz برای سرویس‌های موبایل در سیستم‌های دستیابی بی‌سیم پهن باند در وبسایت MIIT منتشر شد. این باند فرکانسی دو نوع پیکربندی وجود دارد که با توجه به نوع پیکربندی پهنای باند، این باند فرکانسی به ۵ یا ۱۰ کانال تقسیم می‌شود [۱].

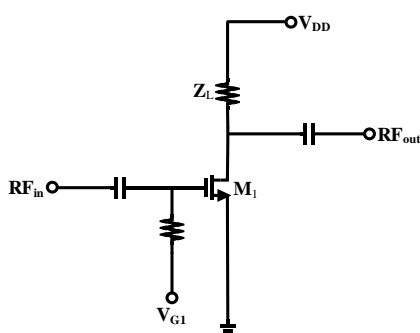
تعدادی از مزایای باند فرکانسی ۴۵GHz نسبت به باند فرکانسی ۶۰GHz که پیش‌تر به کار گرفته شده بود، عبارت‌اند از:

- در ارتباطات بی‌سیم رنج کوتاه به علت استفاده از تکنولوژی‌های ساده‌تر، تجهیزات Q-LinkPAN تنها ۷۰٪ هزینه تجهیزات باند ۶۰GHz را خواهند داشت.
 - به علت اوج جذب اتمسفر در باند ۶۰GHz (۲۰dB/km) این باند فرکانسی در ارتباطات نقطه‌به‌نقطه با نرخ داده بالا در مسافت‌های طولانی قابل استفاده نمی‌باشد. اما جذب اتمسفر پایین (۱dB/km)، استفاده از Q-LinkPAN را در این گونه ارتباطات توسط آنتن‌های با بهره بالا امکان‌پذیر می‌کند [۲].
- با پیشرفت تکنولوژی CMOS ابعاد ترانزیستورها و ولتاژ منبع تغذیه کاهش پیدا می‌کند. چنین روندی در تکنولوژی با کاهش توان مصرفی و ابعاد تراشه‌ها موجب توسعه و گسترش ادوات فرکانس بالا خواهد شد. کاهش ولتاژ منبع تغذیه کارایی ادوات فرکانس بالا مانند تقویت کننده‌های کم نویز، مخلوط کننده و تقویت کننده‌های توان را به شدت تحت تأثیر قرار می‌دهد. به عنوان مثال کاهش ولتاژ منبع تغذیه موجب افت خطینگی ادوات RF می‌گردد. در نتیجه در کاربردهای ولتاژ پایین به منظور حفظ کارایی و غلبه بر محدودیت‌های ایجادشده به تکنیک‌های جدید طراحی نیاز خواهیم داشت.

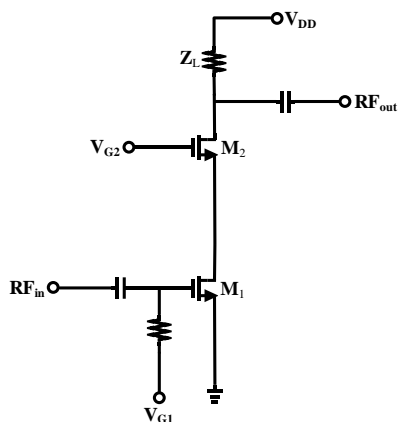
ساختارهای متنوعی برای تقویت کننده‌های کم نویز با خطینگی بالا در [۳-۶] ارائه شده است. در [۳] خطینگی ساختار کسکود پایه با استفاده از یک مسیر پس‌خور بهبود داده شده است. در [۴] با استفاده از تکنیک MTGR جهت حذف g_{m3} ، خطینگی طبقه کسکود تا شده به میزان چشم‌گیری بهبود یافته است. در [۵] یک روش جدید جهت بهبود خطینگی تقویت کننده کم نویز پهن باند ارائه شده و کارایی این روش با استفاده از سری ولترا مورد بررسی قرار گرفته است. در [۶] روش پسا اعوجاج با بدنه بایاس شده برای بهبود خطینگی ساختار کسکود در باند فرکانسی ۶۹-۵۴ GHz به کار گرفته شده است.

در این مقاله جهت بهبود خطینگی در کاربردهای فرکانس بالا و ولتاژ پایین از ساختار کسکود با استفاده از روش تزویج مغناطیسی

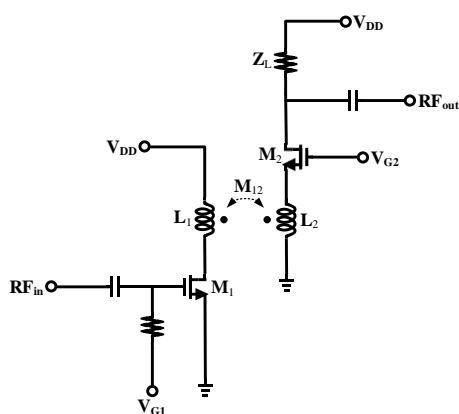
در ساختار معرفی شده ولتاژها و جریان های بایاس دو ترانزیستور M_1 و M_2 کاملاً مجزا می باشد. در این ساختار ولتاژ بایاس M_1 را طوری انتخاب می کنیم که این ترانزیستور دارای g_m مناسب جهت دسترسی به بهره دلخواه شود. همچنین بایاس M_2 به گونه ای انتخاب می شود که بار ترانزیستور M_1 جهت افزایش خطینگی در کاربردهای ولتاژ پایین کاهش یابد. با توجه به شکل ۴ مشاهده می گردد ولتاژ درین-سورس هر یک از ترانزیستورهای M_1 و M_2 کاملاً مجزا بوده و می توان در ولتاژهای منبع تغذیه پایین در حد $0.6V$ ولت نیز به کارایی مطلوب دست یافت. نکته ای که باید بدان توجه کرد وابستگی g_{d3} به ولتاژ گیت-سورس و نسبت W/L ترانزیستور است. مقدار g_{d3} بر حسب ولتاژ گیت-سورس و W/L ترانزیستور به ترتیب در شکل های ۵ و ۶ ترسیم شده است.



شکل ۲: ساختار سورس مشترک ساده



شکل ۳: ساختار کسکود پایه

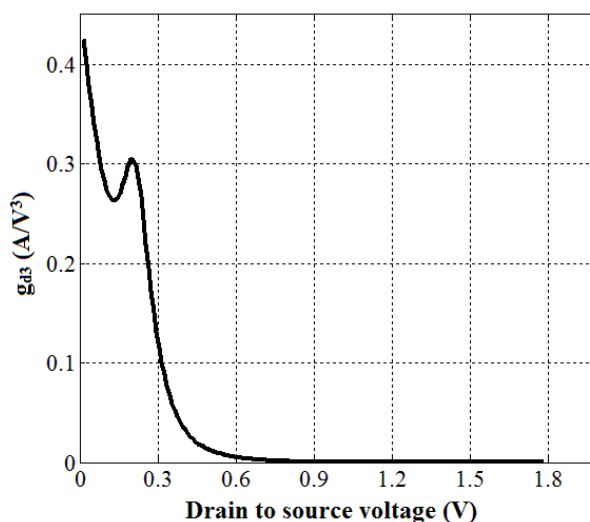


شکل ۴: ساختار پیشنهادی برای کاربردهای ولتاژ پایین

رابطه (۳) نشان می دهد جهت کاهش غیرخطی بودن رسانایی درین می توان مقاومت بار تقویت کننده را کاهش داد.

در شکل ۱ مقدار g_{d3} برای مقادیر مختلف ولتاژ درین-سورس ترسیم شده است. همان طور که مشاهده می کنیم با کاهش ولتاژ درین-سورس مقدار g_{d3} افزایش پیدا می کند و با توجه به رابطه (۱) خطینگی تقویت کننده را به شدت تحت تأثیر قرار می دهد. به عنوان مثال مقدار g_{d3} برای یک ترانزیستور nMOS در تکنولوژی $0.18\mu m$ با ولتاژ گیت-سورس $0.85V$ و ولت و نسبت $W/L=20$ در ولتاژهای درین-سورس $0.5V$ ، $0.8V$ و $1.3V$ ولت برابر 0.12 ، 0.02 و 0.00223 است. این مقادیر نشان می دهد که با کاهش ولتاژ درین-سورس میزان غیرخطی بودن رسانایی درین مرتبه سوم به شدت افزایش پیدا می کند. با توجه به نمودار شکل ۱ مشاهده می کنیم غیرخطی بودن رسانایی درین در کاربردهای ولتاژ بالا روی V_{IP3} تقریباً بی تأثیر بوده و به همین دلیل است که در کاربردهای ولتاژ بالا از اثر g_{d3} در محاسبات خطینگی تقویت کننده ها صرف نظر می شود.

ساختار سورس مشترک ساده و کسکود پایه به ترتیب در شکل های ۲ و ۳ نشان داده شده است. برای یک ولتاژ منبع تغذیه ثابت، ولتاژ درین-سورس ترانزیستورها در ساختار کسکود نسبت به ساختار سورس-مشترک کاهش پیدا می کند و موجب افزایش g_{d3} و کاهش خطینگی رسانایی درین خواهد شد. در ساختار کسکود پایه با توجه اینکه جریان ترانزیستورهای M_1 و M_2 یکسان می باشد، جهت کاهش مقاومت بار طبقه سورس مشترک (ترانزیستور M_1) که موجب افزایش خطینگی رسانایی درین M_1 می شود، می توانیم جریان ترانزیستورها و یا ابعاد ترانزیستور M_2 را افزایش دهیم که به ترتیب افزایش توان مصرفی و ابعاد تراشه را نتیجه می دهد. به منظور بهبود خطینگی ساختار کسکود پایه در کاربردهای ولتاژ پایین ساختار شکل ۴ در این مقاله معرفی گردیده است.



شکل ۱: مقدار g_{d3} بر حسب ولتاژ درین-سورس

غیرخطی رسانایی درین M_1 در کاربردهای ولتاژ پایین می شود. اثر غیرخطی ترانسایابی و رسانایی درین ترانزیستور M_2 به علت وجود پس خور ولتاژ-جریان با امیدانس خروجی بالای M_1 در ساختار کسکود قابل صرف نظر می باشد. کاهش بار ترانزیستور M_1 (افزایش g_m ترانزیستور M_2) جهت بهبود خطیگی موجب کاهش بهره طبقه می گردد در نتیجه برای دسترسی به بهره مورد نظر یک ساختار سورس مشترک جهت بهبود بهره به عنوان طبقه دوم در ساختار پیشنهادی به کار گرفته شده است.

استفاده از سلف گیت در ساختار کسکود موجب ایجاد فیدبک مثبت می شود. این فیدبک مثبت در یک بازه فرکانسی خاص بسته به ابعاد ترانزیستور و مقدار سلف گیت موجب افزایش مقدار ترانسایابی و در نتیجه بهبود بهره ساختار کسکود خواهد شد [۹]. به همین دلیل از سلف گیت در مورد M_2 استفاده شده است. به علاوه، در مرجع [۱۰] نشان داده شده است که با استفاده از طراحی مناسب و انتخاب مناسب ابعاد ترانزیستورهای کسکود و مقادیر سلفها می توانیم با استفاده از ساختار کسکود با تزویج مغناطیسی تأثیر خازنهای پارازیتیکی ترانزیستورهای کسکود را به وسیله ترانسفرمر در بازه فرکانسی مورد نظر حذف کرده و به بهره و عدد نویز مناسب بدون کاهش چشم گیر خطیگی دست یافت.

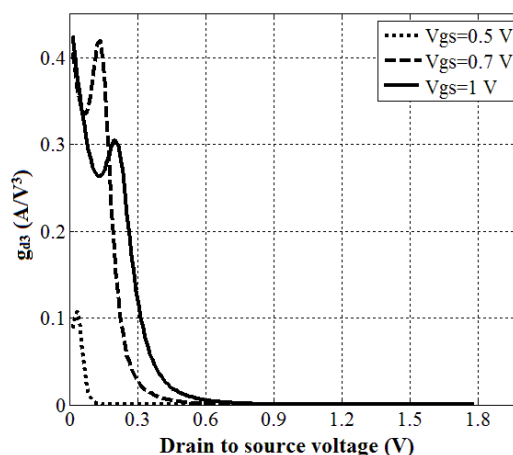
۳-۱- تحلیل خطیگی ساختار پیشنهادی

همان طور که می دانیم منشأ اصلی غیرخطی بودن در ادوات MOSFET، اثر غیرخطی مرتبه سوم ترانسایابی (g_{m3}) می باشد. جهت رفع این مشکل در ساختار پیشنهادی از ترانزیستور M_3 بهره گرفته شده است. ترانزیستور M_1 که مسیر اصلی را ایجاد می کند در ناحیه وارونگی شدید بایاس شده و ترانزیستور M_3 با بایاس در ناحیه وارونگی ضعیف مسیر اضافی را شکل می دهد. با توجه به شکل ۸ علامت g_{m3} برای یک ترانزیستور MOSFET در ناحیه وارونگی شدید و ضعیف به ترتیب منفی و مثبت خواهد بود. در نتیجه با طراحی مناسب می توانیم مقدار ضریب مرتبه سوم غیرخطی بودن ترانسایابی را در خروجی طبقه اول مدار پیشنهادی که حاصل جمع g_{m3} ناشی از ترانزیستورهای M_1 و M_3 می باشد را به حداقل رساند.

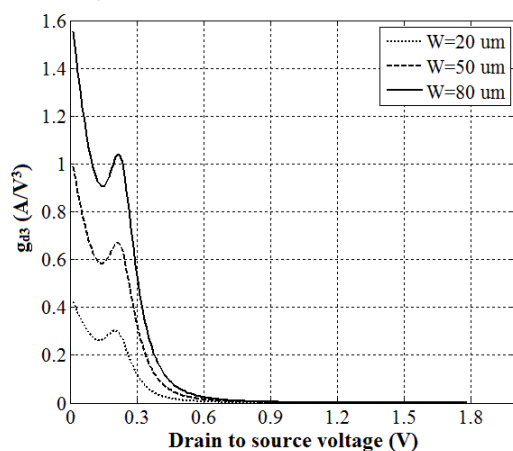
شکل ۹ یک ساختار سورس مشترک را نشان می دهد با توجه به اینکه سلف و خازن نقش بسیار مهمی را در خطیگی تقویت کننده های کم نویز ایفا می کنند جهت محاسبه ضرایب اعوجاج هارمونیک وابسته به فرکانس از سری ولترا بهره گرفته ایم. رابطه میان جریان درین و ولتاژ گیت ترانزیستور M_1 یک رابطه دیفرانسیلی غیرخطی است که با استفاده از سری ولترا به صورت زیر بیان می شود:

$$I_{o1} = A_1(s) \circ V_{in} + A_2(s_1, s_2) \circ V_{in}^2 + A_3(s_1, s_2, s_3) \circ V_{in}^3 \quad (4)$$

رابطه میان ولتاژ سورس و ولتاژ گیت ترانزیستور M_1 نیز به شکل زیر است:



شکل ۵: g_{d3} بر حسب ولتاژ گیت-سورس

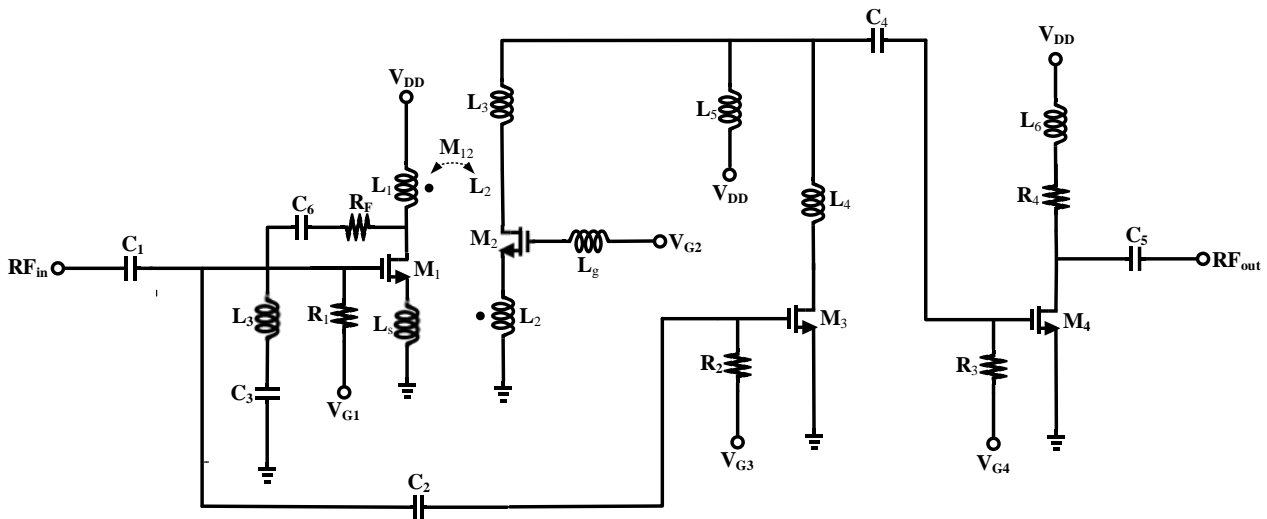


شکل ۶: g_{d3} بر حسب W/L ترانزیستور

با توجه به این شکلها درمی یابیم که با افزایش ولتاژ گیت-سورس و ابعاد ترانزیستور در یک ولتاژ درین-سورس ثابت مقدار g_{d3} در ناحیه وارونگی شدید افزایش پیدا می کند. در نتیجه برای افزایش مقدار g_m ترانزیستور با در نظر گرفتن پارامتر خطیگی در کاربردهای ولتاژ پایین نمی توانیم ولتاژ گیت-سورس و ابعاد ترانزیستور را خیلی افزایش داد.

۳- مدار تقویت کننده کم نویز پیشنهادی

ساختار LNA مورد نظر در شکل ۷ نشان داده شده است. M_1 و M_2 ترانزیستورهای کسکود می باشند. ترانزیستور M_3 جهت کاهش اثر غیرخطی بودن ترانسایابی ترانزیستور M_1 به کار گرفته شده است. مقاومت R_F برای افزایش پهنای باند مدار مورد استفاده قرار گرفته است. در تقویت کننده کم نویز پیشنهادی با استفاده از روش تزویج مغناطیسی ولتاژ درین-سورس ترانزیستورهای کسکود را برای یک ولتاژ منبع تغذیه ثابت افزایش داده ایم که این امر موجب بهبود خطیگی رسانایی درین در کاربردهای ولتاژ پایین خواهد شد. با توجه به [۷] ساختار کسکود با استفاده از روش تزویج مغناطیسی با کاهش اثر خازنهای پارازیتیکی موجب بهبود عدد نویز و بیشینه بهره در دسترس در کاربردهای فرکانس بالا خواهد شد. در ساختار پیشنهادی با افزایش ولتاژ گیت-سورس و یا ابعاد ترانزیستور M_2 می توانیم مقاومت بار M_1 را کاهش دهیم که با توجه به (۳) موجب کاهش اثر



شکل ۷: مدار پیشنهادی LNA

$$\overline{B_1}^2 = \frac{1}{3} [B_1(s_1)B_1(s_2) + B_1(s_1)B_1(s_3) + B_1(s_2)B_1(s_3)] \quad (5)$$

$$V_{s1} = B_1(s) \circ V_{in} + B_2(s_1, s_2) \circ V_{in}^2 + B_3(s_1, s_2, s_3) \circ V_{in}^3 \quad (5)$$

حال با KCL در سورس M1 خواهیم داشت:

$$\overline{B_1 B_2} = \frac{1}{3} [B_1(s_1) \times B_2(s_2, s_3) + B_1(s_2) \times B_2(s_1, s_3) + B_1(s_3) \times B_2(s_1, s_2)] \quad (6)$$

$$V_{s1} \left(sC_{gs1} + \frac{1}{sL_s} \right) - sC_{gs1} V_{in} = I_{o1} \quad (6)$$

بسط تیلور جریان درین ترانزیستور M1 به صورت زیر بیان

$$\overline{B_2} = \frac{1}{3} [B_2(s_1, s_2) + B_2(s_1, s_3) + B_2(s_2, s_3)] \quad (7)$$

می شود:

حال با توجه به (۴) و (۶) ضرایب سری ولترا جریان I_{o1} به صورت

$$I_{o1} = g_{m1}(V_{in} - V_{s1}) + g_{m2}(V_{in} - V_{s1})^2 + g_{m3}(V_{in} - V_{s1})^3 \quad (7)$$

زیر به دست می آید:

$$A_1(s) = g_{m1}(1 - B_1(s)) \quad (17)$$

در نتیجه ضرایب سری ولترا B₁، B₂ و B₃ به ترتیب به صورت (۸)، (۹) و (۱۰) محاسبه می شوند.

$$A_2(s_1, s_2) = B_2(s_1, s_2)(Q(s_1 + s_2) - g_{m1}) \quad (8)$$

$$A_3(s_1, s_2, s_3) = B_3(s_1, s_2, s_3) \times (Q(s_1 + s_2 + s_3) - g_{m1}) \quad (9)$$

$$B_1(s) = \frac{g_{m1} + sC_{gs1}}{Q(s)} \quad (8)$$

$$B_2(s_1, s_2) = \frac{g_{m2}(1 + B_1(s_1)B_1(s_2) - 2\overline{B_1})}{Q(s_1 + s_2)} \quad (10)$$

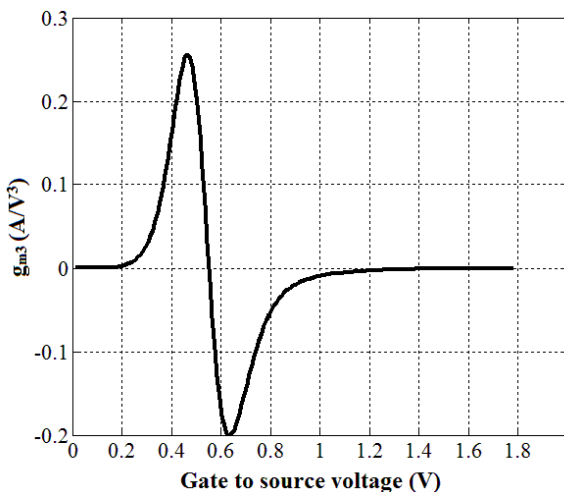
$$B_3(s_1, s_2, s_3) = \left(g_{m3} \left(1 - B_1(s_1)B_1(s_2)B_1(s_3) - 3\overline{B_1} + 3\overline{B_1}^2 \right) + 2g_{m2}(\overline{B_1 B_2} - \overline{B_2}) \right) / Q(s_1 + s_2 + s_3) \quad (9)$$

متغیرهای این روابط به صورت زیر بیان می گردند:

$$Q(s) = \frac{L_s C_{gs1} s^2 + g_{m1} L_s s + 1}{s L_s} \quad (11)$$

$$\overline{B_1} = \frac{1}{2} (B_1(s_1) + B_1(s_2)) \quad (3)$$

$$\overline{B_1} = \frac{1}{3} (B_1(s_1) + B_1(s_2) + B_1(s_3)) \quad (4)$$

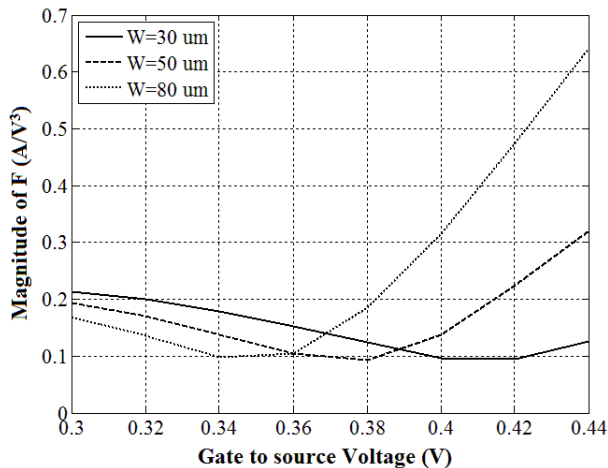


شکل ۸: gm3 بر حسب ولتاژ گیت-سورس

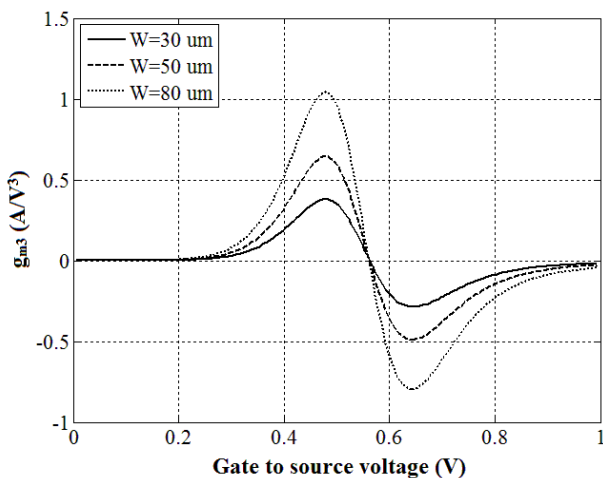
است. در نتیجه g_{m33} تنها می تواند مقدار حقیقی A_3 را در خروجی طبقه اول حذف کند و مقدار حقیقی A_3 باقی می ماند. به همین دلیل با توجه به شکل ۱۱ اندازه F بیش از یک مقدار خاص به ازای سه مقدار متفاوت W کاهش پیدا نمی کند.

لازم به ذکر است که علامت ضریب سوم سری ولترا بسته به اینکه ترانزیستور در ناحیه اشباع باشد و یا اینکه در ناحیه وارونگی ضعیف بایاس شده باشد، تغییر پیدا می کند. مشتق دوم ترانسانایی با توجه به شکل ۸ در ناحیه اشباع منفی و در حالت وارونگی ضعیف مثبت است. در نتیجه با استفاده از دو ترانزیستور که به صورت موازی بسته شده اند و یکی در ناحیه وارونگی ضعیف و دیگری در ناحیه اشباع است می توان ضریب سوم سری ولترا جریان خروجی را حذف کرد و در نتیجه موجب بهبود HIP_3 و خطیگی مخلوط کننده خواهد شد. همچنین در شکل ۱۲ با افزایش W ، مقدار g_{m33} به ازای یک ولتاژ گیت-سورس افزایش پیدا می کند. در نتیجه همان طور که در شکل ۱۱ مشاهده می کنیم با افزایش مقدار W ، کمینه اندازه F در ولتاژ گیت-سورس پایین تری به دست می آید.

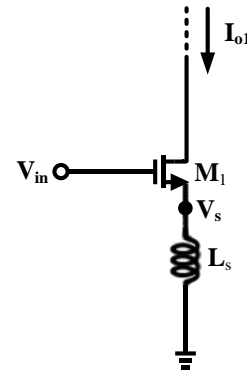
شکل ۱۳ قسمت موهومی A_3 را برای مقادیر مختلف سورس درین نشان می دهد. با تغییر L_s مقدار قسمت موهومی A_3 تغییر پیدا می کند.



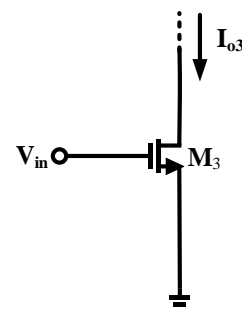
شکل ۱۰: اندازه F بر حسب ولتاژ گیت-سورس



شکل ۱۱: مقدار g_{m3} برای مقادیر مختلف W



شکل ۹: ساختار سورس مشترک با سلف سورس



شکل ۱۰: ساختار سورس مشترک ساده

بر اساس شکل ۱۰ جریان درین ترانزیستور M_3 با استفاده از بسط تیلور به صورت زیر بیان می شود:

$$I_{o3} = g_{m13}V_{in} + g_{m23}V_{in}^2 + g_{m33}V_{in}^3 \quad (20)$$

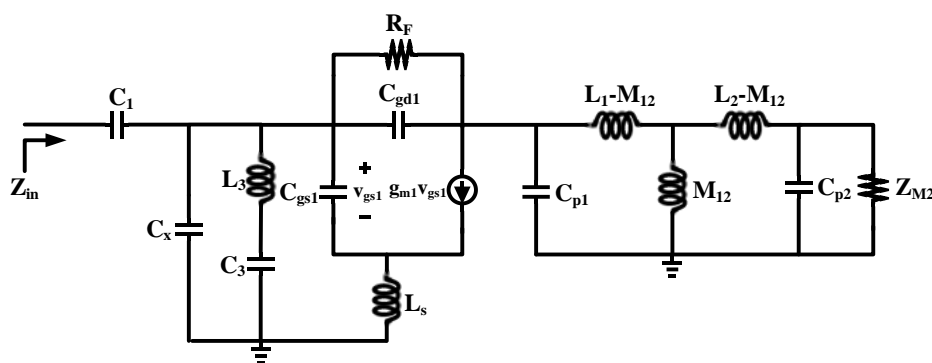
که g_{m33} ضرایب مرتبه n غیرخطی بودن ترانسانایی ترانزیستور M_3 می باشد.

با توجه به روابط (۱۹) و (۲۰) جهت حذف ضریب مرتبه سوم غیرخطی بودن ترانسانایی در خروجی طبقه اول مدار پیشنهادی باید رابطه زیر برقرار باشد:

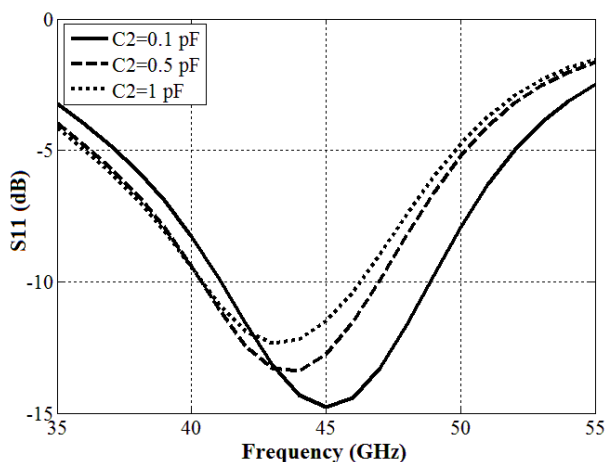
$$F = g_{m33} + A_3(s_1, s_2, s_3) = 0 \quad (21)$$

همان طور که مشاهده می کنیم (۲۰) یک رابطه وابسته به فرکانس می باشد. با انتخاب مناسب المان های مدار و با توجه به فرکانس عملکرد می توانیم ضریب مرتبه سوم غیرخطی بودن ترانسانایی را در خروجی طبقه اول به حداقل برسانیم.

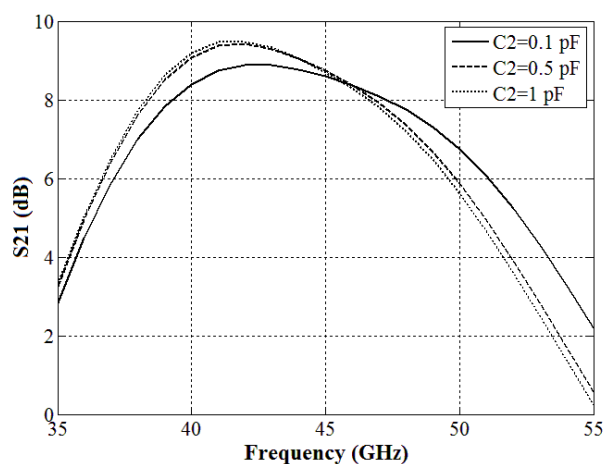
ابتدا ابعاد و ولتاژ گیت-سورس ترانزیستور ورودی M_1 را جهت دستیابی به عدد نویز و بهره مطلوب تعیین می کنیم. به عنوان مثال $L_s = 0.1$ nH را در نظر می گیریم. در نتیجه با توجه به رابطه ۱۹ مقدار A_3 با در نظر گرفتن $f_1=f_2=10$ MHz= 45 GHz= 45×10^9 Hz، $f_1=f_2=10$ MHz= 45 GHz= 45×10^9 Hz به دست می آید. شکل ۱۱ اندازه F را بر حسب ولتاژ گیت-سورس ترانزیستور M_3 نشان می دهد. با توجه به شکل درمی یابیم که با افزایش ولتاژ گیت-سورس برای هر سه مقدار W ابتدا کاهش یافته و بعد از یک مقدار ولتاژ خاص ولتاژ گیت-سورس شروع به افزایش پیدا می کند. همان طور که می دانیم A_3 یک عدد مختلط و g_{m33} یک عدد حقیقی



شکل ۱۴: مدار معادل ورودی تقویت کننده



شکل ۱۵: تغییرات مقدار S11 برای مقادیر مختلف C2

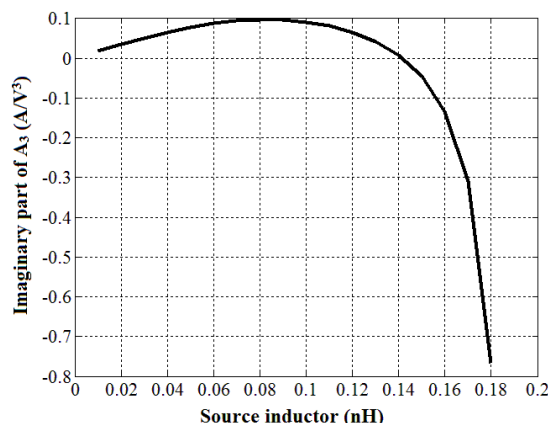


شکل ۱۶: تغییرات بهره برای مقادیر مختلف C2

با تغییر ابعاد ترانزیستور M_3 نیز مقدار خازن C_x تغییر پیدا می کند و در نتیجه موجب جابه جایی فرکانسی مقدار بیشینه خواهد شد. اما به این دلیل که ابعاد ترانزیستور M_3 برای کاهش اثر غیرخطی ترانسسانی ترانزیستور کسکود ورودی M_1 تنظیم شده است جهت بهبود تطبیق ورودی مجاز به تغییر ابعاد M_3 نخواهیم بود.

۴- نتایج شبیه سازی

مدار تقویت کننده کم نویز پیشنهادی با استفاده از تکنولوژی RF-CMOS $0.18 \mu\text{m}$ شرکت TSMC شبیه سازی شده



شکل ۱۳: مقدار قسمت موهومی A_3 بر حسب سلف سورس

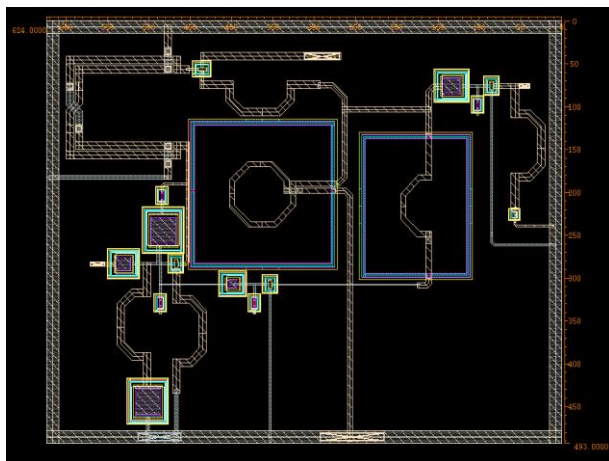
به عنوان مثال با توجه به شکل ۱۳ مقدار قسمت موهومی A_3 به ازای $L_s = 0.18 \text{ nH}$ بسیار کاهش پیدا می کند. در نتیجه با انتخاب این مقدار برای سلف سورس، A_3 تقریباً حقیقی خواهیم بود که با انتخاب مناسب ولتاژ گیت-سورس و ابعاد ترانزیستور M_3 می توانیم این مقدار را توسط g_{m3} در خروجی طبقه اول حذف کرده و IIP3 را افزایش دهیم.

۳-۲- بررسی تطبیق ورودی

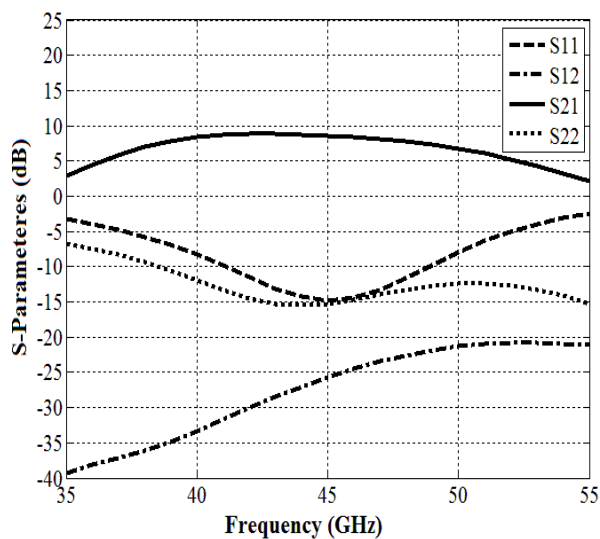
پس از انتخاب مناسب ابعاد ترانزیستورها و ولتاژهای بایاس مدار جهت دسترسی به بیشترین بهره در دسترس شبکه های تطبیق باید به خوبی طراحی شوند. در مدار LNA پیشنهادی برای داشتن تطبیق پهن باند از ساختار میان گذر نشان داده شده در شکل ۷ استفاده شده است. شکل ۱۴ مدار معادل ورودی تقویت کننده را نشان می دهد. Z_{M2} امپدانس مشاهده شده از درین ترانزیستور M_2 است. خازن C_x مجموع خازن گیت-سورس ترانزیستور M_3 و خازن C_2 بوده $(C_x = C_2 + C_{gs3})$ و با تغییر خازن C_2 مقدار خازن C_x تغییر کرده و موجب جابه جایی فرکانسی تطبیق بهینه خواهد شد. شکل ۱۵ مقدار S_{11} شبیه سازی شده بر حسب مقدار خازن C_2 را نشان می دهد. همان طور که مشاهده می کنیم مقدار S_{11} با تغییر C_2 جابه جایی فرکانسی پیدا می کند. جابه جایی کمینه S_{11} موجب جابه جایی فرکانسی بیشینه بهره خواهد شد. در نتیجه با انتخاب مناسب مقدار خازن C_2 می توانیم به بیشترین بهره در فرکانس عملکردی مورد نظر دست پیدا کنیم. شکل ۱۶ جابه جایی فرکانسی بیشینه بهره بر حسب مقدار خازن C_2 را نشان می دهد.

جدول ۱: اندازه عناصر مدار

Symbol	Quantity
C ₁	۰/۲۴ pF
C ₂	۰/۱ pF
C ₃ -C ₆	۱ pF
C ₄	۰/۳۷ pF
C ₅	۰/۸۹ pF
R _F	۱ KΩ
R ₁ -R ₂ -R ₃ -R ₄	۱۰ KΩ
L ₁ -L ₂	۳۰۰ pH
L _۳ -L _۴ -L _۵ -L _۶	۱۰۰ pH
L _۴	۲۰۰ pH
L _۵	۲۹۰ pH
L _۶	۵۰ pH



شکل ۱۸: جانمایی تقویت کننده کم نویز پیشنهادی

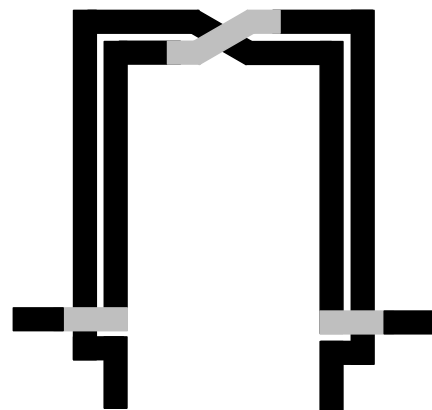


شکل ۱۹: پارامترهای s شبیه سازی شده

است. در شبیه سازی های انجام شده ترمینال های ورودی و خروجی ۵۰ اهم در نظر گرفته شده اند.

در شبیه سازی مدار طراحی شده، سلف ها و خازن ها همان سلف ها و خازن های استاندارد تکنولوژی CMOS ۰/۱۸μm می باشند که در Foundry design kit موجود هستند. مدل سازی ترانسفورمر با استفاده از نرم افزار Sonnet انجام شده است به این ترتیب که پس از طراحی اولیه ترانسفورمر، ابتدا جانمایی با استفاده از بسته طراحی TSMC برای تکنولوژی CMOS ۰/۱۸μm تهیه و سپس ساختار آن به نرم افزار Sonnet ارسال می شود. در مرحله طراحی اولیه، ترانسفورمر را به صورت یک سلف با یک مقاومت سری و خازن موازی که مقدار آن ها مشخص نیست مدل می کنیم. در نهایت با استفاده از نرم افزار ADS مقادیر المان های مدل را جهت تطبیق پارامترهای پراکندگی استخراج شده از نرم افزار Sonnet و ADS محاسبه می نماییم. شمای ترانسفورمر شبیه سازی شده در Sonnet شکل ۱۷ نشان داده شده است.

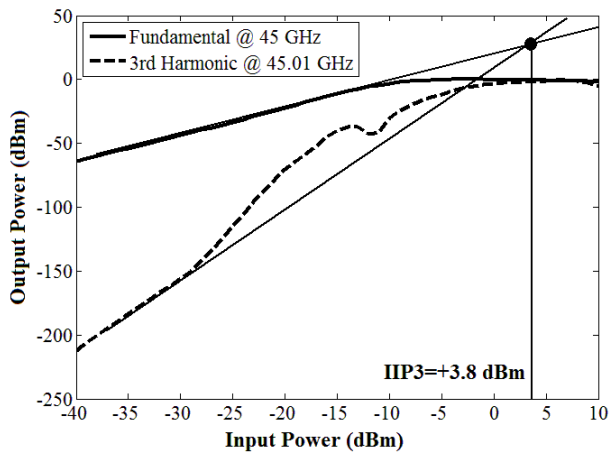
مقدار ضریب کیفیت هر یک از دوره های ترانسفورمر با توجه به نتایج حاصل از نرم افزار Sonnet در طول پهنای باند تقریباً از ۱۲ تا ۱۵ متغیر است. همچنین مقدار ضریب تزویج با توجه به فاصله بین دوره های ترانسفورمر نشان داده شده در شکل ۱۷ تقریباً برابر ۰/۷ است. اندازه عناصر مدار در جدول ۱ آورده شده است. همچنین جانمایی مربوط به تقویت کننده در شکل ۱۸ نشان داده شده است. همان طور که مشاهده می کنیم ابعاد تقویت کننده برابر $۶۲۴ \times ۴۹۳ \mu m^2$ است. پارامترهای پراکندگی و عدد نویز LNA مورد نظر در شکل های ۱۹ و ۲۰ نشان داده شده است. با توجه به این شکل ها مقدار بهره تقریباً ۹dB می باشد. مقدار کمینه عدد نویز در فرکانس ۴۵GHz برابر ۴dB است. مقادیر S₁₁ و S₂₂ در سرتاسر پهنای باند کم تر از -۱۰dB است. مقدار IIP3 شبیه سازی شده برای ساختار پیشنهادی در حالت M₃ خاموش و روشن به ترتیب در شکل های ۲۱ و ۲۲ نشان داده شده است. همان طور که مشاهده می کنیم با استفاده از ترانزیستور M₃ مقدار IIP3 به میزان YdBm بهبود داشته است.



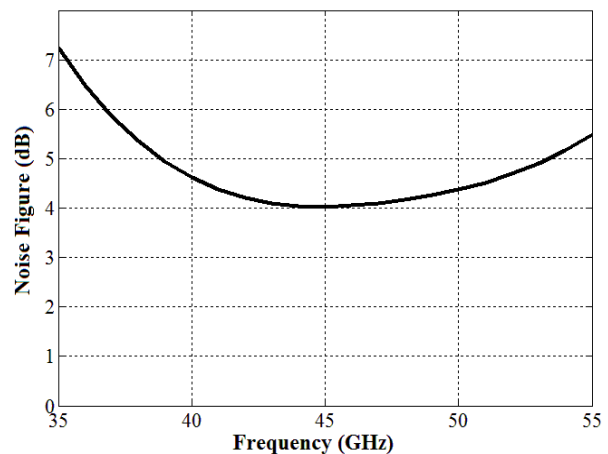
شکل ۱۷: شمای ترانسفورمر استفاده شده

جدول ۲: خلاصه نتایج شبیه سازی ساختار پیشنهادی و مقایسه با کارهای مشابه

Ref.	Tech. (nm)	Topology	S ₂₁ (dB)	S ₁₂ (dB)	NF (dB)	Power (mW)	BW(GHz)	IIP3 (dBm)
[۶]	۹۰	3-stage CS	۱۱/۳	N/A	۴/۸	۱۰/۸	۵۸-۶۵	۰
[۹]	۱۸۰	3-stage Cascode	۱۵	-۵۷	۷/۵	۳۶	۴۰	-۸
[۱۰]	۱۸۰	3-stage CS	۸/۹	-۳۲/۵	۶/۹	۵۴	۲۶	۲/۸
[۱۲]	۶۵	2-stage Cascode	۱۶	-۴۰	۴/۵	۱۰	۴۸-۶۱	-۹/۵
[۱۳]	۱۳۰	2-stage CS+ 1-stage Cascode	۱۴	-۳۶/۱	۶/۱	۱۰/۶	۵۰-۵۴/۵	-۹
[۱۴]	۱۳۰	3-stage Cascode	۲۱	N/A	۷/۶	۱۵/۱	۳۸-۴۲	-۱۶
[۱۵]	۹۰	3-stage Cascode	۱۱/۵	-۲۳	<۵	۱۶/۵	۵۰-۵۸	-۶/۸
This work	۱۸۰	1-stage CS+ 1-stage Cascode	۹	-۲۱	۴	۶/۸	۴۰-۵۰	+۳/۸



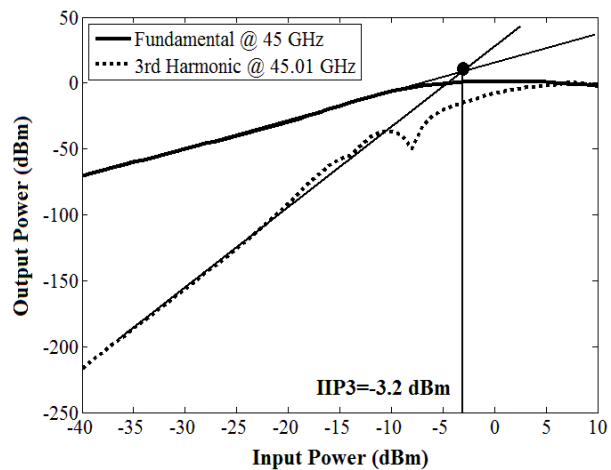
شکل ۲۲: مقدار IIP3 شبیه سازی شده در حالت M₃ روشن



شکل ۲۰: عدد نویز شبیه سازی شده

۵- نتیجه گیری

در این مقاله یک تقویت کننده کم نویز کسکود ولتاژ پایین با خطیگی بالا با استفاده از روش تزویج مغناطیسی پیشنهاد شده است. با استفاده از این ساختار قادر خواهیم بود خطیگی و عدد نویز ساختار کسکود پایه را در باند موج میلی متری بهبود دهیم. تقویت کننده پیشنهادی با استفاده از تکنولوژی CMOS ۰/۱۸μm شبیه سازی شده است. این تقویت کننده دارای بهره ۹ dB و عدد نویز ۴dB در فرکانس ۴۵GHz است. این LNA در مقایسه با ساختارهای طراحی شده دیگر در باند فرکانسی ۴۵GHz دارای خطیگی بالا و عدد نویز کمتری می باشد. توان مصرفی با استفاده از ولتاژ منبع تغذیه ۰/۶ ولت تقریباً ۶/۸mW است. نتایج در جدول ۲ آورده شده و با مقالات مشابه مقایسه شده است.



شکل ۲۱: مقدار IIP3 شبیه سازی شده در حالت M₃ خاموش

مراجع

- feedback for noise, gain, and linearity optimization," *IEEE Transactions on Microwave Theory and Techniques*, vol. 60, pp. 3169-3178, 2012.
- [9] H. H. Hsieh and L. H. Lu, "A 40-GHz low-noise amplifier with a positive-feedback network in 0.18-CMOS," *IEEE Transactions on Microwave Theory and Techniques*, vol. 57, pp. 1895-1902, 2009.
- [10] K. W. Yu, Y. L. Lu, D. C. Chang, V. Liang and M. F. Chang, "K-band low-noise amplifiers using 0.18 μm CMOS technology," *IEEE Microwave and Wireless Components Letters*, vol. 14, pp. 106-108, 2004.
- [11] S. Kang, B. Choi and B. Kim, "Linearity analysis of CMOS for RF application," *IEEE Transactions on Microwave Theory and Techniques*, vol. 51, pp. 972-977, 2003.
- [12] B. Huang Jr, K.-Y. Lin and H. Wang, "Millimeter-wave low power and miniature CMOS multicascode low-noise amplifiers with noise reduction topology," *IEEE Transactions on Microwave Theory and Techniques*, vol. 57, pp. 3049-3059, 2009.
- [13] H. Y. Yang, Y. S. Lin and C. Chen Chen, "A low-power V-band CMOS low-noise amplifier using current-sharing technique," *Microwave and Optical Technology Letters*, vol. 50, pp. 1876-1879, 2008.
- [14] C. C. Huang, H. C. Kuo, T. H. Huang and H. R. Chuang "Low-power, high-gain V-band CMOS low noise amplifier for microwave radiometer applications," *IEEE Microwave and Wireless Components Letters*, vol. 21, pp. 104-106, 2011.
- [15] T. Yao, M. Q. Gordon, K. K. Tang, K. H. Yau, M.-T. Yang, P. Schvan, *et al*, "Algorithmic design of CMOS LNAs and PAs for 60-GHz radio," *IEEE Journal of Solid-State Circuits*, vol. 42, pp. 1044-1057, 2007.
- [1] W. Haiming, H. Wei, C. Jixin, S. Bo and P. Xiaoming. "IEEE 802.11aj (45GHz): A new very high throughput millimeter-wave WLAN system," *In Communications, China*, vol. 11, no. 6, pp. 51-62, 2014.
- [2] MIT. The Usage of 40-50 GHz Frequency Band for Mobile Services in Broadband Wireless Access Systems[R].n15635784, 2013.
- [3] S. Arshad, R. Ramzan and F. Zafar, "Highly linear inductively degenerated 0.13 μm CMOS LNA using FDC technique," *IEEE Asia Pacific Conference on Circuits and Systems*, pp. 225-228, 2014.
- [4] Y. M. Kim, H. Han and T. W. Kim, "A 0.6-V+ 4 dBm IIP3 LC folded cascode CMOS LNA with g m linearization," *IEEE Transactions on Circuits and Systems II: Express Briefs*, vol. 60, pp. 122-126, 2013.
- [5] J. Y. Bae, S. Kim, H. S. Cho, I. Y. Lee, D. S. Ha and S. G. Lee, "A CMOS wideband highly linear low-noise amplifier for digital TV applications," *IEEE Transactions on Microwave Theory and Techniques*, vol. 61, pp. 3700-3711, 2013.
- [6] W. T. Li, J. H. Tsai, H. Y. Yang, W. H. Chou, S. B. Gea, H. C. Lu *et al*, "Parasitic-insensitive linearization methods for 60-GHz 90-nm CMOS LNAs," *IEEE Transactions on Microwave Theory and Techniques*, vol. 60, pp. 2512-2523, 2012.
- [7] H. C. Yeh, C. C. Chiong, S. Aloui and H. Wang, "Analysis and design of millimeter-wave low-voltage CMOS cascode LNA with magnetic coupled technique," *IEEE Transactions on Microwave Theory and Techniques*, vol. 60, pp. 4066-4079, 2012.
- [8] S. Woo, W. Kim, C. H. Lee, H. Kim and J. Laskar, "A wideband low-power CMOS LNA with positive-negative