

دومینو مبتنی بر مقایسه جریان ارتقاء یافته برای طراحی گیت‌های عریض توان پایین

محمد آسیایی^۱، استادیار

۱- دانشکده فنی و مهندسی - دانشگاه دامغان - دامغان - ایران - m.asyaei@du.ac.ir

چکیده: در این مقاله یک مدار دومینو جدید برای کاهش توان مصرفی گیت‌های عریض بدون کاهش چشم‌گیر سرعت پیشنهاد می‌شود. در تکنیک مداری پیشنهادی از مقایسه جریان شبکه پایین‌کش با جریان مرجع جهت تولید خروجی مناسب استفاده می‌شود. بدین طریق دامنه تغییرات دو سر شبکه پایین‌کش کم شده و توان مصرفی کاهش می‌یابد. همچنین از یک ترانزیستور در حالت دیودی به صورت سری با شبکه پایین‌کش استفاده شده است تا جریان نشتی زیر آستانه کاهش و مصونیت در برابر نویز افزایش یابد. شبیه‌سازی گیت‌های OR عریض با استفاده از نرم‌افزار HSPICE در فناوری ۹۰ نانومتر CMOS انجام شده است. نتایج شبیه‌سازی گیت‌های OR ۶۴ بیتی در تأخیر یکسان، ۳۹٪ کاهش توان و ۲/۱ برابر بهبود مصونیت در برابر نویز را نسبت به مدار دومینو استاندارد نشان می‌دهند.

واژه‌های کلیدی: منطق دومینو، گیت‌های عریض، جریان نشتی، مصونیت در برابر نویز.

Enhanced Current Comparison Based Domino for Design of Low Power Wide Fan-In Gates

M. Asyaei¹, Assistant Professor

1- School of Engineering, University of Damghan, Damghan, Iran, Email: m.asyaei@du.ac.ir

Abstract: In this paper, a new domino circuit is proposed to reduce power consumption of wide fan-in gates without considerable speed degradation. In the proposed domino circuit technique, current of the pull-down network is compared with a reference current to generate the proper output voltage. In this way, voltage swing of the pull-down network can be decreased to reduce power consumption. Moreover, a transistor in diode configuration is employed in series with the pull-down network to decrease the sub-threshold leakage current and increase the noise immunity. Simulation of wide fan-in OR gates are performed using HSPICE simulator in a 90nm CMOS technology model. Simulation results demonstrate 39% power reduction and 2.1× noise-immunity improvement at the same delay compared to the standard domino circuit for 64-bit OR gates.

Keywords: Domino logic, wide fan-in gates, leakage current, noise immunity.

تاریخ ارسال مقاله: ۱۳۹۴/۱۲/۲۳

تاریخ اصلاح مقاله: ۱۳۹۵/۰۲/۱۹

تاریخ پذیرش مقاله: ۱۳۹۵/۰۴/۲۰

نام نویسنده مسئول: محمد آسیایی

نشانی نویسنده مسئول: ایران - دامغان - میدان دانشگاه - دانشگاه دامغان - دانشکده فنی و مهندسی.

۱- مقدمه

ارزیابی زیاد می‌کند که به نوبه خود باعث افزایش توان مصرفی و کاهش عملکرد مدار می‌گردد. بنابراین افزایش اندازه ترانزیستور نگه‌دارنده به منظور بهبود مصونیت در برابر نویز، مصالحه‌ای بین توان مصرفی و تأخیر را به همراه خواهد داشت. از این رو نسبت نگه‌دارنده (K) به صورت زیر تعریف می‌شود:

$$K = \frac{\mu_p \left(\frac{W}{L}\right)_{\text{Keeper-transistor}}}{\mu_n \left(\frac{W}{L}\right)_{\text{Pull-Down-Network}}} \quad (1)$$

که W طول و L عرض ترانزیستور، μ_p و μ_n به ترتیب قابلیت تحرک الکترون و حفره می‌باشند. بدین ترتیب با تغییر K می‌توان به پارامترهای مورد نظر در طراحی دست یافت.

جهت بهبود پارامترهای طراحی، تکنیک‌های مداری مختلفی در متون علمی معرفی شدند که عمدتاً به دو گروه دسته‌بندی می‌شوند. تکنیک‌های مداری در گروه اول، مدار مربوط به ترانزیستور نگه‌دارنده را تغییر می‌دهند [۷-۵]. از سوی دیگر، تکنیک‌های مداری گروه دوم، توپولوژی مدار ترانزیستور پایه یا شبکه ارزیابی را تغییر می‌دهند [۱۰-۸]. هدف کلی این طرح‌های مداری، افزایش مصونیت در برابر نویز، بهبود سرعت و یا کاهش توان مصرفی گیت‌های عریض است. باین وجود، این طرح‌ها دارای معایبی مانند افزایش سطح مصرفی تراشه می‌باشند.

یکی از این تکنیک‌های مداری، منطق دومینو با نگه‌دارنده شرطی (CKD) است که مطابق شکل ۲ (الف) از تأخیر ساعت برای کنترل ترانزیستور نگه‌دارنده استفاده می‌کند [۵]. مدار نگه‌دارنده آن شامل یک ترانزیستور نگه‌دارنده کوچک و یک ترانزیستور نگه‌دارنده بزرگ است. بدین ترتیب حالت گره دینامیکی در ابتدای فاز ارزیابی توسط K_1 و در مابقی این فاز توسط K_2 حفظ می‌شود. باین وجود مدار CKD دارای یک سری معایب از قبیل محدودیت در کاهش تأخیر معکوس‌کننده‌ها و گیت NAND جهت بهبود مصونیت در برابر نویز است.

منطق دومینو با سرعت بالا (HSD) مدار دیگری است که مطابق شکل ۲ (ب) دارای طرح متفاوتی برای کنترل نگه‌دارنده با استفاده از تأخیر ساعت است [۶]. در این حالت اگر خروجی در طی فاز ارزیابی در سطح پایین باقی مانده باشد، ترانزیستور نگه‌دارنده به وسیله ترانزیستور M_{n1} روشن می‌شود و در غیر این صورت خاموش می‌ماند. عیب بزرگ تکنیک مداری HSD این است که در ابتدای فاز ارزیابی ترانزیستور نگه‌دارنده خاموش بوده و گره دینامیکی شناور است. اگرچه با این کار سرعت زیاد شود اما هرگونه نویزی در ابتدای فاز ارزیابی می‌تواند باعث دشارژ گره دینامیکی گردد.

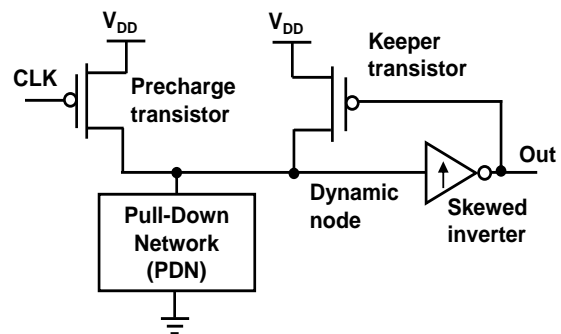
منطق دومینو LCR، که در شکل ۲ (پ) نشان داده شده است، از ترانزیستور نگه‌دارنده با المثنی جریان نشستی استفاده کرده است تا بتواند تغییرات فرآیند، ولتاژ و دما را دنبال نماید [۷]. در این مدار،

بسیاری از کاربردها به طور گسترده از منطق پویا مانند منطق دومینو برای دستیابی به عملکرد بالا استفاده می‌کنند چراکه خانواده‌های منطقی از نوع ایستا نمی‌توانند به چنین عملکردهایی برسند [۱]. باین وجود، مشکل اصلی خانواده‌های منطقی پویا این است که در مقایسه با خانواده‌های منطقی ایستا بسیار حساس به نویز هستند. از سوی دیگر با کاهش مقیاس فناوری، ولتاژ تغذیه و ولتاژ آستانه ترانزیستورها کاهش می‌یابد تا با توان مصرفی کمتر، عملکرد بالاتری حاصل شود. باین حال کاهش ولتاژ آستانه باعث افزایش نمایی جریان نشستی زیر آستانه و در نتیجه کاهش بیشتر مصونیت در برابر نویز می‌گردد. بنابراین کاهش جریان نشستی و بهبود مصونیت در برابر نویز در فناوری‌های جدید به موضوع مهمی در طراحی مدارهای با عملکرد بالا مخصوصاً در گیت‌های عریض (با درون‌دهی بالا) تبدیل شده‌اند [۲، ۳].

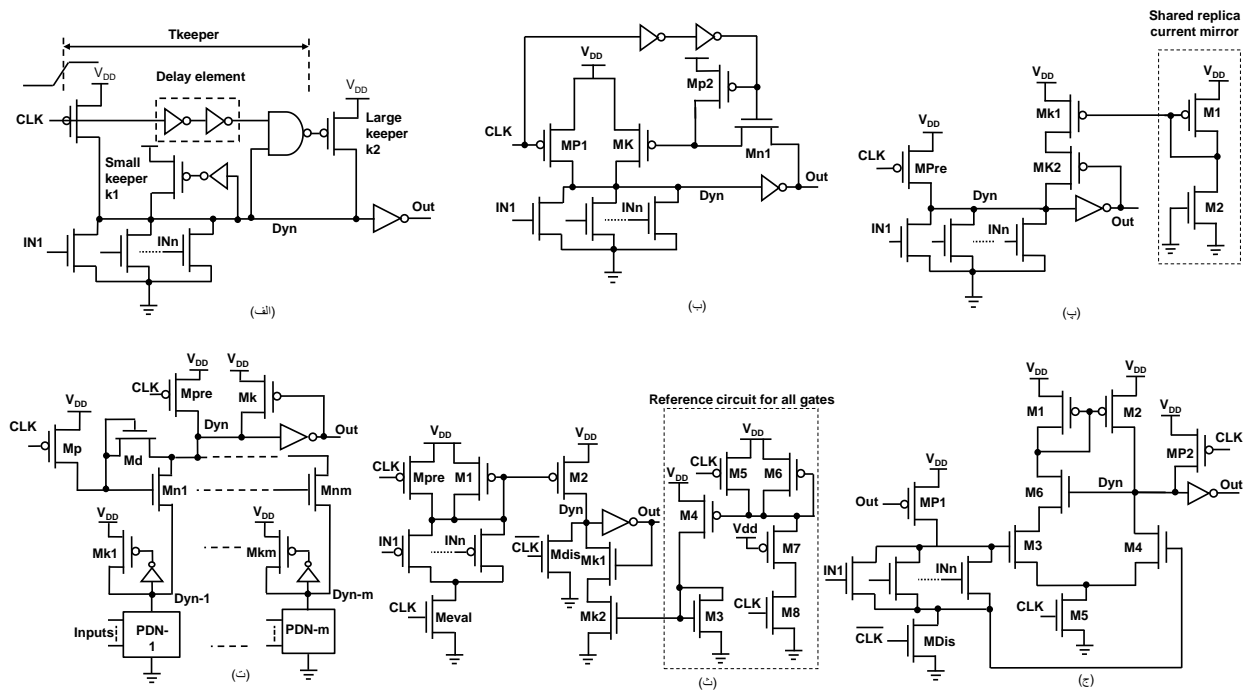
گیت‌های عریض کاربردهای فراوانی دارند به عنوان مثال در مسیر خواندن رجیستر فایل‌ها، PLAها، خطوط انطباقی در حافظه‌های با آدرس‌پذیری محتوایی (CAM)^۲، مقایسه‌کننده‌های نشان^۲ مورد استفاده در حافظه‌های نهان^۴، مالتی‌پلکسر و دی‌مالتی‌پلکسرهای عریض استفاده می‌شوند [۴]. بنابراین طراحی گیت‌های عریض با کارایی بالا نقش مهمی در طراحی ریزپردازنده‌های جدید دارد.

یکی از خانواده‌های منطقی معروف برای پیاده‌سازی گیت‌های عریض، منطق دومینو است. در شکل ۱ مدار دومینو استاندارد بدون ترانزیستور پایه (SFLD)^۵ نشان داده شده است که از ترانزیستورهای پیش‌بار و نگه‌دارنده^۶ به ترتیب برای شارژ گره دینامیکی و حفظ سطح ولتاژ آن استفاده می‌کند.

موضوع مهمی که در مورد مدارهای دومینو باید به آن توجه داشت، مسئله کاهش مصونیت در برابر نویز است. این مسئله مخصوصاً در فناوری‌های بسیار زیر میکرون (DSM)^۷ که جریان نشستی افزایش قابل توجهی دارد، حادث می‌شود. یکی از روش‌های بهبود استحکام و مصونیت در برابر نویز مدارهای دومینو، افزایش اندازه ترانزیستور نگه‌دارنده در شکل ۱ است. باین حال افزایش اندازه ترانزیستور نگه‌دارنده، تنازع^۸ بین ترانزیستور نگه‌دارنده و شبکه پایین کش را در فاز



شکل ۱: مدار دومینو استاندارد بدون ترانزیستور پایه (SFLD)



شکل ۲: گیت‌های عریض با استفاده از (الف) CKD [۵]، (ب) HSD [۶]، (پ) LCR [۷]، (ت) DPD [۸]، (ث) CCD [۹]، (ج) VCD [۱۰]

مصرفی کم می‌گردد. همچنین جهت افزایش سرعت از یک تقویت‌کننده تفاضلی استفاده شده است. تعداد ترانزیستور زیاد، طراحی دشوار تقویت‌کننده آنالوگ و جریان ایستای بالا از معایب این مدار است.

در این مقاله، یک تکنیک مداری برای افزایش مصونیت در برابر نویز و کاهش توان مصرفی گیت‌های عریض پیشنهاد می‌شود که مبتنی بر مقایسه جریان شبکه پایین‌کش با جریان مرجع است. کاهش توان مصرفی با استفاده از کاهش نوسان ولتاژ گره‌های دارای ظرفیت خازنی بالا و نیز کاهش جریان نشتی صورت می‌پذیرد. ساختار مقاله به شرح زیر است.

مدار دومینو پیشنهادی در بخش ۲ توصیف و تحلیل می‌شود. در بخش ۳ نتایج شبیه‌سازی‌ها ارائه و مقایسه می‌شوند و در نهایت در بخش ۴ به جمع‌بندی مقاله پرداخته می‌شود.

۲- مدار دومینو پیشنهادی

مدار دومینو پیشنهادی که مبتنی بر مقایسه جریان است در شکل ۳ و شکل موج‌های مربوط به آن در شکل ۴ نشان داده شده است. این مدار با تکنیک‌های مداری که در مراجع [۹، ۱۰] ارائه شدند متفاوت است که در ادامه به تفاوت آن‌ها با مدار پیشنهادی پرداخته می‌شود. در واقع مدار پیشنهادی، نوع ارتقاءیافته طرح CCD در مرجع [۹] می‌باشد که معایب آن برطرف شده است. به همین دلیل دومینو مبتنی بر مقایسه جریان ارتقاءیافته (ECCD) نام‌گذاری شده است. تغییرات صورت گرفته در مدار پیشنهادی نسبت به CCD به شرح زیر است.

میزان هدایت ترانزیستور نگه‌دارنده از طریق یک مدار آینه جریان آنالوگ که المثنی جریان نشتی شبکه پایین‌کش است، کنترل می‌شود. مدار دومینو قسمت‌شده دیودی (DPD) از دیودهای ارتقاءیافته برای پیاده‌سازی گیت‌های عریض استفاده می‌کند [۸]. گیت این دیودها نسبت به دیودهای NMOS معمولی ولتاژ بیشتری دارد تا تأخیر گیت‌های عریض را کم کند. همان‌طور که در شکل ۲ (ت) نشان داده شده است، این تکنیک مداری، خازن پارازیتی گره دینامیکی گیت‌های عریض را با قسمت‌بندی شبکه پایین‌کش به m شبکه کوچک‌تر و اتصال شبکه‌ها از طریق دیودهای ارتقاءیافته کاهش می‌دهد.

روش دیگری که برای کاهش نشتی و بهبود استحکام گیت‌های منطقی ارائه شد دومینو مبتنی بر مقایسه جریان (CCD) است [۹]. همان‌طور که در شکل ۲ (ث) نشان داده شده است، این تکنیک از ترانزیستورهای PMOS جهت پیاده‌سازی گیت‌های عریض استفاده می‌کند که نسبت به نوع NMOS کندتر هستند و مساحت بیشتری نیز اشغال می‌کنند. از دیگر معایب CCD این است که با منطق دومینو متداول سازگاری ندارد. به عبارت دیگر برعکس دومینو متداول، در فاز پیش‌بار گره خروجی CCD در سطح یک قرار می‌گیرد. بنابراین هنگام اتصال CCD به دومینو متداول باید از معکوس‌کننده‌های اضافی استفاده نمود. راه‌حل ساده‌تر این است که از گره دینامیکی دومینو متداول به عنوان ورودی برای مدار CCD و از گره دینامیکی CCD نیز به عنوان ورودی برای مدار دومینو متداول استفاده نمود.

در دومینو مبتنی بر مقایسه ولتاژ (VCD) همان‌طور که در شکل ۲ (ج) نشان داده شده است، از مقایسه ولتاژهای دو سر شبکه پایین‌کش برای کاهش توان مصرفی استفاده شده است [۱۰]. بدین طریق دامنه تغییرات دو سر شبکه پایین‌کش کاهش می‌یابد و توان

تقویت‌کننده تفاضلی در طرح VCD همراه با محدودیت‌هایی از جمله حداقل ولتاژ تغذیه جهت کارکرد مناسب آن است. (۳) مدار پیشنهادی به دلیل داشتن مدار مرجع، بهتر از طرح VCD می‌تواند تغییرات فرآیند، ولتاژ و دما را دنبال کند. (۴) طرح VCD به‌ازای ورودی‌های صفر توان بیش‌تری مصرف می‌کند چراکه در این حالت به دلیل روشن بودن ترانزیستورهای سمت چپ تقویت‌کننده تفاضلی یک مسیر هدایت بین V_{DD} تا زمین به‌وجود می‌آید.

هدف اصلی مدار پیشنهادی، کاهش توان مصرفی و افزایش مصونیت در برابر نویز گیت‌های عریض است بدون اینکه تأخیر زیاد شود. برای طراحی گیت‌های توان پایین ابتدا باید به مؤلفه‌های مؤثر در توان مصرفی توجه داشت. توان تلفاتی در مدارهای دیجیتال CMOS از سه قسمت عمده تشکیل شده است: توان کلیدزنی ناشی از شارژ و دشارژ ظرفیت‌های خازنی گره‌های مدار، توان اتصال کوتاه ناشی از جریان‌های اتصال کوتاه و توان ایستا ناشی از جریان‌های نشتی. توان مصرفی هر گیت طبق معادله‌های زیر توصیف می‌شود [۱]:

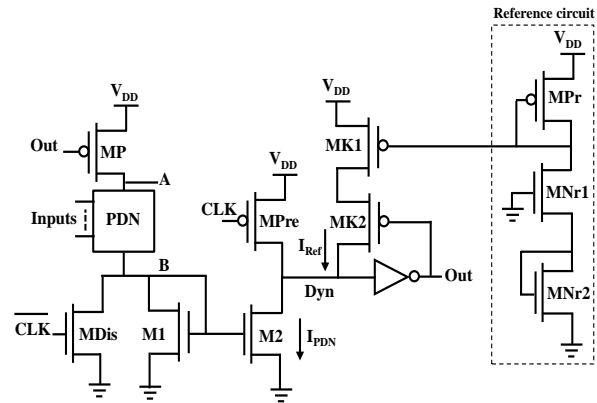
$$P_{Avg / gate} = P_{Switching} + P_{Short-circuit} + P_{Leakage} \quad (2)$$

$$= \alpha_{0 \rightarrow 1} C_L V_{Swing} V_{DD} f_{clk} + I_{SC} V_{DD} + I_{Leakage} V_{DD} \quad (3)$$

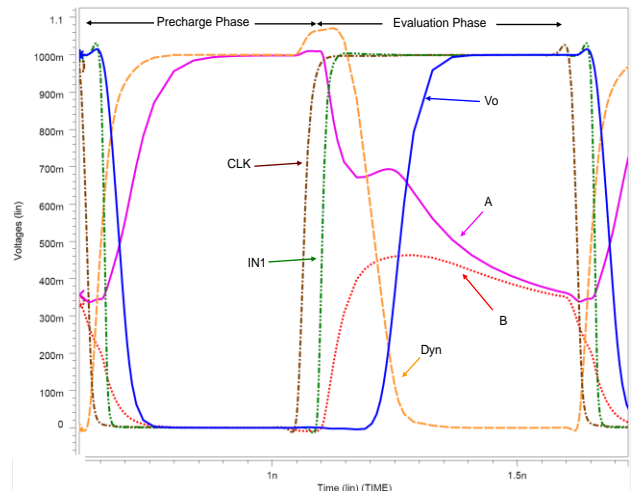
قسمت اول توان مصرفی یعنی $P_{Switching}$ بیانگر مؤلفه کلیدزنی توان است که در آن C_L ظرفیت خازنی، V_{Swing} مقدار نوسان ولتاژ، f_{clk} فرکانس ساعت و $\alpha_{0 \rightarrow 1}$ فاکتور فعالیت گذر گره است. این مؤلفه توان مصرفی هنگامی به‌وجود می‌آید که بار خازنی مدار از طریق ترانزیستورهای PMOS با گذر از سطح صفر به یک شارژ می‌شود.

عامل ایجادکننده جمله دوم ($P_{Short-circuit}$) جریان اتصال کوتاه ناشی از ایجاد مسیر مستقیم بین منبع ولتاژ و زمین است. جمله آخر ($P_{Leakage}$) نیز ناشی از جریان نشتی ($I_{Leakage}$) است که شامل جریان‌های نشتی گیت، زیرلایه و زیرآستانه می‌باشد و عمدتاً توسط ملاحظات فناوری ساخت تعیین می‌شوند [۳]. جریان نشتی مخصوصاً جریان نشتی زیرآستانه به‌طور چشم‌گیری با کوچک شدن طول کانال در فناوری‌های جدید زیاد می‌شود که در نتیجه آن مصونیت در برابر نویز و استحکام مداری کم می‌گردد.

با توجه به معادله (۳) یکی از پارامترهای مهم در توان کلیدزنی گیت‌های منطقی، میزان نوسان ولتاژ گره سوئیچ‌شونده مدارهای دومینو است. بنابراین اگر میزان نوسان ولتاژ کم گردد، توان مصرفی مخصوصاً در گیت‌های عریض به‌طور قابل‌توجهی کاهش می‌یابد. به‌همین دلیل در مدار پیشنهادی از کاهش نوسان ولتاژ گره دارای ظرفیت خازنی بالا (گره A در شکل ۳) جهت کاهش توان کلیدزنی استفاده شده است. باید توجه داشت در مدار دومینو استاندارد (شکل ۱)، شبکه پایین‌کش به ورودی معکوس‌کننده متصل است. به‌همین دلیل نوسان ولتاژ دو سر شبکه پایین‌کش باید به‌اندازه ولتاژ تغذیه باشد. در غیر این صورت، توان مصرفی معکوس‌کننده به دلیل روشن بودن هر دو ترانزیستور آن افزایش می‌یابد. اما در مدار دومینو پیشنهادی، ورودی معکوس‌کننده از شبکه پایین‌کش جدا شده است و به همین دلیل ولتاژ دو سر شبکه پایین‌کش



شکل ۳: مدار دومینو پیشنهادی (ECCD)



شکل ۴: شکل موج‌های مربوط به مدار دومینو پیشنهادی

(۱) از ترانزیستورهای NMOS بجای PMOS در شبکه پایین‌کش استفاده شده است که هم سرعت را افزایش می‌دهند و هم مساحت کم‌تری را اشغال می‌کنند. (۲) مدار مرجع ساده‌تر شده و به‌همین علت تغییرات فرآیند، ولتاژ و دما سریع‌تر دنبال می‌شود. (۳) همان‌طور که در بخش ۲ اشاره شد CCD سازگار با منطق دومینو متداول نیست که این مشکل در مدار پیشنهادی برطرف شده است. (۴) گیت ترانزیستور سری با شبکه پایین‌کش به‌جای سیگنال ساعت به خروجی متصل شده تا در صورت تغییر حالت خروجی ارتباط شبکه پایین‌کش با خطوط تغذیه قطع و توان مصرفی کاهش یابد. با این ترفند بار خازنی شبکه ساعت و توان مربوط به آن نیز کم می‌شود چون به‌اندازه یک ترانزیستور در هر گیت از باری که شبکه توزیع ساعت باید راه‌اندازی کند کم‌تر شده است. همچنین مدار پیشنهادی در مقایسه با مدار ارائه‌شده در مرجع [۱۰] (VCD) دارای مزایای زیر است.

(۱) تعداد ترانزیستور مورد استفاده کم‌تر بوده و بدین ترتیب سطح مصرفی کم‌تری اشغال می‌کند. باید توجه داشت که مدار مرجع در طرح پیشنهادی بین گیت‌های مختلف مشترک است و بنابراین در محاسبه تعداد ترانزیستور لحاظ نمی‌شود. همچنین ابعاد ترانزیستورهای تقویت‌کننده تفاضلی در طرح VCD بزرگ‌تر می‌باشند. (۲) تعیین اندازه مدار پیشنهادی نسبت به طرح VCD ساده‌تر است زیرا طراحی

می‌تواند نوسانی کم‌تر از V_{DD} داشته باشد.

به ترتیب به وسیله ترانزیستورهای M_P و M_{Pre} تا V_{DD} شارژ می‌شوند. همچنین گره‌های B و Out به وسیله ترانزیستور M_{Dis} و معکوس‌کننده خروجی در سطح صفر قرار می‌گیرند. بنابراین ترانزیستورهای M_{K1} ، M_{K2} ، M_P ، M_{Pre} و M_{Dis} روشن هستند.

۲-۲- فاز ارزیابی

در این فاز، سیگنال ساعت در سطح یک و مکمل آن در سطح صفر قرار دارد ($CLK = '1', \overline{CLK} = '0'$) و ترانزیستورهای M_{Pre} و M_{Dis} خاموش می‌باشند. با توجه به سیگنال‌های ورودی، ولتاژ گره B ممکن است افزایش یافته یا در سطح صفر باقی بماند. بنابراین ترانزیستورهای M_1 و M_2 با توجه به سطح ولتاژ سیگنال‌های ورودی ممکن است روشن بشوند یا خاموش بمانند. ترانزیستور M_{K2} نیز ممکن است خاموش شده یا روشن بماند.

در فاز ارزیابی با توجه به سیگنال‌های ورودی دو حالت کاری ممکن است اتفاق بیفتد. (۱) هیچ مسیر هدایتی از گره A تا گره B وجود نداشته باشد که در این صورت تنها جریان موجود در شبکه پایین‌کش، جریان نشستی است. در این حالت، جریان مرجع از جریان شبکه پایین‌کش بیش‌تر است که در نتیجه خروجی تغییر نمی‌کند. (۲) اگر حداقل یک مسیر هدایت وجود داشته باشد (مثلاً یک ورودی در گیت OR در سطح یک باشد)، گره A دشارژ و گره B شارژ می‌شود. بدین ترتیب همان‌طور که در شکل ۴ نشان داده شده است، پس از مدتی ولتاژ گره‌های A و B باهم مساوی می‌شوند. در این حالت جریان مرجع از جریان شبکه پایین‌کش کمتر است که در نتیجه گره Dyn دشارژ و گره خروجی تا V_{DD} شارژ می‌شود.

باید توجه داشت که در حالت اول به‌خاطر وجود جریان نشستی زیرآستانه ولتاژ گره B کمی افزایش می‌یابد اما این افزایش بسیار کم و محدود است. زیرا به دلیل اثر بدنه، ولتاژ آستانه ترانزیستورهای شبکه پایین‌کش زیاد می‌شود. همچنین به دلیل وجود مقداری ولتاژ در گره B ، ولتاژ گیت - سورس ترانزیستورهای شبکه پایین‌کش منفی می‌گردد. بدین ترتیب جریان نشستی زیرآستانه شبکه پایین‌کش کم شده و ولتاژ گره B افزایش چندانی نمی‌یابد تا بتواند اثر مخربی بر کارکرد مدار داشته باشد.

۳- نتایج شبیه‌سازی

تکنیک‌های مداری مورد مطالعه و مدار پیشنهادی با استفاده از نرم‌افزار HSPICE و مدل فناوری CMOS 90nm شبیه‌سازی شدند. ولتاژ تغذیه ۱۷ و دمای کاری $110^\circ C$ است. گیت‌های OR با ۸، ۱۶، ۳۲ و ۶۴ ورودی به ترتیب با تأخیرهای ۷۰، ۸۰، ۹۰ و ۱۱۰ پیکوثانیه با استفاده از مدارهای مورد مطالعه و مدار پیشنهادی پیاده‌سازی شدند. از قالب کاری مورد استفاده در [۱۲] به‌عنوان معیاری جهت پیاده‌سازی و شبیه‌سازی مدارها استفاده شده است. همچنین خازن بار خروجی ۵ فمتوفاراد قرار داده شده است تا بار خازنی ناشی از برون‌دهی بالا لحاظ شود.

همچنین با توجه به شکل ۳، ولتاژ آستانه ترانزیستورهای شبکه پایین‌کش به دلیل اتصال سورس آن‌ها به گیت ترانزیستور M_1 و اثر بدنه افزایش می‌یابد. بدین ترتیب ولتاژ آستانه کلیدزنی گیت حدوداً دو برابر ولتاژ آستانه ترانزیستورهای شبکه پایین‌کش ($2V_m$) می‌شود [۱۱]. از سوی دیگر به دلیل اثر پشته، جریان نشستی زیر آستانه و در نتیجه توان نشستی کم می‌گردد [۳]. کاهش جریان نشستی نیز باعث افزایش مصنوعیت در برابر نویز می‌شود.

بنا بر آنچه گفته شد توان مصرفی مدار پیشنهادی با کاهش نوسان ولتاژ و کاهش جریان نشستی به‌طور چشم‌گیری کم می‌شود. به‌علاوه با کاهش جریان نشستی، مصنوعیت در برابر نویز مدار پیشنهادی نیز بهبود می‌یابد.

با توجه به شکل ۳ برای عملکرد درست مدار دومینو پیشنهادی، جریان شبکه پایین‌کش ($IPDN$) با جریان مرجع (I_{Ref}) مقایسه می‌شود تا خروجی مناسب فراهم شود. اگر جریان مرجع از جریان شبکه پایین‌کش بیش‌تر باشد، خروجی در سطح صفر باقی می‌ماند و در غیر این صورت تا V_{DD} شارژ می‌شود.

جریان مرجع با توجه به جریان نشستی شبکه پایین‌کش تولید می‌شود و در واقع المثنی جریان نشستی شبکه پایین‌کش است. بدین ترتیب با استفاده از جریان مرجع، اثرات مربوط به تغییرات فرآیند، ولتاژ تغذیه و دما^۹ کاهش می‌یابد.

مدار مرجع شامل ترانزیستورهای M_{Pr} ، M_{Nr1} و M_{Nr2} می‌باشد که برای همه گیت‌ها مشترک است و بنابراین سطح مصرفی تراشه را افزایش نمی‌دهد. برای تولید جریان مرجع متناسب با هر گیت از ترانزیستور M_{K1} استفاده شده است. اندازه این ترانزیستور با توجه به جریان نشستی ترانزیستور M_2 تعیین می‌گردد. جریان نشستی ترانزیستور M_2 نیز ضریبی از جریان نشستی شبکه پایین‌کش است. جریان نشستی شبکه پایین‌کش نیز به تعداد شاخه‌های موازی آن بستگی دارد. از آنجایی که نسبت اندازه ترانزیستورهای M_1 و M_2 روی تأخیر، توان مصرفی و استحکام مدار تأثیر دارد، نسبت آینه جریان M به‌صورت زیر تعریف می‌گردد:

$$M = \frac{\left(\frac{W}{L}\right)_{M_2}}{\left(\frac{W}{L}\right)_{M_1}} \quad (4)$$

بدین ترتیب با تغییر M می‌توان به پارامترهای مورد نظر طراحی رسید به‌طوری‌که افزایش M باعث افزایش سرعت و کاهش استحکام مدار می‌گردد.

با توجه به مدار پیشنهادی در شکل ۳، دو فاز کاری مدار به شرح زیر می‌باشد:

۲-۱- فاز پیش‌بار

در این فاز، سیگنال ساعت در سطح صفر و مکمل آن در سطح یک قرار دارد ($CLK = '1', \overline{CLK} = '0'$). بنابراین گره‌های A و Dyn

در دومینو قسمت شده با دیود (DPD)، با توجه به نتایج گزارش شده در [۸]، شبکه پایین کش به شبکه های کوچک تر با تعداد شاخه های موازی چهار تایی تقسیم شده است تا بهترین نتیجه به دست آید. همه معکوس کننده ها و طول ترانزیستور نگه دارنده اصلی (M_k) دارای حداقل اندازه می باشند. تأخیر مطلوب با تغییر اندازه ترانزیستورهای نگه دارنده و پیش بار به دست می آید.

روش مشابه با آنچه برای دومینو دارای نگه دارنده با المثنی جریان نشتی (LCR) استفاده شد، برای گیت هایی که با تکنیک دومینو مبتنی بر مقایسه جریان (CCD) پیاده سازی شدند استفاده می شود.

در مدار مبتنی بر مقایسه ولتاژ (VCD)، طول ترانزیستورهای M_2 ، M_{Dis} و M_3 افزایش داده شدند تا توان مصرفی کاهش یابد. همچنین عرض ترانزیستورهای M_4 و M_5 تغییر داده شدند تا تأخیر مورد نظر حاصل شود.

در مدار دومینو پیشنهادی (ECCD) جهت تغییر نسبت آینه جریان (M در معادله (۴)) و رسیدن به تأخیر مورد نظر، عرض ترانزیستور M_2 تغییر داده می شود. عرض ترانزیستورهای مدار مرجع طوری انتخاب می شوند که جریان نشتی آن معادل با جریان نشتی گیت OR با 32 ورودی شود. با تغییر عرض ترانزیستور M_{k1} می توان جریان نشتی متناسب با هر گیت را ایجاد کرد و به مصونیت در برابر نویز مطلوب رسید. باید توجه داشت اگرچه افزایش عرض ترانزیستور M_{k1} باعث افزایش مصونیت در برابر نویز می شود اما موجب ازدیاد تأخیر و توان مصرفی نیز می گردد. طول و عرض سایر ترانزیستورها نیز برابر با مقادیر حداقل قرار داده شده است.

۳-۲- مصونیت در برابر نویز، توان مصرفی و معیار شایستگی

برای مقایسه مصونیت در برابر نویز مدارها از بهره نویز واحد (UNG) استفاده می شود که طبق تعریف برابر است با دامنه ولتاژ نویز ورودی که باعث می گردد نویز با دامنه ولتاژ یکسانی در خروجی ظاهر شود [۱۳]. این معیار به صورت زیر بیان می شود:

$$UNG = \{V_{in} : V_{noise} = V_{output}\} \quad (5)$$

در این روش با استفاده از یک پالس، نویز هم شنوایی در ورودی شبیه سازی می شود. در واقع UNG شدت نویز بحرانی در ورودی را نشان می دهد. به عبارت دیگر به دلیل رفتار غیرخطی تابع انتقال گیت های منطقی، هر پالس نویزی با دامنه بیش تر از UNG تقویت می شود.

از آنجایی که عرض پالس نویز ورودی و خروجی ممکن است با هم متفاوت باشند، به همین دلیل استفاده از این معیار خالی از اشکال نیست. روش بهتر، استفاده از متوسط ولتاژ است تا عرض پالس نیز در نظر گرفته شود. از این رو در این مقاله از متوسط نویز واحد (UNA) جهت بررسی مصونیت در برابر نویز مدارها استفاده شده است که برابر است با دامنه ولتاژ نویز ورودی که باعث می گردد متوسط ولتاژ نویز خروجی برابر با متوسط ولتاژ نویز ورودی شود. این معیار به صورت زیر تعریف می شود [۱۰]:

برای اندازه گیری عملکرد مدار، تأخیر بین سیگنال ورودی تا سیگنال خروجی گیت در حالتی اندازه گیری می شود که فقط یک ورودی تغییر کرده و سایر ورودی ها در حالت قبلی خود باقی می ماند. در همین شرایط، اندازه گیری توان مصرفی گیت انجام می شود.

۳-۱- تعیین اندازه ترانزیستورها

تکنیک های مداری مورد بررسی شامل: دومینو استاندارد بدون ترانزیستور پایه (SFLD) (شکل ۱)، دومینو با نگه دارنده شرطی (CKD) (شکل ۲ الف))، دومینو با سرعت بالا (HSD) (شکل ۲ ب))، دومینو با نگه دارنده دارای المثنی جریان نشتی (LCR) (شکل ۲ پ))، دومینو با دیود قسمت شده (DPD) (شکل ۲ ت))، دومینو مبتنی بر مقایسه جریان (CCD) (شکل ۲ ث))، مدار دومینو مبتنی بر مقایسه ولتاژ (VCD) (شکل ۲ ج)) و مدار دومینو پیشنهادی (شکل ۳) می باشند که جهت مقایسه با یکدیگر شبیه سازی می شوند.

در همه مدارها، عرض ترانزیستورهای شبکه پایین کش کمترین مقدار ممکن یعنی $W_{min} = 3L_{min}$ قرار داده شده است که L_{min} هم $90nm$ می باشد. نسبت عرض ترانزیستورهای PMOS به NMOS در معکوس کننده ها برابر با $2 \left(\frac{6L_{min}}{3L_{min}}\right)$ قرار داده شده است. طول همه ترانزیستورها و عرض سایر ترانزیستورها برابر با مقادیر مینیمم قرار داده شده و در صورت نیاز جهت رسیدن به تأخیر مورد نظر به شرح زیر تغییر داده شده اند.

اندازه ترانزیستور نگه دارنده دومینو استاندارد (SFLD)، از 0.1 تا 1 برابر اندازه ترانزیستورهای شبکه پایین کش تغییر داده می شود (افزایش نسبت K در معادله (۱)) تا داده های متفاوتی برای تأخیر و توان مصرفی به دست آید.

در دومینو با ترانزیستور نگه دارنده شرطی (CKD)، برای ترانزیستور نگه دارنده کوچک (K_1 در شکل ۲ الف)) حداقل اندازه انتخاب می شود. برای ترانزیستور نگه دارنده بزرگ (K_2) اندازه های مختلفی انتخاب می گردد تا داده های متفاوتی به دست آید. مصالحه بین عملکرد و استحکام در مدارهای با نگه دارنده شرطی از طریق افزایش اندازه معکوس کننده های مدار تأخیر (T_{keeper}) امکان پذیر است.

جهت رسیدن به تأخیرهای مورد نظر در گیت هایی که توسط دومینو سرعت بالا (HSD) شبیه سازی شدند، اندازه معکوس کننده های ایجاد کننده تأخیر، تغییر داده می شود به طوری که با افزایش اندازه آن ها تأخیر کم و بالعکس با کاهش اندازه آن ها تأخیر زیاد می شود. جهت رسیدن به تأخیر مطلوب، عرض ترانزیستور نگه دارنده M_k و ترانزیستورهای M_{n1} و M_{p1} در دومینو سرعت بالا تغییر داده شده اند.

طول ترانزیستورهای M_1 و M_{k1} در دومینو دارای نگه دارنده با المثنی جریان نشتی (LCR) افزایش داده شده تا مدولاسیون طول کانال و تغییرات ولتاژ آستانه کم شود [۱۷]. عرض ترانزیستور M_2 نیز برابر با جمع عرض ترانزیستورهای NMOS در شبکه پایین کش است. همچنین عرض ترانزیستورهای نگه دارنده برای رسیدن به تأخیر دلخواه تغییر داده می شود.

نیز می‌باشد از جمله اینکه توان مصرفی و تعداد ترانزیستور آن بیشتر است.

در جدول ۲ نیز مقایسه توان مصرفی مدارهای مورد بررسی بر حسب تعداد درون‌دهی نشان داده شده است. توان مصرفی مدارها در تأخیر یکسان به دست آمده‌اند و همگی به توان مصرفی مدار SFLD نرمالیزه شده‌اند. با توجه به این جدول، کاهش توان مصرفی مدار پیشنهادی نسبت به سایر مدارها مشهود است و نسبت به SFLD تا ۳۹٪ می‌باشد.

به منظور مقایسه منصفانه مدار پیشنهادی و مدارهای دومینو متداول با در نظر گرفتن همزمان پارامترهای نویز، تأخیر، توان و سطح مصرفی از معیار شایستگی (FOM) زیر استفاده می‌شود [۱۴].

$$FOM = \frac{UNA_{norm}}{P_{tot-norm} \times I_{P-norm}^2 \times A_{norm}} \quad (7)$$

که UNA_{norm} ، $P_{tot-norm}$ ، I_{P-norm} و A_{norm} به ترتیب متوسط نویز واحد،

$$UNA = \{V_m : V_{noise_{Avg}} = V_{output_{Avg}}\} \quad (6)$$

به دلیل اینکه برای اندازه‌گیری مصونیت در برابر نویز مدارها باید بدترین حالت در نظر گرفته شود، پالس‌های نویزی به همه ترانزیستورهای شبکه پایین‌کش اعمال می‌گردد. برای اندازه‌گیری UNA، دامنه پالس‌های نویز ورودی تغییر داده شد تا مقداری که متوسط ولتاژ نویزهای ورودی و خروجی باهم برابر شوند.

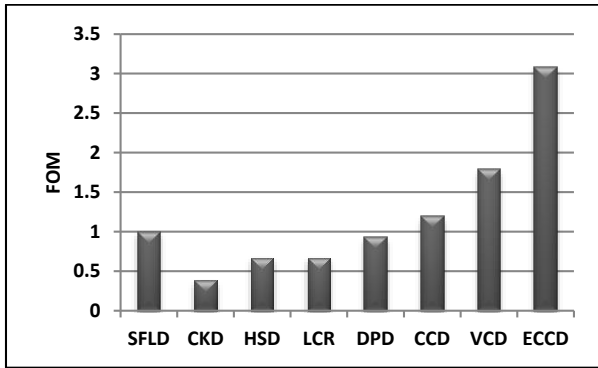
در جدول ۱ مقادیر به دست آمده برای UNA نشان داده شده است که همگی نسبت به UNA مدار دومینو استاندارد (SFLD) نرمالیزه شده‌اند. همه شبیه‌سازی‌ها در تأخیر یکسان و برای درون‌دهی‌های مختلف انجام گرفته است. نتایج شبیه‌سازی بیانگر ۱/۵۸ تا ۲/۱ برابر بهبود در UNA مدار پیشنهادی نسبت به مدار دومینو استاندارد می‌باشد. با توجه به جدول ۱، مدار پیشنهادی در مقایسه با سایر مدارها به غیر از VCD از مصونیت در برابر نویز بهتری برخوردار می‌باشد. توجه به این نکته ضروری است که اگرچه طرح VCD نسبت به مدار پیشنهادی دارای مصونیت در برابر نویز بالاتری است اما دارای معایبی

جدول ۱: مقایسه UNA مدارهای مورد بررسی در تأخیر یکسان

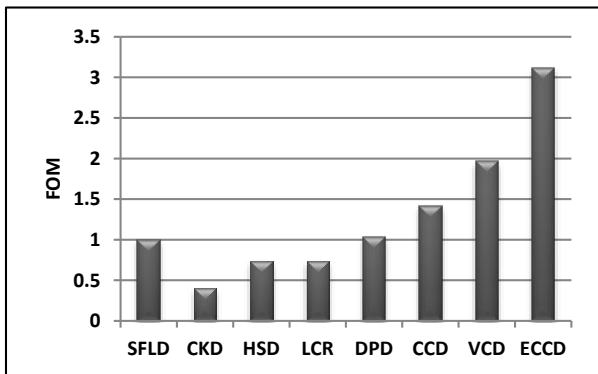
| تعداد ورودی | | Standard Footless Domino (SFLD) | Conditional Keeper Domino (CKD) | High Speed Domino (HSD) | Leakage Current Replica (LCR) | Diode Partitioned Domino (DPD) | Current Comparison Domino (CCD) | Voltage Comparison Domino (VCD) | Proposed domino (ECCD) |
|-------------|--------------|---------------------------------|---------------------------------|-------------------------|-------------------------------|--------------------------------|---------------------------------|---------------------------------|------------------------|
| ۸ | UNA | ۰/۴۵ | ۰/۴۶ | ۰/۳۶ | ۰/۳۷ | ۰/۴۸ | ۰/۶۸ | ۰/۷۴ | ۰/۷۱ |
| | UNA نرمالیزه | ۱ | ۱/۰۲ | ۰/۸ | ۰/۸۲ | ۱/۰۷ | ۱/۵۱ | ۱/۶۴ | ۱/۵۸ |
| ۱۶ | UNA | ۰/۳۹ | ۰/۳۹ | ۰/۳۲ | ۰/۳۲ | ۰/۴۶ | ۰/۶۶ | ۰/۷۳ | ۰/۷۱ |
| | UNA نرمالیزه | ۱ | ۱ | ۰/۸۲ | ۰/۸۲ | ۱/۱۸ | ۱/۶۹ | ۱/۸۷ | ۱/۸۲ |
| ۳۲ | UNA | ۰/۳۵ | ۰/۳۵ | ۰/۲۹ | ۰/۲۹ | ۰/۴۵ | ۰/۶۱ | ۰/۷۲ | ۰/۶۵ |
| | UNA نرمالیزه | ۱ | ۱/۰۳ | ۰/۸۵ | ۰/۸۵ | ۱/۳۲ | ۱/۷۹ | ۲/۱۲ | ۱/۹۱ |
| ۶۴ | UNA | ۰/۲۹ | ۰/۳ | ۰/۲۶ | ۰/۲۵ | ۰/۴۴ | ۰/۵۴ | ۰/۶۷ | ۰/۶۱ |
| | UNA نرمالیزه | ۱ | ۱/۰۳ | ۰/۹ | ۰/۸۶ | ۱/۵۲ | ۱/۸۶ | ۲/۳۱ | ۲/۱ |

جدول ۲: مقایسه توان مصرفی مدارهای مورد بررسی در تأخیر یکسان

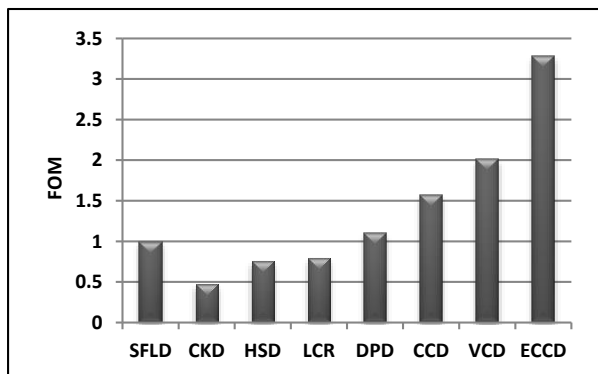
| تعداد ورودی | | Standard Footless Domino (SFLD) | Conditional Keeper Domino (CKD) | High Speed Domino (HSD) | Leakage Current Replica (LCR) | Diode Partitioned Domino (DPD) | Current Comparison Domino (CCD) | Voltage Comparison Domino (VCD) | Proposed domino (ECCD) |
|-------------|---------------------|---------------------------------|---------------------------------|-------------------------|-------------------------------|--------------------------------|---------------------------------|---------------------------------|------------------------|
| ۸ | توان مصرفی | ۲۵/۳ | ۴۰/۵ | ۲۶ | ۲۴/۵ | ۲۹ | ۲۳ | ۲۳ | ۱۵/۹ |
| | توان مصرفی نرمالیزه | ۱ | ۱/۶ | ۱/۰۳ | ۰/۹۷ | ۱/۱۵ | ۰/۹۱ | ۰/۹۱ | ۰/۶۳ |
| ۱۶ | توان مصرفی | ۲۹/۴ | ۴۲/۷ | ۳۱/۷ | ۲۷/۶ | ۳۴/۲ | ۲۲/۳ | ۲۵/۴ | ۱۸/۶ |
| | توان مصرفی نرمالیزه | ۱ | ۱/۴۵ | ۱/۰۸ | ۰/۹۴ | ۱/۱۶ | ۰/۷۶ | ۰/۸۶ | ۰/۶۳ |
| ۳۲ | توان مصرفی | ۳۴/۷۵ | ۵۱/۵ | ۳۸ | ۳۳/۷ | ۳۹/۳ | ۲۷ | ۲۷/۳ | ۲۲ |
| | توان مصرفی نرمالیزه | ۱ | ۱/۴۸ | ۱/۰۹ | ۰/۹۷ | ۱/۱۳ | ۰/۷۸ | ۰/۷۹ | ۰/۶۳ |
| ۶۴ | توان مصرفی | ۴۴ | ۶۳ | ۵۱ | ۴۰ | ۴۸ | ۲۷/۵ | ۲۸/۵ | ۲۷ |
| | توان مصرفی نرمالیزه | ۱ | ۱/۴۳ | ۱/۱۶ | ۰/۹۱ | ۱/۰۹ | ۰/۶۳ | ۰/۶۵ | ۰/۶۱ |



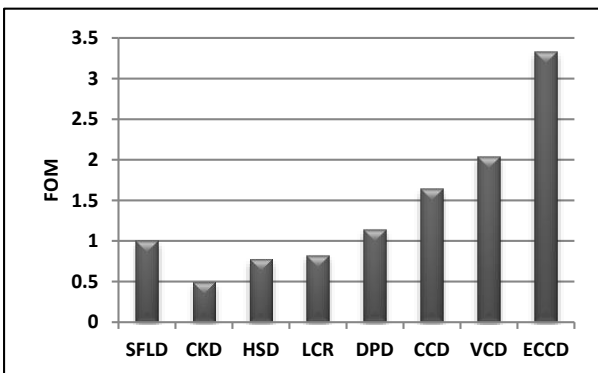
(الف)



(ب)



(ج)



(د)

شکل ۵: مقایسه FOM های نرمالیزه شده به ازای بارهای خازنی مختلف (الف) ۵ فمتوفاراد، (ب) ۱۰ فمتوفاراد، (ج) ۱۵ فمتوفاراد، (د)

متوسط توان مصرفی، تأخیر انتشار و سطح مصرفی مدار می‌باشند. هرکدام از پارامترها به پارامترهای مربوط به مدار مشابه که با SFLD پیاده‌سازی شده است نرمالیزه می‌شوند.

در شکل ۵، FOM مدارهای مورد بررسی رسم شده است که همگی به FOM مدار SFLD نرمالیزه شده‌اند تا بهبود به دست آمده مشهود باشد. برای محاسبه FOM مدارها، گیت‌های OR با ۳۲ ورودی با استفاده از تکنیک‌های مداری مختلف شبیه‌سازی شده‌اند. با توجه به این که مقدار بار خروجی بر روی پارامترهای طراحی تأثیر می‌گذارد، شبیه‌سازی‌ها با استفاده از بارهای مختلف انجام شد و نتایج در شکل ۵ (الف) تا (د) رسم شدند. نتایج نشان می‌دهند که مدار دومینو پیشنهادی به ازای همه بارهای خازنی بالاترین FOM را دارد.

جهت مقایسه بهتر مدار پیشنهادی با سایر کارهایی که در این زمینه انجام شده است، نتایج مندرج در مقالات و نتایج حاصل از شبیه‌سازی مدار پیشنهادی در جدول ۳ فهرست شده‌اند. از آنجایی که نتایج گزارش شده در هر مقاله تحت شرایط گوناگون (مانند فناوری و مدار پایه ۱۰ متفاوت) به دست آمده‌اند، به همین دلیل در جدول ۳ از پارامترهای نرمالیزه شده استفاده شده است تا مقایسه بهتری صورت پذیرد. بدین منظور پارامترهای مندرج در هر مقاله به مقادیر مدار متداول در همان مقاله نرمالیزه شده‌اند. همچنین در جدول ۳ از پارامتر مساحت مصرفی در FOM (A_{nom}) در رابطه (۷) صرف نظر شده است و از معیار شایستگی تعدیل شده (FOM_m) استفاده شده است. این بدان علت است که معمولاً در مقالات فقط سطح مصرفی مدار ارائه شده ذکر می‌شود و سطح مصرفی مدار متداول درج نمی‌شود. بنابراین FOM_m با استفاده از رابطه زیر به دست می‌آید:

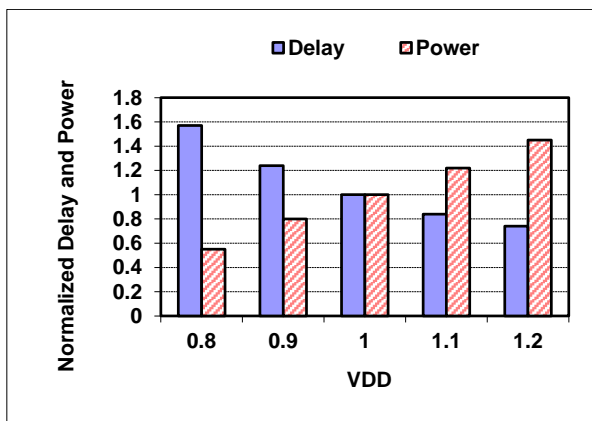
$$FOM_m = \frac{UNA_{nom}}{P_{tot-nom} \times t_{p-nom}^2} \quad (8)$$

همان‌طور که از جدول ۳ مشهود است مدار پیشنهادی در مقایسه با سایر مدارها همچنان از لحاظ معیار شایستگی بیش‌ترین مقدار را دارد.

جهت بررسی اثر تغییرات فرآیند، ولتاژ و دما روی مدار پیشنهادی، گیت OR با ۳۲ ورودی با استفاده از مدار پیشنهادی در چهارگوشه فرآیند و سه دمای مختلف و ولتاژهای تغذیه (V_{DD}) متغیر بین ۰/۸۷ تا ۱/۲۷ شبیه‌سازی شدند. تأخیر و توان مصرفی هر مدار به پارامترهای مشابه آن‌ها در فرآیند نوعی، ولتاژ تغذیه ۱۷ و دمای ۱۱۰°C نرمالیزه شدند.

جدول ۳: مقایسه پارامترهای مدارهای مختلف با استفاده از نتایج مندرج در مقالات

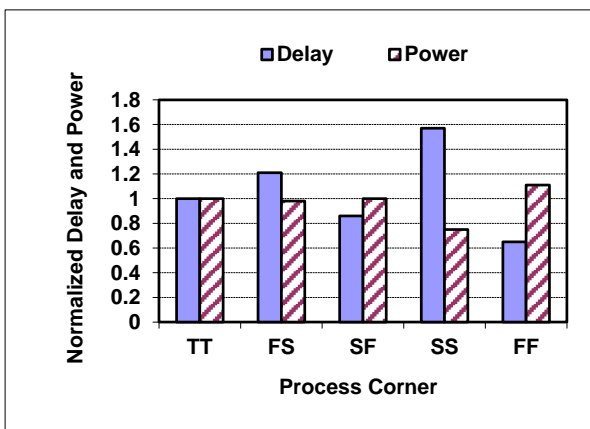
| مدار دومینو پیشنهادی | [۱۵] | [۱۱] | [۸] | [۷] | [۶] | [۵] |
|----------------------------|--------------|--------------|------------------------|------------------|-------------|---------------|
| فناوری ساخت (nm) | ۹۰ | ۷۰ | ۱۸۰ | ۹۰ | ۲۵۰ | ۱۳۰ |
| ولتاژ تغذیه (V) | ۱ | ۱ | ۱/۸ | ۱/۲ | ۲/۵ | ۱/۲ |
| مدار پایه | بیت ۳۲ OR | بیت ۳۲ OR | بیت ۴۰ مقایسه‌کننده | بیت ۲۴ AND-OR | بیت ۸ OR | بیت ۳۲ MUX |
| تعداد ترانزیستور | ۳۹ | ۴۰ | ۱۶۶ | ۵۳ | ۱۸ | ۷۹ |
| توان نرمالیزه | ۰/۷ | ۲/۲ | ۱/۰۵ | - | ۰/۷۶ | - |
| تأخیر نرمالیزه | ۰/۷۳ | ۱ | ۰/۶۷ | ۰/۶ | ۰/۷ | ۰/۷۲ |
| نرمالیزه UNA | ۱ | ۵/۸ | ۱ | ۱ | ۱ | ۱ |
| FOM _m | ۲/۶۸ | ۲/۶۴ | ۲/۱۲ | - | ۲/۶۹ | - |



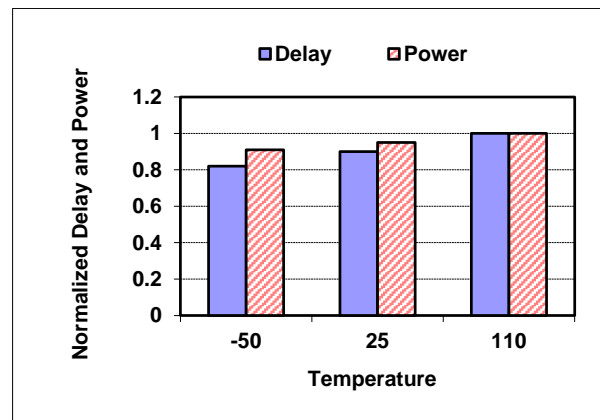
شکل ۷: اثر تغییر ولتاژ تغذیه روی تأخیر و توان مصرفی در دمای 110°C

نتایج مربوط به تأخیر و توان مصرفی نرمالیزه‌شده در فرآیند نوعی به‌ازای سه دمای مختلف در فرآیند نوعی (tPtN) با ولتاژ تغذیه ۱۷ در شکل ۶ و به‌ازای ولتاژ تغذیه (V_{DD}) متغیر بین ۰/۸۷ تا ۱/۲۷ در دمای 110°C در شکل ۷ ترسیم شده است.

همچنین اثر تغییر فرآیند روی تأخیر و توان نرمالیزه‌شده مدار پیشنهادی در چهارگوشه فرآیند (fPsN، sPfN، sPsN و fPsN) با ولتاژ تغذیه ۱۷ و دمای 110°C در شکل ۸ نشان داده شده است. با توجه به شکل ۸، توان مصرفی مدار پیشنهادی در گوشه‌های مختلف حداکثر ۱۱٪ افزایش داشته است که نشان‌دهنده پایین بودن توان مصرفی مدار پیشنهادی در گوشه‌های مختلف است. همچنین با توجه به این شکل‌ها می‌توان نتیجه گرفت مدار پیشنهادی با تغییرات فرآیند، ولتاژ و دما کارکرد مناسبی دارد.



شکل ۸: اثر تغییر فرآیند روی تأخیر و توان مصرفی مدار پیشنهادی



شکل ۶: اثر تغییر دما روی تأخیر و توان مصرفی در سه دمای مختلف

- on *Circuits and Systems*, vol. 58, no. 10, pp. 1785 – 1797, 2011.
- [5] A. Alvandpour, R. Krishnamurthy, K. Sourty, and S. Y. Borkar, "A sub-130-nm conditional-keeper technique," *IEEE Journal Solid-State Circuits*, vol. 37, no. 5, pp. 633-638, 2002.
- [6] M. H. Anis, M. W. Allam, and M. I. Elmasry, "Energy-efficient noise-tolerant dynamic styles for scaled-down CMOS and MTCMOS technologies," *IEEE Transaction on Very Large Scale Integration (VLSI) Systems*, vol. 10, no. 2, pp. 71-78, 2002.
- [7] Y. Lih, N. Tzartzanis, and W. W. Walker, "A leakage current replica keeper for dynamic circuits," *IEEE Journal Solid-State Circuits*, vol. 42, no. 1, pp. 48-55, 2007.
- [8] H. Suzuki, and *et al.*, "Fast tag comparator using diode partitioned domino for 64-bit microprocessors," *IEEE Transaction on Very Large Scale Integration (VLSI) Systems*, vol. 54, no. 2, 2007.
- [9] Peiravi, and M. Asyaei, "Current-comparison-based domino: a new low-leakage high speed domino circuit for wide fan-in gates," *IEEE Transaction on Very Large Scale Integration (VLSI) Systems*, vol. 21, no. 51, pp. 934-943, 2013.
- [10] M. Asyaei, "A new leakage-tolerant domino circuit using voltage-comparison for wide fan-in gates in deep sub-micron technology," *Integration, the VLSI Journal*, vol. 51, pp. 61-71, 2015.
- [11] H. Mahmoodi-Meimand, and K. Roy, "Diode-footed domino: a leakage-tolerant high fan-in dynamic circuit design style," *IEEE Transaction on Circuits and Systems*, vol. 51, no. 3, pp. 495-503, 2004.
- [12] M. Alioto, G. Palumbo, and M. Pennisi, "Understanding the effect of process variations on the delay of static and domino logic," *IEEE Transaction on Very Large Scale Integration (VLSI) Systems*, vol. 18, no. 5, pp. 697-710, 2010.
- [13] L. Wang, and N. R. Shanbhag, "An energy-efficient noise-tolerant dynamic circuit technique," *IEEE Transaction on Circuits and Systems*, vol. 47, no. 11, pp. 1300-1306, 2000.
- [14] A. Peiravi, and M. Asyaei, "Noise-Immune Dual-Rail Dynamic Circuit for Wide Fan-In Gates in Asynchronous Designs," *IEEE Transaction on Electrical and Electronic Engineering*, vol. 7, no. 6, pp. 613-621, 2012.
- [15] M. Nasseian, M. Kafi-Kangi, M. Meymandi-Nejad, and F. Moradi, "A low-power fast tag comparator by modifying charging scheme of wide fan-in dynamic OR gates," *Integration, the VLSI Journal*, vol. 52, no. 3, pp. 129-141, 2016.

⁸ Contention⁹ Process, Voltage and Temperature (PVT) variations¹⁰ Benchmark circuit

۴- نتیجه گیری

در این مقاله، یک تکنیک مداری بنام ECCD برای کاهش توان مصرفی و افزایش استحکام گیت‌های عریض پیشنهاد گردید که در آن از مقایسه جریان شبکه پایین‌کش با جریان مرجع برای تولید خروجی مناسب استفاده شده است. جهت کاهش توان کلیدزنی در مدار دومینو پیشنهادی، دامنه تغییرات دو سر شبکه پایین‌کش کاهش داده شده است. به دلیل بزرگ بودن ظرفیت خازنی دو سر شبکه پایین‌کش در گیت‌های عریض، کاهش دامنه تغییرات آن تأثیر بسزایی در کاهش توان مصرفی دارد. همچنین به دلیل اثر بدنه، ولتاژ آستانه ترانزیستورهای شبکه پایین‌کش افزایش یافته و جریان نشتی زیر آستانه کم می‌شود. در نتیجه توان نشتی کاهش و مصونیت در برابر نویز گیت‌های عریض افزایش می‌یابد.

مدار دومینو پیشنهادی و سایر مدارهای دومینو با استفاده از یک مدل فناوری ۹۰ نانومتر CMOS شبیه‌سازی و مقایسه شدند. نتایج شبیه‌سازی‌ها بیانگر کاهش چشم‌گیر توان مصرفی و افزایش مصونیت در برابر نویز مدار پیشنهادی نسبت به دومینو استاندارد می‌باشد. به دلیل اینکه تعداد ترانزیستورها و سطح مصرفی مدار پیشنهادی نسبت به دومینو استاندارد بیش‌تر است از یک معیار شایستگی (FOM) که پارامترهای مهم طراحی را در برمی‌گیرد استفاده شد. با توجه به نتایج شبیه‌سازی‌ها، مدار پیشنهادی FOM بالاتری نسبت به دومینو استاندارد دارد. بنابراین برای کاهش توان مصرفی و نیز افزایش مصونیت در برابر نویز گیت‌های عریض مورد استفاده در ریزپردازنده‌های جدید مناسب می‌باشد.

مراجع

- [1] J. Rabaey, A. Chandrakasan, and B. Nicolice, *Digital Integrated Circuits: A Design Perspective*, 2nd Edition, Englewood Cliffs, NJ: Prentice Hall, 2003.
- [2] P. Gronowski, "Issues in dynamic logic design," *Design of High-Performance Microprocessor Circuits*, A. Chandrakasan, W. J. Bowhill, and F. Fox, Eds. Piscataway, NJ: IEEE Press, ch. 8, pp. 140-157, 2001.
- [3] K. Roy, S. Mukhopadhyay, and H. Mahmoodi, "Leakage current mechanisms and leakage reduction techniques in deep-submicrometer CMOS circuits," *Proceedings of the IEEE*, vol. 91, no. 2, pp. 305-327, 2003.
- [4] H. Mostafa, M. Anis, and M. Elmasry, "Novel timing yield improvement circuits for high-performance low-power wide fan-in dynamic OR gates," *IEEE Transaction*

زیرنویس‌ها

¹ High fan-in (wide) gates² Content Addressable Memory³ Tag comparator⁴ Cache⁵ Standard footless domino⁶ Keeper⁷ Deep sub-micron