

طراحی ساختاری از ترانزیستور ماسفت دوگیتی با به کارگیری دو ماده، اکسید هافنیم (HfO_2) و سیلیسیم-ژرمانیوم (SiGe) در کانالی از جنس سیلیسیم (DM-DG)

حامد نجفعلی زاده^۱، دانشجوی کارشناسی ارشد؛ علی اصغر اروچی^۲، استاد

۱- دانشکده مهندسی برق و کامپیوتر - دانشگاه سمنان - سمنان - ایران - najafalizadeh@semnan.ac.ir

۲- دانشکده مهندسی برق و کامپیوتر - دانشگاه سمنان - سمنان - ایران - aliaorouji@semnan.ac.ir

چکیده: در این مقاله ساختار جدیدی از ترانزیستور دوگیتی به نام ترانزیستور DM-DG ارائه شده است. در این ساختار با به کار بردن عایق HfO_2 در مرز ناحیه کانال و درین و همین طور استفاده از سیلیسیم-ژرمانیوم در ناحیه سورس منجر به بهبود ساختار در مقایسه با ساختارهای متداول دوگیتی (C-DG) شده است. ناحیه عایق HfO_2 به طور قابل توجهی میدان الکتریکی را در ناحیه کانال و درین کاهش می دهد؛ بنابراین فرآیندهای مخرب در ساختار ارائه شده نسبت به ساختار دوگیتی معمولی به دلیل کاهش اثر حامل های داغ (HCE) و همین طور اثر کاهش سد پتانسیل به دلیل درین (DIBL) پایین تر است. از طرفی برای این که تجمع حفره های اضافی را از سطح کانال دور کرده و باعث کاهش اثر بدنه شناور (FBE) و ترانزیستورهای BJT پارازیتیک در ساختار شویم، از سیلیسیم-ژرمانیوم در ناحیه سورس استفاده می کنیم. نتایج شبیه سازی دوبعدی با نرم افزار شبیه ساز ATLAS نشان داده شده و به دلیل کوچک بودن طول ناحیه کانال (20 nm) از مدل کوانتومی استفاده شده است.

واژه های کلیدی: ماسفت دوگیتی، اثر کانال کوتاه، عایق HfO_2 ، سیلیسیم-ژرمانیوم.

Presenting Double Gate MOSFET Structure by using Double Material of HfO_2 and SiGe in the Channel of Silicon (DM-DG)

H. Najafalizadeh¹, MSc Student; A.A. Orouji², Professor

1- Faculty of Electrical and Computer Engineering, Semnan University, Semnan, Iran, Email: najafalizadeh@semnan.ac.ir

2- Faculty of Electrical and Computer Engineering, Semnan University, Semnan, Iran, Email: aliaorouji@semnan.ac.ir

Abstract: In this paper, a new structure of the double gate transistor named DM-DG transistor is presented. In this structure by using HfO_2 insulation in the border region of drain and channel, and using of silicon- germanium in the source region the structure is improved, comparing to conventional structures double gate (C-DG). HfO_2 insulation area reduces the electric field in the channel and drain region significantly. Because of reducing hot carrier effects and reducing the effect of drain induced barrier lowering (DIBL), the destructive processes in this structure are lower than the conventional double gate structure. In order to avoiding gathering additional holes to the surface of the channel, and reduces the parasitic BJT transistor and floating body effect (FBE) in our structure, we use Silicon- germanium in the source region. In this article 2D simulation results have been shown using ATLAS software and because of the short length of the channel region (20 nm) quantum model has been used.

Keywords: Double gate MOSFET, short channel effect, HfO_2 insulation, SiGe.

تاریخ ارسال مقاله: ۱۳۹۴/۱۰/۱۴

تاریخ اصلاح مقاله: ۱۳۹۴/۱۰/۰۶ و ۱۳۹۴/۱۲/۰۹

تاریخ پذیرش مقاله: ۱۳۹۵/۰۴/۰۵

نام نویسنده مسئول: علی اصغر اروچی

نشانی نویسنده مسئول: ایران - سمنان - روبه روی پارک سوکان - دانشگاه سمنان - دانشکده مهندسی برق و کامپیوتر.

۱- مقدمه

در ادوات نیمه‌هادی با کاهش طول کانال میدان الکتریکی ناشی از ولتاژ درین تسلط بیشتری در کانال خواهد داشت. از این رو با ورود خطوط میدان الکتریکی ناشی از ولتاژ درین به کانال، در نزدیکی درین شاهد یک میدان الکتریکی قوی خواهیم بود که این امر بر مشخصه‌های خروجی ترانزیستور تأثیر نامطلوبی خواهد داشت. در ساختارهای SOI معمول هرچه کانال کوچک‌تر شود این آثار نامطلوب شدیدتر می‌شوند [۱-۳].

در ترانزیستورهای سیلیسیم روی عایق زمانی که الکترون‌ها در ناحیه اشباع از یک میدان الکتریکی قوی عبور می‌کنند، در برخورد با اتم‌های کانال به علت یونیزاسیون ضربه‌ای باعث تولید جفت الکترون-حفره می‌شوند. الکترون‌های تولیدشده به سمت درین حرکت کرده و حفره‌ها به سمت بدنه شناور قطعه می‌روند که این امر باعث افزایش پتانسیل بدنه خواهد شد.

افزایش پتانسیل بدنه توأم با افت ولتاژ آستانه و افزایش جریان درین خواهد بود که این امر باعث غیرخطی شدن مشخصه‌های خروجی می‌شود [۴].

بهترین راه‌حل برای کاهش این آثار ناخواسته کاهش میدان الکتریکی در طرف درین است. از این طریق می‌توان اثر یونیزاسیون ضربه‌ای و ترانزیستورهای پارازیتیک BJT و در نتیجه اثر بدنه شناور را به‌طور قابل‌ملاحظه‌ای کاهش داد. همچنین کاهش میدان الکتریکی سمت درین باعث کاهش دمای شبکه در قطعه نیز خواهد شد.

در این ساختار سعی شده تجمع حفره‌های اضافی را توسط سیلیسیم-ژرمانیوم به‌کاربرده‌شده در ناحیه سورس از سطح کانال دور کرده و با این کار جریان حفره‌های اضافی را به حداقل مقدار خود برسانیم. در نتیجه ثابت خواهد شد که اثر ترانزیستورهای پارازیتیک به‌طور قابل‌توجهی در ساختار جدید کاهش می‌یابد [۵].

از طرفی به دلیل این‌که در نزدیکی درین میدان الکتریکی بسیار زیاد است حامل‌ها می‌توانند انرژی لازم را برای وارد شدن به اکسید گیت به‌دست آورند؛ بنابراین با گذشت زمان این حامل‌ها عملکرد دستگاه را کاهش می‌دهند؛ بنابراین برای رسیدن به ساختار مطلوب، لازم است که میدان الکتریکی را در نزدیکی درین کم کرد [۶]. HfO_2 یک عایق با ثابت دی‌الکتریک بالاست ($K=22$)، بنابراین قرار دادن آن در ناحیه فعال و درین باعث کاهش میدان الکتریکی در مرز ناحیه کانال و اکسید می‌شود [۷].

در این مقاله یک ساختار جدید از ترانزیستور دوگیتی با استفاده از ماده عایق HfO_2 در مرز ناحیه کانال و درین ارائه شده است.

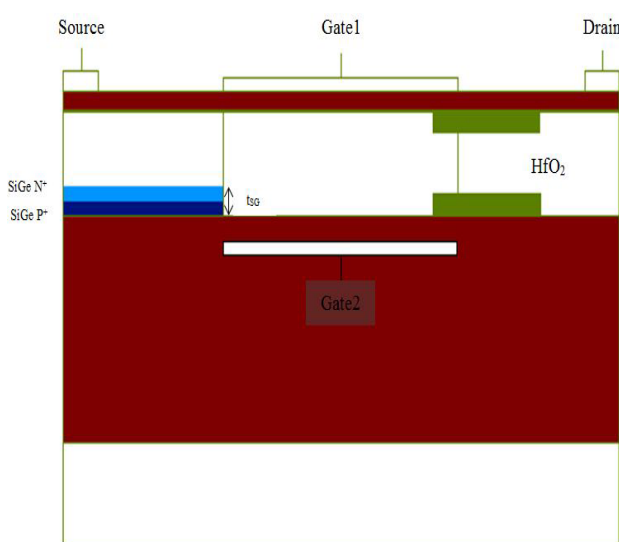
این ساختار جدید را ترانزیستور DM-DG نام‌گذاری کرده‌ایم. در مقایسه نتایج بین ترانزیستور DM-DG و ترانزیستور متداول دوگیتی (C-DG) و مشاهده بهبود و کاهش اثرات مخرب می‌توان به این نتیجه رسید که ترانزیستور ارائه‌شده جایگزین مناسبی برای ترانزیستور دوگیتی متداول خواهد بود.

۲- ساختار ترانزیستور DM-DG و پارامترهای آن

شکل ۱ سطح مقطعی از ساختار ارائه‌شده را نشان می‌دهد که توسط نرم‌افزار ATLAS ترسیم شده است.

در این شکل ماده عایق HfO_2 بین نواحی درین و کانال و به‌طور یکسان برای هر الکتروود گیت قرار گرفته است. طول عایق HfO_2 برابر با ۲۰ nm و ضخامت آن ۲ nm است. همچنین طول سیلیسیم-ژرمانیوم برابر ۴۰ nm و ضخامت آن ۴ nm است.

مقادیر پارامترهای ترانزیستور DM-DG در جدول ۱ ذکر شده است. تمامی مقادیر پارامترها در دو افزاره C-DG و DM-DG برابر است تنها یک سری از مقادیر مربوط به عایق HfO_2 در افزاره ارائه‌شده، اضافه شده است. مقادیر پارامترهای به‌کاربرده‌شده با توجه به نقشه راه فناوری نیمه‌هادی انتخاب شده است [۸].



شکل ۱: تصویر سطح مقطع ترانزیستور DM-DG

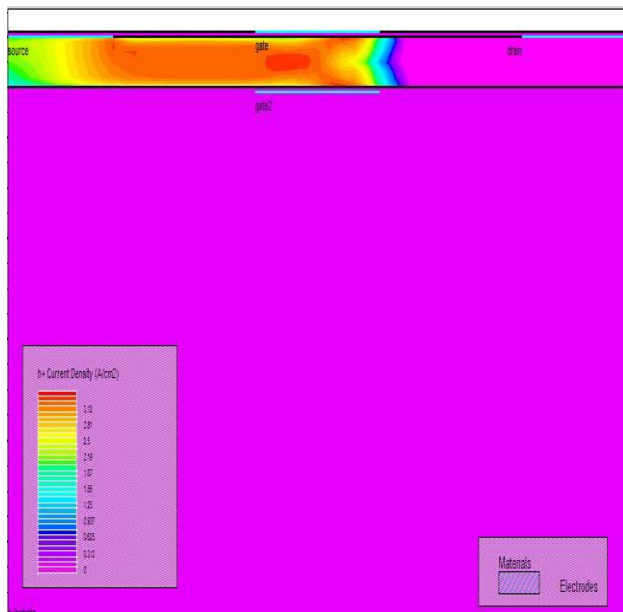
تمامی شبیه‌سازی‌های دوبعدی از ساختار موردنظر توسط نرم‌افزار ATLAS انجام گرفته است [۹].

همچنین در این ساختار از مدل پتانسیل کوانتومی Bohm با پارامترهای $BQP.NALPHA=0.5$ و $BQP.NGAMMA=1/2$ برای شبیه‌سازی دقیق‌تر ساختار استفاده شده است [۱۰]. این مدل یک جایگزین برای روش گرادیان چگالی است که دارای مزایایی از قبیل همگرایی بهتر و بررسی بهتر نتایج معادلات شرودینگر-پواسون تحت شرایط جریان ناچیز نسبت به روش گرادیان چگالی است.

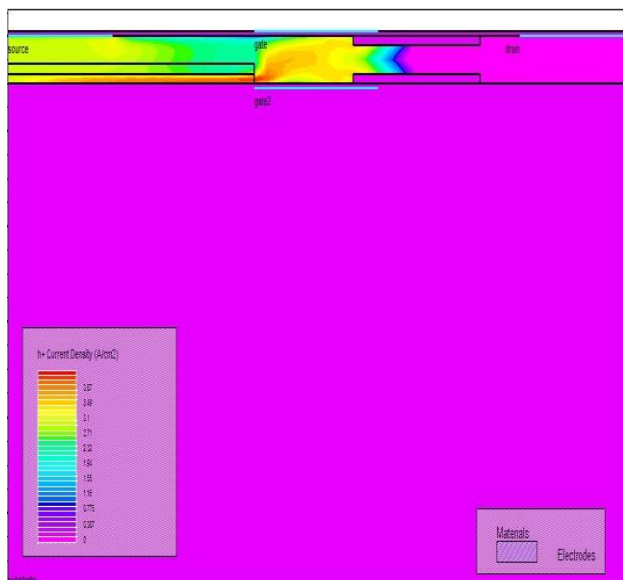
علاوه بر مدل کوانتومی از مدل Fermi که بر پایه معادلات فرمی-دیراک است استفاده شده [۱۱]، همین‌طور از مدل بازترکیبی با پارامتر srh و مدل بازترکیبی وابسته به میدان نیز با پارامتر $fldmob$ لحاظ شده است [۱۲]؛ و در نهایت از پارامتر $hcte$ برای لحاظ کردن اثر حامل داغ استفاده شده است.

جدول ۱: پارامترهای ترانزیستور DM-DG

پارامترها	مقدار
طول کانال	۲۰ نانومتر
ضخامت اکسید گیت	۱ نانومتر
ضخامت اکسید مدفون	۱۰۰ نانومتر
ضخامت ناحیه کانال	۱۰ نانومتر
ضخامت ناحیه عایق HfO_2	۲ نانومتر
طول ناحیه عایق HfO_2 در طرف کانال	۴ نانومتر
طول کلی ناحیه عایق HfO_2	۲۰ نانومتر
ضخامت ناحیه $SiGe$ (t_{SG})	۴ نانومتر
طول ناحیه $SiGe$	۴۰ نانومتر
میزان تزریق $SiGe N^+$	1×10^{20} بر سانتی‌متر مکعب
میزان تزریق $SiGe P^+$	1×10^{20} بر سانتی‌متر مکعب
میزان تزریق در ناحیه کانال	3×10^{18} بر سانتی‌متر مکعب
میزان تزریق در سورس و درین	1×10^{20} بر سانتی‌متر مکعب
تابع کار گیت	۴/۷ الکترون‌ولت



(a)



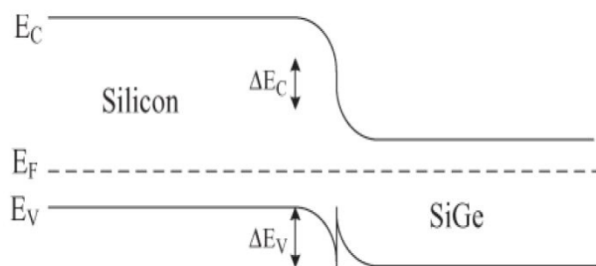
(b)

شکل ۳: چگالی جریان حفره برای (a) ساختار C-DG (b) ساختار DM-DG

این افزایش چگالی جریان برای ساختار ارائه شده در ناحیه سورس است، یعنی با قرار گرفتن $SiGe$ در ناحیه سورس تراکم چگالی جریان از ناحیه کانال به ناحیه سورس منتقل شده است. بنابراین در ناحیه کانال شاهد کاهش چگالی جریان در این ساختار نسبت به ساختار دوگیتی معمولی خواهیم بود. نتیجه کاهش چگالی جریان در ناحیه کانال و افزایش آن در ناحیه سورس، کاهش اثر بدنه شناور در این ساختار است. همچنین در شکل مشاهده می‌کنید که ازدحام بسیاری از چگالی جریان حفره در $SiGe$ قرار گرفته است که در ساختار معمولی این‌طور نیست. این تراکم زیاد حفره‌های آزاد شده در ساختار DM-DG به وسیله دیود تونلی ایجاد شده در این ساختار است؛ بنابراین حفره‌های ناشی از اثر بدنه شناور، به راحتی به ناحیه P^+ از $SiGe$ جاری

۳- بحث و نتیجه‌گیری

شکل ۲ دیاگرام باند انرژی محل اتصال دولایه سیلیسیم (Si) و سیلیسیم-ژرمانیوم ($SiGe$) را نمایش می‌دهد. همان‌طور که شکل نشان می‌دهد باند ممنوعه $SiGe$ کوچک‌تر از باند ممنوعه سیلیسیم هست. بیش‌تر اختلاف باند دولایه در باند هدایت رخ می‌دهد. همچنین طبق شکل اختلاف باند هدایت به صورت ناپیوستگی تقریباً پله‌ای رخ می‌دهد، درحالی‌که اختلاف باند ظرفیت به شکل میخی خود را نشان می‌دهد که سد کوچک‌تری نیز دارد [۱۳]؛ بنابراین به دلیل کوچکی سد باند ظرفیت، حفره‌ها به آسانی می‌توانند از لایه سیلیسیم به سمت سیلیسیم-ژرمانیوم جاری شوند. در نتیجه انتظار می‌رود که تجمع حفره‌ها در کانال به طور قابل‌ملاحظه‌ای کاهش یابد؛ که این امر باعث کاهش اثر بدنه شناور و ترانزیستورهای BJT پارازیتیک در ساختار پیشنهادی خواهد شد.



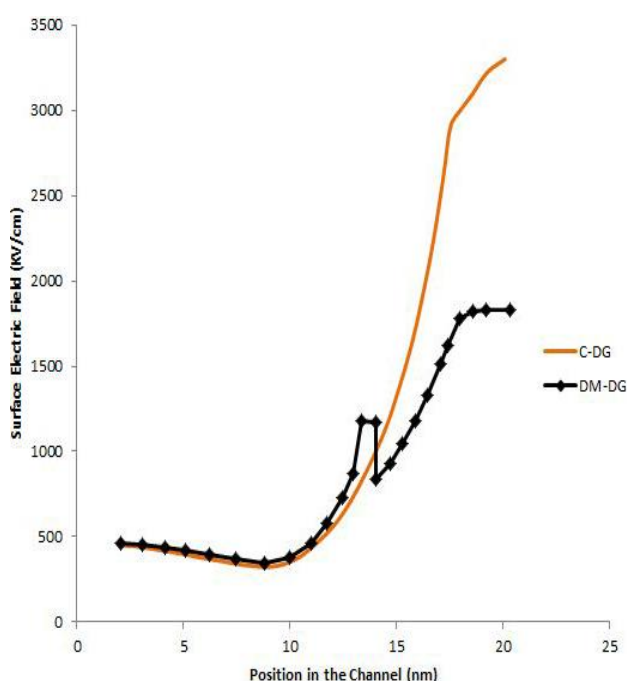
شکل ۲: دیاگرام باند انرژی بین لایه‌های سیلیسیم و سیلیسیم-ژرمانیوم [۷]

برای اثبات فرضیه بالا در شکل ۳ توزیع لگاریتمی چگالی جریان حفره برای دو ساختار C-DG و DM-DG در ولتاژهای بایاس $V_G = 0.75 V$ و $V_D = 1/5 V$ مقایسه شده است. در شکل نشان داده شده است که ماکزیمم چگالی جریان برای ساختار DM-DG برابر است با A/cm^2 و برای ساختار C-DG برابر با $3/12 A/cm^2$ است.

یکی دیگر از پارامترهای دیگری که باید مورد تحقیق و بررسی قرار گیرد دمای الکترون است [۱۵].

در ترانزیستورهای ماسفت n-Channel میدان الکتریکی باعث شتاب دادن به الکترون‌ها و افزایش سرعت آن‌ها خواهد شد و این امر باعث افزایش دما یا همان انرژی الکترون می‌شود. این دما می‌تواند به چندین هزار درجه سانتی‌گراد برسد. شایان‌ذکر است که کاهش دمای الکترون سبب بهبود در عملکرد دستگاه خواهد شد.

شکل ۶ دمای الکترون را در ناحیه کانال برای دو ترانزیستور C-DG و DM-DG نشان می‌دهد. همان‌طور که مشخص است دمای الکترون در ترانزیستور DM-DG نسبت به افزاره C-DG پایین‌تر است و باعث بهبود کارایی ترانزیستور ارائه‌شده نسبت به C-DG شده است.



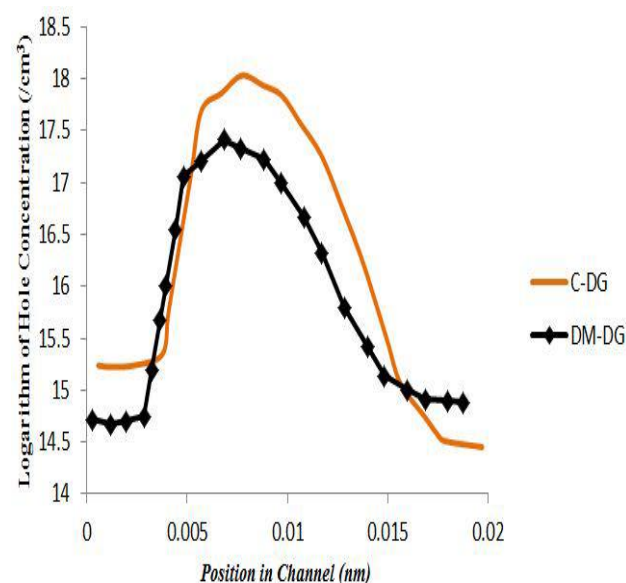
شکل ۵: نمودار میدان الکتریکی سطحی در ناحیه کانال برای ترانزیستور DM-DG و C-DG در $V_D=1/5 V$ و $V_G=0/75 V$

یکی دیگر از اثرات مخربی که با کوچک شدن افزاره برای ترانزیستور مشکل ایجاد می‌کند اثر کاهش سد پتانسیل به دلیل درین DIBL است.

با افزایش ولتاژ درین سد پتانسیل کاهش می‌یابد بنابراین جابه‌جایی حامل‌ها از سورس به درین آسان‌تر صورت می‌گیرد و به ولتاژ کم‌تری برای جابه‌جایی حامل‌ها نیاز خواهد بود. از این‌رو ولتاژ آستانه کاهش خواهد یافت [۱۶].

می‌شوند. با توجه به مکانیسم ذکرشده در بالا، برای حرکت حفره‌های انباشته‌شده از ناحیه بدنه به ناحیه سورس یک مسیر مناسب ایجاد شده است. در نتیجه سرکوب اثر پسماند را خواهیم داشت.

شکل ۴ تجمع حفره‌ها را به صورت لگاریتمی برای دو ساختار DM-DG و C-DG در ولتاژ بایاس $V_G=0/75 V$ و $V_D=1/5 V$ نشان می‌دهد. مطابق این شکل تجمع حفره‌ها در ساختار DM-DG در نزدیکی سورس نسبت به ساختار C-DG کم‌تر است. در افزاره ارائه‌شده کاهش اثر بدنه شناور را به دلیل کاهش تجمع حفره‌ها در پی خواهیم داشت.



شکل ۴: توزیع تجمع حفره‌ها به صورت لگاریتمی برای ساختارهای C-DG و DM-DG

جهت تحقیق و بررسی بر روی اثر حامل داغ (HCE) از میدان الکتریکی استفاده شده است [۱۴]. کاهش میدان الکتریکی در نزدیکی مرز درین و کانال، کاهش چگالی حفره در اکسید گیت و همچنین بهبود HCE را در پی خواهد داشت.

در شکل ۵ میدان الکتریکی سطحی برای دو افزاره C-DG و DM-DG نمایش داده شده است. همان‌طور که مشاهده می‌شود میدان الکتریکی سطحی در افزاره DM-DG در فواصل قبل از محل قرارگیری عایق HfO_2 بیش‌تر از افزاره C-DG است؛ اما ثابت دی‌الکتریک بالای عایق HfO_2 باعث کاهش میدان الکتریکی در ادامه شده است (بر طبق معادله (۱)).

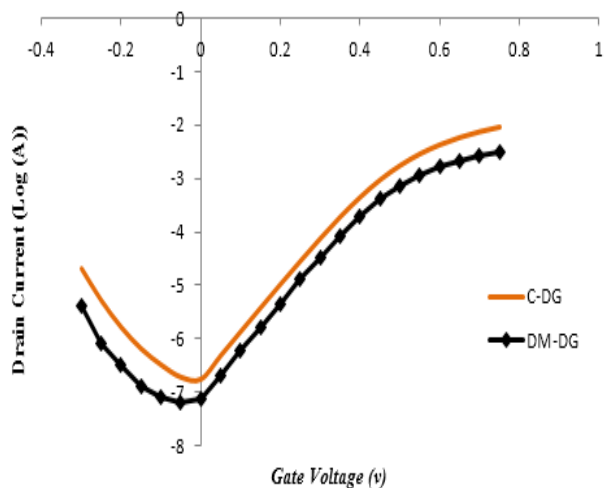
همان‌طور که مشاهده می‌شود در مرز ناحیه کانال و درین میدان الکتریکی سطحی افزاره DM-DG بسیار کمتر از افزاره C-DG است؛ بنابراین می‌توان مشاهده کرد که اثر مخرب HCE در افزاره پیشنهادی به خوبی کنترل شده است.

$$E_{Ox} = \frac{\epsilon_{Si}}{\epsilon_{Ox}} E_{Si} \quad (1)$$

ترانزیستور ارائه شده کم تر است؛ بنابراین اثر ولتاژ درین بر روی ولتاژ آستانه در ترانزیستور DM-DG کم تر از ترانزیستور C-DG خواهد بود. نشت درین ناشی از گیت (GIDL) یکی دیگر از پارامترهای مهم برای ارزیابی افزاره است. جریانی که در هنگام بایاس منفی گیت در ترانزیستور n-SOI MOSFET از درین به سمت سورس حرکت می کند، جریان نشتی درین نامیده می شود. شایان ذکر است که حالت ایده آل این جریان صفر فرض شده است. بنابراین کاهش این جریان نشتی برای افزاره های مختلف مطلوب است. شکل ۸ جریان درین را برای دو ترانزیستور DM-DG و C-DG بر روی تابعی از ولتاژ گیت در ولتاژ درین ۰/۷۵ ولت به تصویر کشیده است. از روی شکل نمایان است که در ولتاژهای گیت منفی، جریان درین در افزاره DM-DG کم تر از افزاره C-DG است. بنابراین، کاهش جریان نشتی از درین به طور قابل توجهی مشهود است.

به علاوه با استفاده از معادله (۲) می توان نشان داد که این امر باعث بهبود تلفات توان در قطعه نیز خواهد شد. با توجه به رابطه زیر می توان نشان داد که توان تلفاتی وابستگی به جریان خاموشی و خازن C_{load} دارد. در واقع با توجه به رابطه زیر روشن است که توان استاتیک رابطه مستقیم به جریان خاموشی ترانزیستور دارد. از آنجا که با توجه به شکل مشاهده می شود که جریان خاموشی در ترانزیستور سیلیسیم روی عایق دوگیتی پیشنهادی کاهش یافته است لذا توان مصرفی در مدارهایی که از این نوع ترانزیستورها استفاده کنند به طور قابل توجهی پایین می آید.

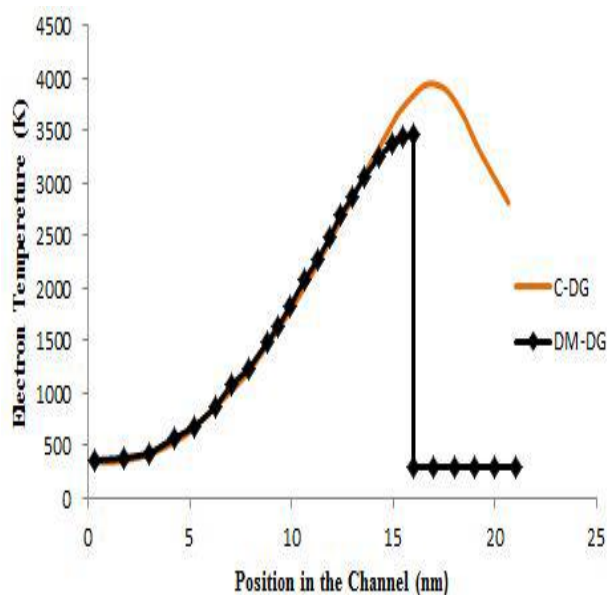
$$P_{Total} = P_{State} + P_{dyn} = I_{off} V_{DD} + \alpha F C_{Load} V_{DD}^2 \quad (2)$$



شکل ۸: نمودار مقایسه تغییرات لگاریتمی جریان درین بر حسب ولتاژ گیت برای ترانزیستور DM-DG و C-DG در $V_{DS}=0/75$ V

۴- نتیجه گیری

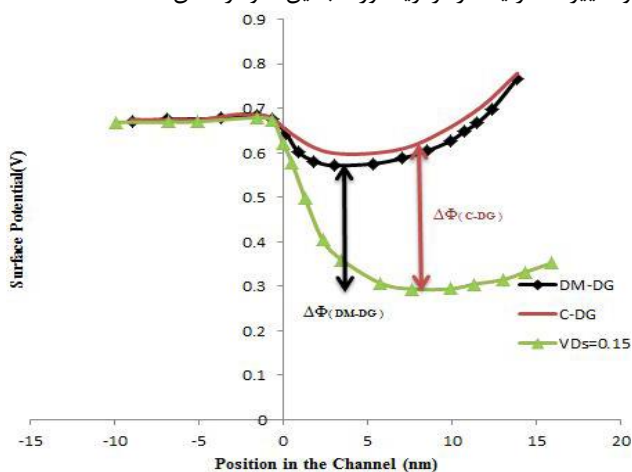
با ارائه یک ساختار جدید از ترانزیستور دوگیتی به گونه ای که از عایق HfO_2 در مرز ناحیه کانال و درین و همین طور از ماده SiGe در ناحیه سورس استفاده شود، می توان اثرات مخربی از قبیل اثر حامل داغ،



شکل ۶: نمودار دمای الکترون در ناحیه کانال برای دو ترانزیستور C-DG و HOSG-DG در $V_G=0/75$ V و $V_D=1/5$ V

تغییر در ولتاژ آستانه یک اثر بسیار مخرب در ترانزیستورهاست؛ و تا جایی که امکان دارد باید این تغییرات را کاهش داد؛ بنابراین این برای ما مهم است که کاهش تغییرات را در سد پتانسیل را داشته باشیم زیرا این کاهش در سد پتانسیل باعث تغییر در ولتاژ آستانه می شود.

شکل ۷ پتانسیل سطحی را برای هر دو ترانزیستور C-DG و DM-DG در دو ولتاژ درین مختلف نشان می دهد. هر دو ترانزیستور در $V_{DS}=0/15$ بر روی یکدیگر منطبق شده بنابراین یک نمودار رسم شده و تغییرات هر یک از ترانزیستورها با این نمودار نشان داده شده است.



شکل ۷: نمودار پتانسیل سطحی برای ترانزیستور DM-DG و C-DG در دو ولتاژ $V_{DS}=0/15$ V و $V_{DS}=1/5$ V

در شکل ۷ نمایان است که کاهش ولتاژ درین باعث کاهش پتانسیل سطحی در هر دو ترانزیستور شده است؛ اما این نیز مشهود است که $\Delta\Phi(DM-DG)$ کم تر از $\Delta\Phi(C-DG)$ می شود و DIBL در

- [8] *International Technology Roadmap for Semiconductor*, [Online], Available online at: <http://public.itrs.net/>
- [9] *International Device Simulation Software*, SILVACO TCAD, 2010.
- [10] G. Iannaccone, G. Curatola, and G. Fiori, "Effective bohm quantum potential for device simulation based on drift-diffusion and energy transport," *Simulation of Semiconductor Processes and Devices*, pp. 275-278, 2004.
- [11] S. Selberherr, "Analysis and simulational of semiconductor devices," *Communications in Mathematical Physics*, vol. 94, no. 2, 1984.
- [12] S. A. Schwarz, and S. E. Russe, "Semi-empirical equations for electron velocity in silicon: part II — MOS inversion layer," *IEEE Trans. Electron Devices*, vol. 30, no. 12, pp. 1634-1639, 1983.
- [13] A. A. Orouji, and M. Mehrad, "The best control of parasitic BJT effect in SOI-LDMOS with SiGe window under channel," *IEEE Transactions on Electron Devices*, vol. 59, no. 2, pp. 419-425, 2012.
- [14] K. P. Pradhan, P. K. Sahu, D. Singh, L. Artola, and S. K. Mohapatra, "Reliability analysis of charge plasma based double material gate oxid (DMGO) SiGe-On-Insulator (SGOI) MOSFET," *Superlattices and Microstructures*, pp. 149-155, 2015.
- [۱۵] محسن گیتی‌زاده حقیقی و محسن کلاتر، «تعیین مقدار و موقعیت بهینه نصب ادوات FACTS با در نظر گرفتن تابع هدف چندمنظوره و ترکیب آبکاری فولاد با برنامه‌ریزی آرمانی»، *مجله مهندسی برق دانشگاه تبریز*، جلد ۳۹، شماره ۱، صفحات ۳۷-۴۶، ۱۳۸۸.
- [۱۶] رضا رستمی‌نیا، محسن صنیعی و اصغر اکبری، «تأثیر پالس‌های ادوات الکترونیک قدرت بر وقوع تخلیه جزئی در عایق ماشین‌های الکتریکی با استفاده از مدل‌سازی به‌روش اجزاء محدود»، *مجله مهندسی برق دانشگاه تبریز*، جلد ۴۵، شماره ۱، صفحات ۲۱-۲۸، ۱۳۹۴.
- کاهش سد پتانسیل به دلیل درین و اثر بدنه شناور را در ترانزیستور کاهش داد و بهبود در کارایی افزاره را شاهد بود. این ساختار جدید را ترانزیستور DM-DG نام‌گذاری کرده‌ایم. در مقایسه نتایج بین ترانزیستور DM-DG و ترانزیستور متداول دوگیتی C-DG و مشاهده بهبود و کاهش اثرات مخرب می‌توان به این نتیجه رسید که ترانزیستور ارائه‌شده جایگزین مناسبی برای ترانزیستور دوگیتی معمولی یا همان C-DG خواهد بود.

مراجع

- [1] L. Vancaille, V. Kilchytska, D. Levacq, S. Adriaensen, H. Van Meer, K. De Meyer, G. Torrese, J. P. Raskin, and D. Flandre, "Influence of HALO implantation on analog performance and comparison between bulk, partially depleted and fully depleted MOSFETs," *Proc. IEEE Int. SOI Conf.*, pp. 161-163, 2002.
- [2] M. J. Kumar, and A. Chaudhry, "Two-dimensional analytical modeling of fully depleted DMG SOI MOSFET and evidence for diminished SCEs," *IEEE Trans. Electron Devices*, vol. 51, no. 4, pp. 569-574, 2004.
- [3] J. P. Colinge, "Multiple-gate SOI MOSFETs," *Solid-State Electron.*, vol. 48, no. 6, pp. 897-905, 2004.
- [4] M. R. Narayanan, Hasan Al-Nashash, and Dipankar Pal, "Thermal model of MOSFET with SELBOX structure," *Journal of Computational Electronics*, vol. 12, pp. 803-811, 2013.
- [5] M. K. Anvarifard, and A. A. Orouji, "Improvement of electrical properties in a novel partially depleted SOI MOSFET with emphasizing on the hysteresis effect," *IEEE Transactions on Electron Devices*, vol. 60, no. 10, 2013.
- [6] J. P. Colinge, and C. A. Colinge, *Physics of Semiconductor Devices*, Kluwer Academic Publishers, New York, pp. 165-250, 2005.
- [7] G. Duan, J. Hachtel, and R. A. Reed, "Bias dependence of total ionizing dose effects in SiGe-SiO₂/HfO₂ PMOS FINFETs," *IEEE Transaction on Nuclear Science*, pp. 2834-2838, 2014.