

نوسان ساز حلقوی جدید کنترل شده با ولتاژ با استفاده از اثر میلر

محمدعظیم کرمی^۱، استادیار؛ میثاق انصاریان^۲، دانشجوی کارشناسی ارشد؛ سوده عقلی مقدم^۳، استادیار

۱- دانشکده مهندسی برق - دانشگاه علم و صنعت ایران - تهران - ایران - karami@iust.ac.ir

۲- دانشکده مهندسی برق - دانشگاه علم و صنعت ایران - تهران - ایران - misagh_ansarian@elec.iust.ac.ir

۳- دانشکده مهندسی برق - دانشگاه علم و صنعت ایران - تهران - ایران - saghli@iust.ac.ir

چکیده: در این مقاله، یک نوسان ساز حلقوی جدید کنترل شده با ولتاژ ارائه شده است. تغییر خازن سلول تأخیر پایه نوسان ساز، با به کارگیری اثر میلر انجام شده است. نتایج شبیه سازی نشان می دهد به کارگیری این اثر، سبب افزایش خطینگی و کاهش نویز فاز می شود. این نوسان ساز در فن آوری ۰/۱۸ میکرون سی ماس^۱ طراحی و طرح بندی^۲ آن شبیه سازی شده است. این نوسان ساز برای کاربرد در دو حالت دستیابی به کمترین نویز و دیگر برای دستیابی به فرکانس بالا با بیشترین خطینگی به صورت مجزا بهینه سازی شده است. در حالت کمترین نویز، نویز فاز dBc/Hz ۱۲۵- در فرکانس مرکزی ۳۱۴ MHz حاصل شده است. همچنین، در حالت فرکانس بالا با بیشترین خطینگی، حداکثر خطای خطینگی ۰/۰۹٪ در فرکانس مرکزی ۳/۸۹ GHz به دست آمده است.

واژه های کلیدی: نوسان ساز حلقوی، اثر میلر، نویز فاز.

A Novel Ring Voltage Controlled Oscillator utilizing Miller Effect

M. A. Karami¹, Assistant Professor; M. Ansarian², MSc Student; S. Aghli-Moghaddam³, Assistant Professor

1-School of Electrical Engineering, Iran University of Science and Technology, Tehran, Iran, Email: karami@iust.ac.ir

2-School of Electrical Engineering, Iran University of Science and Technology, Tehran, Iran, Email: misagh_ansarian@elec.iust.ac.ir

3-School of Electrical Engineering, Iran University of Science and Technology, Tehran, Iran, Email: saghli@iust.ac.ir

Abstract: In this paper, a novel ring voltage controlled oscillator (VCO) is presented. Miller effect is used for changing capacitance of the base delay cell of oscillator. The simulation results show better linearity and reduction in phase noise. The VCO is designed and post layout simulated using 0.18 um Complementary Metal Oxide Semiconductor (CMOS) technology design kit. The proposed VCO is optimized for two different criteria of achieving minimum noise and achieving high frequency with maximum linearity. A phase noise of -125 dBc/Hz at center frequency of 314 MHz is achieved for the low noise device and maximum nonlinearity error of 0.9% at center frequency of 3.89 GHz is achieved for the high frequency with maximum linearity device.

Keywords: Ring oscillator, miller effect, phase noise.

تاریخ ارسال مقاله: ۱۳۹۴/۰۹/۲۲

تاریخ اصلاح مقاله: ۱۳۹۴/۱۲/۰۴

تاریخ پذیرش مقاله: ۱۳۹۵/۰۱/۲۲

نام نویسنده مسئول: محمدعظیم کرمی

نشانی نویسنده مسئول: ایران - تهران - میدان رسالت - خیابان هنگام - دانشگاه علم و صنعت ایران - دانشکده مهندسی برق.

۱- مقدمه

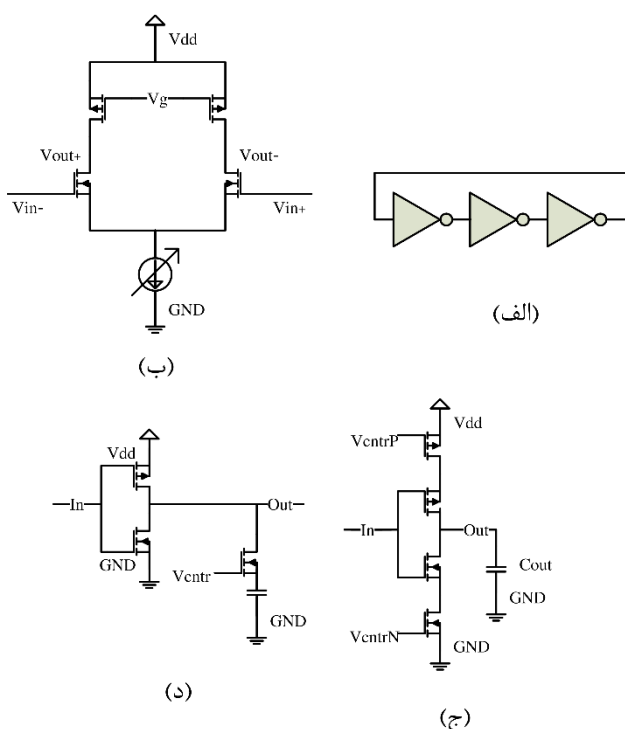
نمی توان به حداکثر فرکانس ممکن یک فن آوری دست یافت. منظور از حداکثر فرکانس یک فن آوری فرکانس محاسبه شده از رابطه (۱) به ازای تأخیر گیت معکوس کننده حداقل اندازه در آن فن آوری و سه عدد از آن ها است. در این نوع از سلول پایه همواره دو ترانزیستور در مسیر پر شدن و تخلیه خازن خروجی قرار می گیرند. به عبارت دیگر هنگام شارژ دو ترانزیستور PMOS بالایی و هنگام تخلیه دو ترانزیستور NMOS پایینی در مسیر جریان قرار می گیرند.

$$f = \frac{1}{nt} \quad (1)$$

در رابطه فوق f فرکانس نوسان، n تعداد سلول ها و t تأخیر یک سلول را نشان می دهد.

۲-۲- سلول تأخیر با خازن موازی

این نوع سلول (شکل ۱ قسمت د) برخلاف سلول با جریان کاهش یافته می تواند کمترین تأخیر یک فن آوری و به دنبال آن بیشترین فرکانس ممکن آن فن آوری را تولید کند. ایراد این سلول آن است که نمی تواند تأخیرهای برابر برای لبه بالا رونده و پایین رونده ایجاد کند و در نتیجه دوره کاری موج نهایی ۵۰ درصد نمی شود [۱۱].



شکل ۱: (الف) طرح یک نوسان ساز حلقوی با استفاده از سه گیت معکوس کننده، (ب) سلول تأخیر تفاضلی معمولی، (ج) سلول تأخیر جریان کاهش یافته و (د) سلول تأخیر خازن موازی

۲-۳- سلول تأخیر تفاضلی

این سلول در شکل ۱ قسمت (د) نشان داده شده است. در نوسان سازهای حلقوی باید تعداد معکوس کننده ها فرد باشد تا پس خور

نوسان سازهای کنترل شده با ولتاژ^۳ مدارهایی هستند که برای تولید سیگنال ساعت سرعت بالا، انتخاب کانال، مدوله سازی^۴ فرکانس و امدوله سازی^۵ در مدارهای مخابراتی مورد استفاده قرار می گیرند [۱]. همچنین در کاربردهایی مانند مبدل های داده از نوسان سازهای کنترل شده با ولتاژ استفاده می شود [۲]. یک نوسان ساز کنترل شده با ولتاژ می تواند با ساختار حلقوی^۶ یا مدارهای تشدید سلفی-خازنی^۷ ساخته شود [۳]. طراحی سلفی-خازنی، به دلیل بالا بودن ضریب کیفیت در مدارهای سلف و خازن بهترین کارایی را از نظر فرکانس و نویز دارد [۴]. هرچند نوسان سازهای سلفی-خازنی کارایی بهتری دارند، اما پیاده سازی سلف و خازن در تراشه نیازمند سطح مصرفی زیاد و مراحل اضافه ساخت است و محدوده تغییرات^۸ این نوسان سازها نیز کم است [۵]. همچنین نوسان سازهای حلقوی توان مصرفی کمتری نسبت به انواع سلفی-خازنی دارند [۶]. در مواردی نیز می توان از نوسان سازهای تزویج شده حلقوی برای کاهش نویز فاز استفاده کرد [۷]. در این نوشتار نوع تازه ای از نوسان سازهای حلقوی کنترل شده با ولتاژ معرفی می گردد. این نوسان ساز در فن آوری ۰/۱۸ میکرون طراحی و بعد از طرح بندی شبیه سازی شده است.

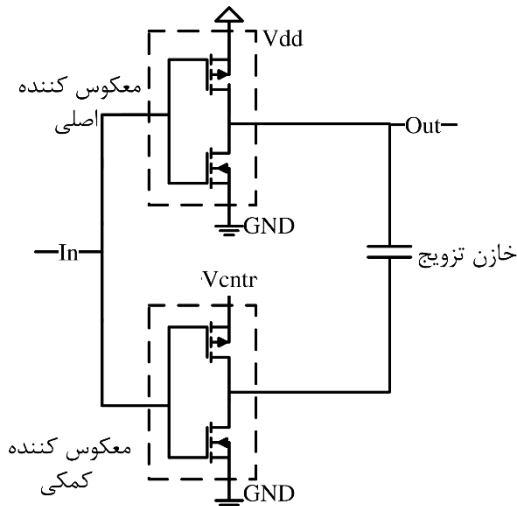
ضمن بررسی ساختارهای اصلی سایر مراجع در بخش دوم، در بخش سوم نوسان ساز پیشنهادی معرفی می شود. همچنین در بخش چهارم نتایج شبیه سازی بعد از طراحی طرح بندی و مقایسه آن با دیگر نوسان سازهای حلقوی ارائه می شود و در بخش پنجم نتیجه گیری از بحث بیان می گردد.

۲- نوسان سازهای حلقوی

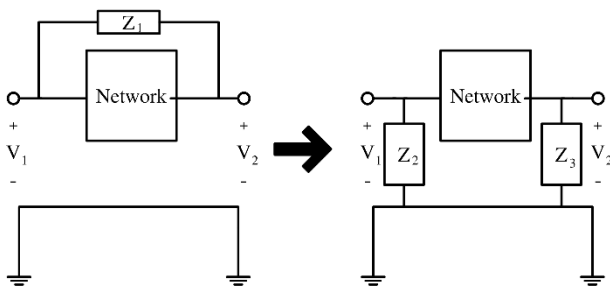
شکل ۱ قسمت (الف) طرح یک نوسان ساز حلقوی را نشان می دهد. نوسان سازهای حلقوی تعدادی سلول تأخیر متغیرند که به صورت یک حلقه پشت سر هم قرار گرفته اند و با تغییر تأخیر این سلول ها فرکانس نوسان تغییر می کند. نوسان سازهای حلقوی به دو دسته تک خروجی و تفاضلی تقسیم می شوند [۱]. شکل ۱ قسمت های (ج) و (د) دو نوع از سلول های پایه نوسان سازهای حلقوی تک خروجی و قسمت (ب) سلول پایه نوسان سازهای حلقوی تفاضلی را نشان می دهد. دو نوع سلول پایه تک خروجی عبارتند از سلول تأخیر با جریان کاهش یافته^۹ [۸] و سلول تأخیر با خازن موازی^{۱۰} [۹].

۲-۱- سلول تأخیر با جریان کاهش یافته

این سلول در شکل ۱ قسمت (ج) نشان داده شده است. این سلول یک گیت معکوس کننده ساده است که به جای اتصال مستقیم به خطوط تغذیه به دو منبع جریان متصل شده است. با تغییر جریان این منابع جریان، تأخیر ایجاد شده تغییر می کند و فرکانس نوسان ساز که از رابطه (۱) به دست می آید، تغییر می کند. فایده اصلی این نوع از سلول تأخیر نویز فاز کم است [۱۰]. ایراد این نوع سلول تأخیر آن است که



شکل ۲: سلول تأخیر پیشنهادی در این مقاله



شکل ۳: اساس اثر میلر

$$K = \frac{V_2}{V_1} \quad (2)$$

$$Z_2 = \frac{Z_1}{1-K}, Z_3 = \frac{KZ_1}{K-1} \quad (3)$$

$$C_2 = C_1(1-K), C_3 = C_1 \frac{K-1}{K} \quad (4)$$

۴- نتایج شبیه‌سازی

برای کارکرد درست مدار باید ولتاژ آستانه برای ماسفت بالاکننده تأمین شود، در نتیجه ولتاژ کنترل نباید از ۰/۹ ولت کمتر باشد. نکته دیگر آنکه برای ایجاد تأخیر لبه بالارونده و پایین‌رونده برابر باید رابطه (۵) بین ابعاد ترانزیستورها برقرار باشد.

$$\frac{W_P}{L_P} = 3 \frac{W_N}{L_N} \quad (5)$$

ضریب ۳ در رابطه (۵) با شبیه‌سازی به‌دست آمده است. این شبیه‌سازی با یک جاروب ساده بر روی ابعاد ترانزیستورها و اندازه‌گیری تأخیر لبه بالارونده و پایین‌رونده انجام شده است. شکل ۴ مدار نوسان ساز پیشنهادی شبیه‌سازی شده در فن‌آوری میکرون سی‌ماس را نمایش می‌دهد.

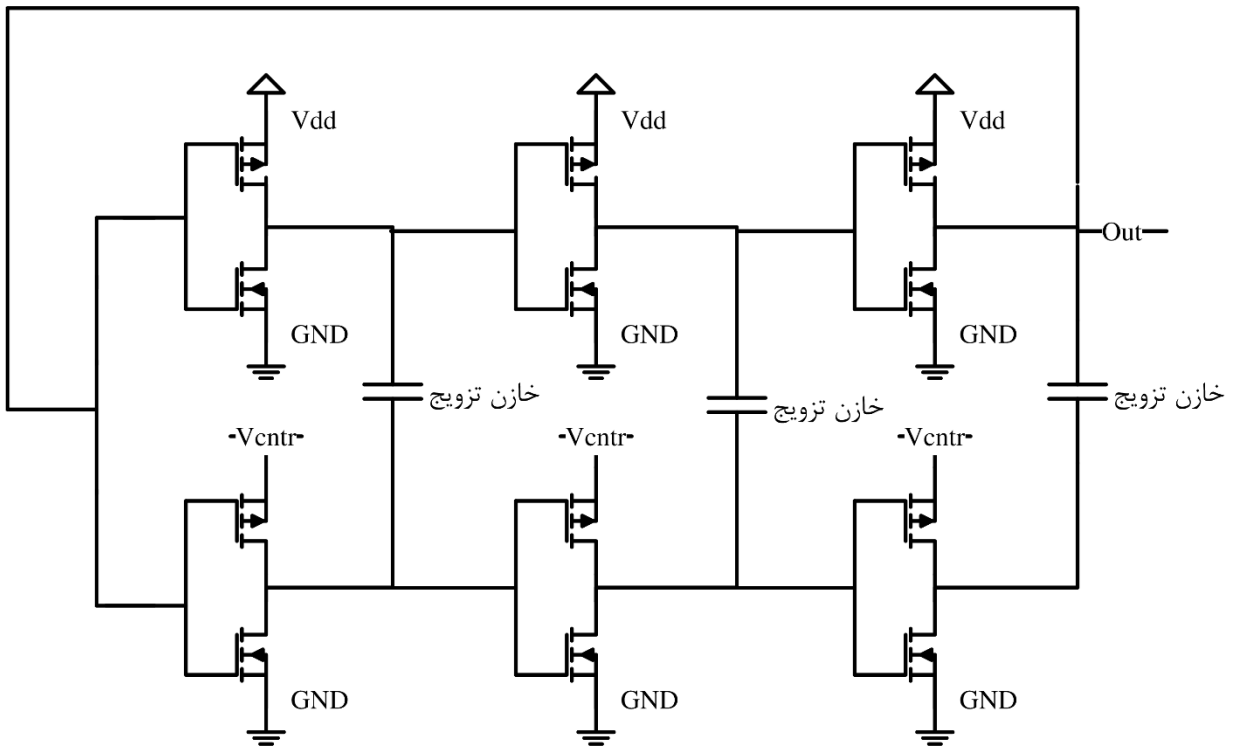
مثبت شده و نوسان اتفاق بیافتد. فایده سلول تفاضلی، توانایی ایجاد نوسان ساز با تعداد زوجی از آن‌ها است؛ زیرا با داشتن ورودی و خروجی تفاضلی می‌توان از آن‌ها به‌عنوان معکوس‌کننده و یا بافر (با عوض کردن جای خروجی مثبت و منفی) استفاده کرد. به این ترتیب می‌توان با تعداد زوجی از سلول‌های تفاضلی یک نوسان ساز ساخت و فازهای ۹۰، ۱۸۰ و ۲۷۰ درجه را تولید کرد.

۳- سلول تأخیر بر پایه اثر میلر

شکل ۲ سلول تأخیر پایه‌ای پیشنهاد شده در این تحقیق را نشان می‌دهد. این سلول پایه بر اساس اثر میلر کار می‌کند. ایده تغییر تأخیر با تغییر ظرفیت خازنی در [۱۲] بررسی شده است. ساخت یک خازن متغیر توسط یک وارکتور^{۱۱} و یا یک اتصال MOS^{۱۲} امکان‌پذیر است. تغییرات ظرفیت خازنی وارکتور و اتصال MOS با ولتاژ خطی نیست. همچنین چون نوسان‌های خروجی نوسان ساز دامنه بزرگی دارند (تا نزدیکی‌های ولتاژ تغذیه) اثرات غیرخطی زیادی بروز می‌کند [۱۳]. در [۱۴] نشان داده شده است که می‌توان خازن پارازیتی بین خروجی دو گیت معکوس‌کننده همسایه را به دو خازن جدا از هم که از خروجی هر یک از گیت‌ها تا زمین قرار دارند تقسیم کرد. استفاده از اثر میلر برای ساخت یک خازن متغیر ساختگی و تغییر فرکانس نوسان ساز کنترل شده با ولتاژ در [۱۵-۱۸] انجام شده است اما در تمامی این مراجع از خازن پارازیتی گیت درین استفاده شده است. همچنین این مراجع در نوسان‌سازهای سلفی-خازنی از این روش استفاده کرده‌اند و طبق بررسی نویسندگان این اولین بار است که این روش در نوسان‌های حلقوی کنترل شده با ولتاژ به کار گرفته می‌شود. به کارگیری اثر میلر در شکل ۳ نشان داده شده است. با استفاده از اثر میلر می‌توان یک امپدانس تزویج را به دو امپدانس زمین‌شده تقسیم کرد. با به کارگیری تحقق یک خازن متغیر امکان‌پذیر است.

رابطه (۳) حالت عمومی اثر میلر را نشان می‌دهد و رابطه (۴) برای زمانی است که امپدانس Z_I کاملاً خازنی باشد.

گره V_1 در شکل ۳ در واقع خروجی معکوس‌کننده اصلی در شکل ۲ و گره V_2 در شکل ۳ حکم خروجی معکوس‌کننده کمکی در شکل ۲ را دارد. وقتی ولتاژ کنترل (V_{cntr}) در شکل ۲ معادل ولتاژ V_{dd} باشد، طبق رابطه (۴) خازن معادل در خروجی معکوس‌کننده اصلی صفر و حداقل تأخیر ایجاد می‌شود. همچنین وقتی ولتاژ کنترل صفر ولت باشد، خازن معادل در خروجی معکوس‌کننده اصلی همان خازن تزویج است. به این ترتیب می‌توان با تغییر ولتاژ کنترل یک خازن متغیر کاملاً خطی داشت. در حالت اول چون سلول تبدیل به یک معکوس‌کننده ساده می‌شود، می‌توان انتظار داشت که ایجاد حداقل تأخیر یک فن‌آوری نیز امکان‌پذیر باشد.



شکل ۴: نوسان ساز حلقوی پیشنهادی

۴-۱ - حالت اول: نوسان ساز کم نویز

در این حالت برای داشتن نویز فاز کم باید طول ترانزیستورها را افزایش داد [۱۰]؛ اما این امر خود باعث افزایش مقاومت خروجی معکوس کننده و همچنین افزایش خازن ورودی آن می شود. به همین علت فرکانس نوسان که تابعی از تأخیر معکوس کننده هاست، کاهش می یابد (رابطه (۱)) و باعث کاهش ضریب شایستگی نوسان ساز (رابطه (۷)) می شود؛ بنابراین نیاز است تا نسبت طول به عرض ترانزیستورها افزایش یابد که این خود باعث افزایش سطح مصرفی و همچنین توان مصرفی می شود. با مصالحه بین این متغیرها و همچنین در نظر گرفتن ضریب شایستگی، جدول ۱ برای ابعاد ترانزیستورها و خازن تزویج به دست آمده است. در این مصالحه از الگوریتمی برای بهینه سازی استفاده نشده است. در این جدول و جدول ۲، W نشانگر عرض و L طول ترانزیستورها است. زیرنویس N برای $NMOS$ و P برای $PMOS$ به کار رفته است.

جدول ۱: ابعاد ترانزیستورها و خازن تزویج برای نوسان ساز کم نویز

پیشنهادی، در فن آوری ۰/۱۸ میکرون

مقدار	کمیت
$۶۹/۱۲ \mu m$	W_N
$۱/۰۸ \mu m$	L_N
$۲۰۷/۳۶ \mu m$	W_P
$۱/۰۸ \mu m$	L_P
$۹۰۰ fF$	C_{couple}

در این نوسان ساز به جای آنکه ورودی معکوس کننده اصلی و معکوس کننده کمکی در هر سه طبقه به هم متصل باشند، فقط در طبقه اول به هم متصل هستند. علت این کار آن است که خازن معادل در خروجی معکوس کننده های اصلی کاهش یابد و فرکانس نوسان افزایش پیدا کند. این امر باعث ایجاد اختلاف فاز در خروجی معکوس کننده اصلی و کمکی یک طبقه می شود که به نوبه خود باعث به هم ریختن عملکرد مدار شده و تا حدی دوره کاری سیگنال خروجی را از ۵۰ درصد دور می کند (حدود ۵۰/۴۸ درصد). این اختلاف فاز قابل چشم پوشی است چراکه هر چند تغذیه کمتر معکوس کننده های کمکی باعث بیشتر شدن تأخیر آن ها می شود اما خازن میلر شده در گره خروجی این معکوس کننده ها مقداری منفی دارد و مانند یک سلف عمل می کند و تأخیر را تا حدی کاهش می دهد. لازم به ذکر است که ورودی معکوس کننده کمکی طبقه اول نباید از خروجی معکوس کننده کمکی آخر گرفته شود چراکه باعث ایجاد یک حلقه دیگر در معکوس کننده های کمکی می شود. این حلقه فرکانس نوسانی متفاوت از حلقه معکوس کننده های اصلی خواهد داشت و شکل موج خروجی را به هم می ریزد.

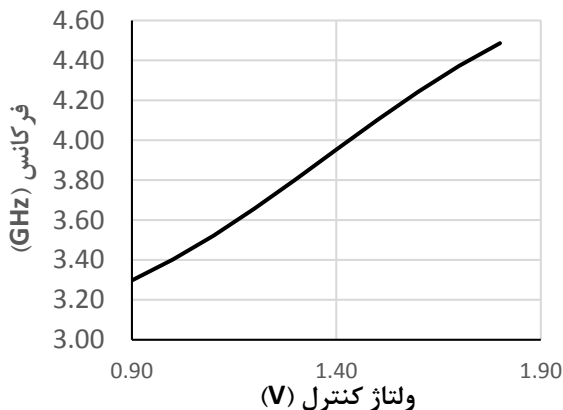
این نوسان ساز برای دو حالت بهینه سازی شده است. حالت اول کم نویز و حالت دوم فرکانس بالا و با خطینگی زیاد. طرح بندی نهایی هر یک از این دو حالت در قسمت پیوستها آورده شده است.

افزایش توان مصرفی نویز فاز را بهبود می دهد. نکته دیگر آن که افزایش خازن تزویج باعث بزرگ تر شدن بازه کاری و افزایش خطیگی می شود، اما مقدار این خازن نباید از ۱ pF تجاوز کند، زیرا طبق قواعد طراحی فن آوری ۰/۱۸ میکرون سی ماس نمی توان یک خازن بزرگ تر از ۱ pF تکی بر روی تراشه ساخت و باید چند خازن را موازی کرد [۲۲]. جدول ۲ ابعاد ترانزیستورها و مقدار خازن تزویج برای حالت فرکانس بالا با خطیگی زیاد را نشان می دهد.

جدول ۲: ابعاد ترانزیستورها و خازن تزویج برای نوسان ساز فرکانس بالا با خطیگی زیاد پیشنهادی، در فن آوری ۰/۱۸ میکرون

مقدار	کمیت
۴۸ μm	W_N
۰/۱۸ μm	L_N
۱۴۴ μm	W_P
۰/۱۸ μm	L_P
۹۰۰ fF	C_{couple}

شکل ۷ نمودار فرکانس خروجی برحسب ولتاژ ورودی و شکل ۸ نمودار نویز فاز را به ازای ولتاژ کنترل ۱/۳۵ ولت نشان می دهد.



شکل ۷: نمودار فرکانس خروجی برحسب ولتاژ کنترل برای نوسان ساز فرکانس بالا با خطیگی زیاد

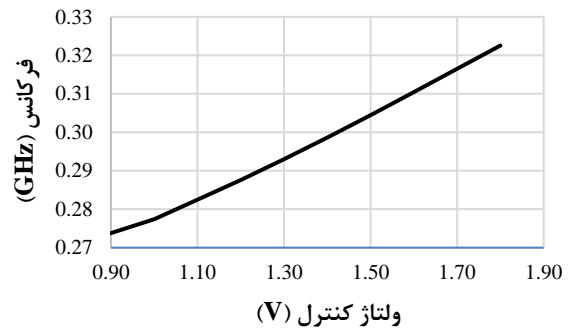
در شکل ۹ خطای خطیگی تغییرات فرکانس خروجی برحسب ولتاژ کنترل رسم شده است. این نمودار نشان می دهد که نوسان ساز بهینه شده برای خطیگی زیاد خطای خطیگی کمتر از ۰/۹٪ دارد. رابطه (۶) روش محاسبه این خطا را نشان می دهد.

$$LE = \frac{f_{nonLinear} - f_{Linear}}{f_{Max} - f_{Min}} \times 100 \quad (6)$$

در رابطه (۶)، LE خطای خطیگی، $f_{nonLinear}$ فرکانس واقعی، f_{Linear} فرکانس معادل پس از تقریب خطی و f_{Min} و f_{Max} حداقل و حداکثر فرکانس نوسان ساز هستند.

علت اصلی خطیگی بالای این نوسان ساز را می توان استفاده از اثر میلر دانست. چراکه خازن متغیری که با این روش به وجود می آید رابطه ای کاملاً مشخص و مداری با ولتاژ کنترل دارد و اثرات غیرخطی در آن دیده نمی شود.

شکل ۵ نمودار فرکانس خروجی نوسان ساز کم نویز را برحسب ولتاژ کنترل نشان می دهد. همچنین در شکل ۶ نمودار نویز فاز نوسان ساز کم نویز به ازای ولتاژ کنترل ۱/۳۵ ولت نشان داده شده است. برای محاسبه نویز فاز از رابطه (۹) که در پیوسته ها آمده است، استفاده شده است.



شکل ۵: نمودار فرکانس خروجی برحسب ولتاژ کنترل برای نوسان ساز کم نویز

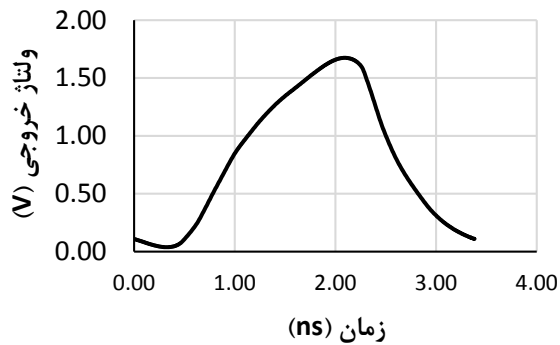


شکل ۶: نمودار نویز فاز به ازای آفست فرکانسی برای نوسان ساز کم نویز

پایداری این نوسان ساز در مقابل نویز تغذیه فرق چندانی با نوسان سازهای تکی معمول ندارد. نوسان سازهای حلقوی با معکوس کننده های تکی از نظر نویز تغذیه پاسخ بسیار نامطلوبی دارند، نویز تغذیه مستقیماً بر روی ولتاژ گیت سورس می افتد و به جریان درین منتقل می شود. در نهایت این نویز به نویز فاز تبدیل می شود [۱۹]. این سلول فرق چندانی از نظر نویز تغذیه با نوسان ساز حلقوی تکی معمول ندارد. در مواردی که نویز تغذیه مهم است و امکان دی کوپل آن با خازن وجود ندارد، تنها راه استفاده از سلول های تفاضلی است [۲۰]. در مواردی نیز می توان با اضافه کردن مدارهای جبران ساز به نوسان سازهای تکی نویز تغذیه را کاهش داد [۲۱].

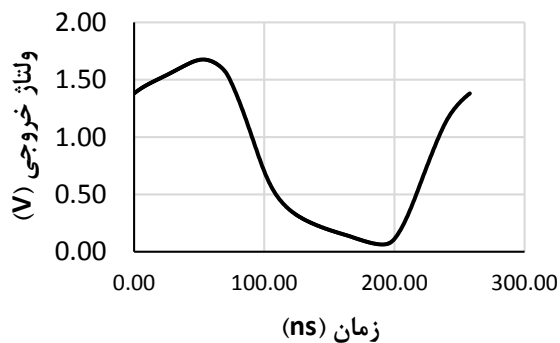
۴-۲- حالت دوم: نوسان ساز فرکانس بالا با خطیگی زیاد

برای افزایش فرکانس کاری طول ترانزیستورها را حداقل در نظر می گیریم تا کمترین تأخیر و در نتیجه بیشترین فرکانس نوسان را داشته باشیم؛ اما این کار نویز فاز را افزایش می دهد [۱۰]. برای حل این مشکل عرض ترانزیستورها را افزایش می دهیم. این کار به ازای



شکل ۱۰: خروجی نوسان ساز کم نویز به ازای ولتاژ کنترل ۱/۳۵ ولت در یک تناوب

نرسیدن دامنه خروجی به ولتاژ تغذیه در مدارهای دیجیتال مشکلی ایجاد نمی کند، اما در مدارهای آنالوگ بسته به کاربرد باید مورد بررسی قرار بگیرد.



شکل ۱۱: خروجی نوسان ساز فرکانس بالا به ازای ولتاژ کنترل ۱/۳۵ ولت در یک تناوب

۴-۴ - مقایسه نتایج با دیگر مقالات

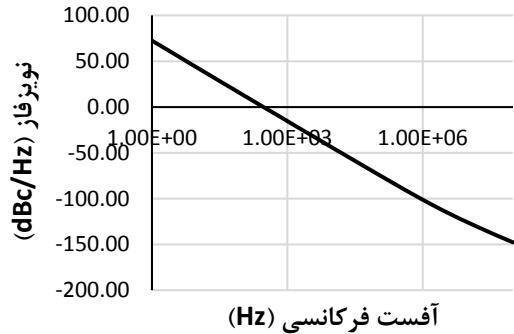
جدول ۴ برای مقایسه نوسان ساز پیشنهادی با دیگر نوسان سازها ارائه شده است. در این جدول نوسان سازهایی که در فن آوری ۰/۱۸ میکرون سی ماس پیاده سازی شده اند، مورد مقایسه قرار گرفته اند. ضریب شایستگی مرسوم برای نوسان سازهای کنترل شده با ولتاژ در رابطه (۷) آورده شده است [۲۴].

$$FOM = L(\Delta f) - 20 \log\left(\frac{f_0 TR}{\Delta f 10}\right) + 10 \log\left(\frac{P_{DC}}{1mW}\right) \quad (7)$$

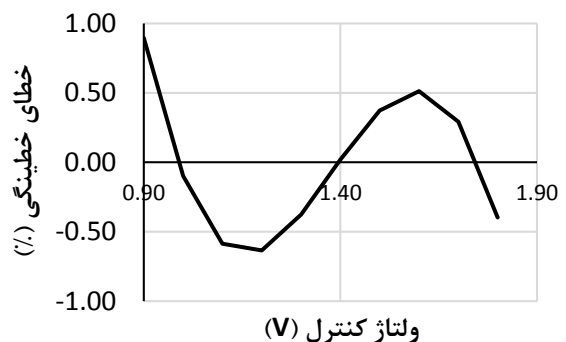
در رابطه (۷)، FOM ضریب شایستگی، $L(\Delta f)$ نویز فاز، Δf آفست فرکانسی محاسبه نویز فاز، f_0 فرکانس نوسان، TR محدوده نوسان که از رابطه (۸) به دست می آید و P_{DC} توان مصرفی است.

$$TR = \frac{f_{High} - f_{Low}}{f_0} \quad (8)$$

در رابطه (۸)، f_{Low} کمینه و f_{High} بیشینه فرکانس نوسان هستند. هر چه این عدد منفی تر باشد نشان از بهینه تر بودن طراحی دارد.



شکل ۸: نمودار نویز فاز به ازای آفست فرکانسی برای نوسان ساز فرکانس بالا با خطینگی زیاد



شکل ۹: خطای خطینگی بر حسب ولتاژ کنترل برای نوسان ساز فرکانس بالا با خطینگی زیاد

در جدول ۳ مقدار خطای خطینگی تعدادی از مراجع آورده شده است. از آنجا که گزارش خطای خطینگی در این گونه مقالات رایج نیست، بیشتر این مقادیر توسط نویسندگان و از روی نمودارهای داده شده در مقالات استخراج شده است.

جدول ۳: مقایسه خطای خطینگی چند نوسان ساز با نوسان ساز فرکانس بالا با خطینگی زیاد

این مقاله	[۲۳]	[۵]	[۱۲]	[۲۴]
خطای خطینگی	٪۰/۹	٪۰/۴	٪۱/۳	٪۳/۱

*: این مرجع دارای مدار جبران ساز برای بهبود خطینگی است.

۴-۳ - دامنه ولتاژ خروجی نوسان ساز

یکی دیگر از خصوصیات مهم برای نوسان سازها رسیدن دامنه خروجی به ولتاژ تغذیه است. شکل های ۱۰ و ۱۱ خروجی حوزه زمان نوسان ساز در دو حالت فرکانس بالا و کم نویز را نشان می دهند. در این شکل ها ولتاژ خروجی اندکی از ولتاژ تغذیه فاصله دارد و این به علت رفتن ماسفت ها به حالت خطی و همچنین نداشتن زمان کافی برای شارژ و تخلیه کامل خازن خروجی است.

$$L(\Delta f) = \frac{P_{noise-1Hz}(\Delta f)}{P_{total}} \quad (9)$$

در رابطه (۹)، Δf آفست فرکانسی از فرکانس نوسان، $L(\Delta f)$ نویز فاز، $P_{noise-1Hz}(\Delta f)$ توان نویز در پهنای باند ۱ هرتز و آفست Δf از فرکانس نوسان و P_{total} کل توان خروجی است.

مراجع

[1] M. Saini, and M. Kumar, "Differential ring voltage controlled oscillator-A review," *International Journal of Advances in Engineering Sciences*, vol. 3, pp. 75-77, 2013.

[۲] روح‌الله نوروزی دهناشی و ابراهیم فرشیدی، «افزایش توان تفکیک ساختار MASH مرتبه‌دو مبتنی بر GRO و مدولاسیون عرض پالس در ورودی»، *مجله مهندسی برق دانشگاه تبریز*، جلد ۴۵، شماره ۴، صفحه ۲۱۱-۲۲۱، ۱۳۹۴.

[3] Y. A. Eken, and J. P. Uyemura, "A 5.9-GHz voltage-controlled ring oscillator in 0.18-um CMOS," *IEEE Journal of Solid-State Circuits*, vol. 39, no. 1, pp. 230-233, 2004.

[4] B. Razavi, "A study of phase noise in CMOS oscillators," *IEEE Journal of Solid-State Circuits*, vol. 31, pp. 331-343, 1996.

[5] T. Li, J. Jinguang, Y. Bo, and H. Xingcheng, "Ultra low voltage, wide tuning range voltage controlled ring oscillator," *IEEE 9th International Conference on ASIC*, pp. 824-827, 2011.

[6] T. Miyazaki, M. Hashimoto, and H. Onodera, "A performance comparison of PLLs for clock generation using ring oscillator VCO and LC oscillator in a digital CMOS process," *Design Automation Conference*, pp. 545-546, 2004.

[۷] فرزانه فروهر و علی بنایی، «بررسی پایداری مودهای شبکه نوسان‌سازهای تزویج‌شده در دو آرایش تزویج خطی و حلقوی»، *مجله مهندسی برق دانشگاه تبریز*، جلد ۲۸، شماره ۱، صفحه ۱۹-۲۷، ۱۳۸۱.

[8] T. Kawamoto, K. Ueda, and T. Noto, "480 MHz 10-tap clock generator using edge-combiner DLL for USB 2.0 applications," *Journal of Electrical and Computer Engineering*, 2012.

[9] S. Liu, J. Lee, and H. Tsao, "Low-power clock-deskew buffer for high-speed digital circuits," *IEEE Journal of Solid-State Circuits*, vol. 34, pp. 554-558, 1999.

[10] A. Hajimiri, S. Limotvrakis, and T. H. Lee, "Jitter and phase noise in ring oscillators," *IEEE Journal of Solid-State Circuits*, vol. 34, 1999.

[11] A. Pietro, F. Bigongiari, R. Roncella, R. Saletti, and P. Terreni, "A digitally controlled shunt capacitor CMOS delay line," *Analog Integrated Circuits and Signal Processing*, vol. 18, pp. 89-96, 1999.

[12] M. Kumar, S. Arya, and S. Pandey, "Ring VCO design with variable capacitance XNOR delay cell," *Journal of the Institution of Engineers*, no. series B, pp. 1-9, 2014.

[13] D. Siprak, and A. Roithmeier, "Varactor modeling methodology for simulation of the VCO tuning sensitivity," *The International Conference on Microelectronic Test Structures*, pp. 273-277, 2004.

جدول ۴: مقایسه چند نوسان‌ساز طراحی‌شده در فن‌آوری ۰/۱۸ میکرون با دو نوسان‌ساز پیشنهادی، (۱) کم‌نویز و (۲) فرکانس بالا با خطینگی زیاد

	[۲۵]	[۲۴]	[۵]	این مقاله (۲)	این مقاله (۱)	
فرکانس کاری (GHz)	۰/۶۳	۰/۴۰	۰/۲۳	۳/۸۹	۰/۳۰	۵
حدود تغییرات (%)	۱۹۰	۰/۷۴	۱۲۷	۳۰	۱۶	۱۱۴
نویز فاز (۱ MHz)	-۱۰۸	-۸۴	-۸۶	-۱۰۱	-۱۲۵	-۸۸
توان مصرفی (mW)	۲۲	۰/۴۶	۰/۰۶	۴۶	۱۲/۷	۸۵
ضریب شایستگی (dBc/Hz ^{1/2})	-۱۱۶	-۶۷	-۱۰۷	-۱۰۶	-۱۰۸	-۱۰۴
سطح مصرفی (mm ² × 10 ⁻³)	۳/۱	۱۶/۵	-	۱۵	۱۳	۷۵

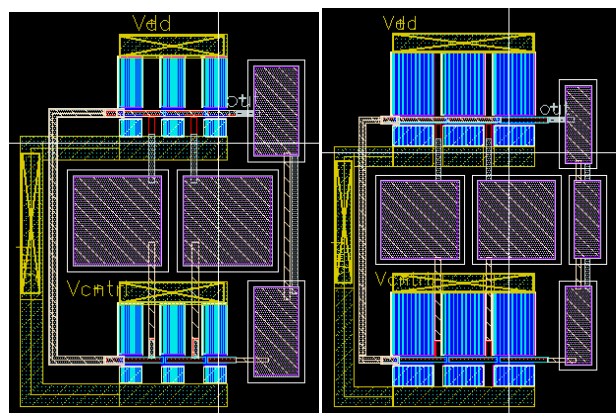
۵- نتیجه‌گیری

در این مقاله یک سلول تأخیر جدید با به‌کارگیری اثر میلر معرفی شده است. طبق بررسی‌های نویسندگان این اولین بار است که سلول تأخیر بر پایه اثر میلر طراحی می‌شود. از کنار هم قرار دادن سه عدد از این سلول‌های پایه، یک نوسان‌ساز حلقوی ساخته شده و با بهینه‌سازی ابعاد ترانزیستورها دو نوسان‌ساز، یکی با نویز کم و دیگری با فرکانس بالا و خطینگی زیاد، طراحی شده است. نوسان‌ساز کم‌نویز با نویز فاز ۱۲۵ dBc/Hz- در فرکانس ۳۱۴ MHz و نوسان‌ساز با فرکانس بالا و خطینگی زیاد با حداکثر خطای خطینگی ۰/۹ درصد در فرکانس مرکزی ۳/۸۹ GHz طراحی شده است.

به‌عنوان موضوعی برای پژوهش‌های بعدی می‌توان از ولتاژ کنترل بیشتر از ۱/۸ ولت استفاده کرد تا محدوده تغییرات فرکانس خروجی را افزایش داد.

پیوست‌ها

شکل ۱۲ طرح‌بندی نوسان‌سازهای طراحی‌شده را نشان می‌دهد.



شکل ۱۲: طرح‌بندی دو نوسان‌ساز پیشنهادی کم‌نویز (سمت چپ) و فرکانس بالا با خطینگی زیاد (سمت راست) در فن‌آوری ۰/۱۸ میکرون سی‌ماس

- and voltage-swing control,” *IEEE International Symposium on Circuits and Systems, ISCAS*, 2011.
- [21] N. Devesh, and T. Toifl, “Active compensation of supply noise for a 5-GHz VCO in 45-nm CMOS SOI technology,” *IEEE International Symposium on Circuits and Systems, ISCAS*, 2008.
- [22] TSMC, “TSMC 0.18u GPDK”.
- [23] W. El-Halwagy, M. Dessouky, and H. El-Ghitani, “Analysis and design of analog-based voltage controlled oscillator linearization technique,” *2013 8th International Symposium on Design and Test (IDT)*, 2013.
- [24] M. M. Abdul-Latif, and E. Sanchez-Sinencio, “Low phase noise wide tuning range N-push cyclic-coupled ring oscillators,” *IEEE Journal of Solid-State Circuits*, vol. 47, 2012.
- [25] W. Khalil, *et al.*, “A 700 μ A 405-MHz all-digital fractional-N frequency-locked loop for ISM Band applications,” *IEEE Transactions on Microwave Theory and Techniques*, vol. 59, 2011.
- [26] A. Rezayee, “A 10-Gb/s clock recovery circuit with linear phase detector and coupled two-stage ring oscillator,” *Solid-State Circuits Conference*, pp. 419-422, 2002.
- [14] H. E. Weste, and M. Harris, *CMOS VLSI Design: A Circuits and Systems Perspective*, Fourth Edition, Addison-Wesley, 2010.
- [15] L. Lianming, P. Reynaert, and M. Steyaert, “A colpitts LC VCO with Miller-capacitance gm enhancing and phase noise reduction techniques,” *ESSCIRC, Proceedings of the, IEEE*, 2011.
- [16] C. Hung-Chuan, and H. W. Chiu, “VCO with Miller theorem-based varactors,” *Electronics Letters*, vol. 46, no. 14, pp. 990-991, 2010.
- [17] L. Maarten, *et al.*, “A 60GHz miller effect based VCO in 65nm CMOS with 10.5% tuning range,” *Silicon Monolithic Integrated Circuits in RF Systems, IEEE Topical Meeting on, IEEE*, 2009.
- [18] S. Kari, R. Kaunisto, and V. Porra, “A high frequency harmonic VCO with an artificial varactor,” *IEEE International Conference on Electronics, Circuits and Systems*, vol. 3, 1998.
- [19] M. Ei-Hage, and F. Yuan, “An overview of low-voltage VCO delay cells and a worst-case analysis of supply noise sensitivity,” *Canadian Conference on Electrical and Computer Engineering, IEEE*, vol. 3, 2004.
- [20] P. Young-Seok, and W. Y. Choi, “Supply noise insensitive ring VCO with on-chip adaptive bias-current

زیرنویس‌ها

-
- ¹ CMOS
² Layout
³ Voltage Controlled Oscillator (VCO)
⁴ Modulation
⁵ Demodulation
⁶ Ring
⁷ LC Resonance Circuits
⁸ Tuning Range (TR)
⁹ Current Starved Delay Cell
¹⁰ Shunt Capacitor Delay Cell
¹¹ Varactor
¹² Metal Oxide Semiconductor