Low Power Bulk-Driven Time-Domain Comparator with High Voltage-to-Time Gain

Roohollah Sanati, Farzan khatib*, Mohammad Javadian Sarraf, Reihaneh Kardehi Moghaddam

Department of Electrical Engineering, Mashhad Branch, Islamic Azad University, Mashhad, Iran.
E-mails: r_sanati110@yahoo.com; khatib@mshdiau.ac.ir; m.j.sarraf@mshdiau.ac.ir, r_k_moghaddam@mshdiau.ac.ir
* corresponding author

Short Abstract
This paper presents a time-domain comparator with low supply voltage and low power consumption for using in circuits that comparator's input common-mode voltages swing is 0 to half supply voltage. To design the time-domain comparator, a delay element with a very high delay-voltage gain is proposed. The purpose of designing this comparator is to achieve high delay-voltage gain, which leads to an increase in the accuracy of the comparator, as well as a significant reduction in power consumption and occupied area compared to conventional time-domain comparators. This time-domain comparator utilizes subthreshold concept and also uses the bulk-voltage of transistor as a comparator input. The proposed comparator is simulated in 0.18µm TSMC technology at 1V supply voltage, which according to the intended application, the supply voltage can be reduced to about 0.4V. The simulation results show that with supply voltage of 1V the proposed comparator consumes 250nW at the clock frequency of 2.5MHz. The figure of merit of 0.1µW/MHz indicates the high performance of the proposed comparator. Based on the Monte Carlo simulation, the offset voltage of this comparator is obtained 2.8mV.

Keywords
Delay element, time-domain comparator, subthreshold, bulk-driven.

1- Short Introduction (4-5 lines)

In recent years there is a growing demand for low-power and low-voltage circuits. Among these circuits, the comparators play an important role in most applications. To reduce the power consumption of comparators, several approaches have been reported. As an alternative approach, time-domain comparators is recently proposed to overcome the offset and noise problem in low supply voltages as well as the kickback noise elimination. the noise and offset of time-domain comparators are less than the conventional dynamic comparators. In this paper, a low power time-domain comparator is introduced using a new delay element with high voltage-to-time conversion gain.

2- Proposed Work and Methodology (including comprision, simulation/experimental results and discusion)

The proposed time-domain comparator is simulated in 0.18µm TSMC technology at different supply voltages. We used cadence software for simulation. The simulation results show that comparator have high accuracy and low power consumption.

3- Conclusion (4-5 lines)

In this paper, a high gain time-domain comparator is designed, laied, and simulated for applications with maximum common voltage variations from zero to half supply voltage ($V_{DD}/2$) in 0.18µm TSMC technology. Simulation results show that the comparator offset value approximately is 2.8mV in V_{DD}=1V and it occupies area 32µm × 12.8µm. The power consumption is 250nW at the clock frequency of 2.5MHz. The V-to-T conversion gain has also improved more than 6-fold compared to conventional delay elements. Also, the obtained area shows that due to the high gain and low number of stages, this comparator can be one of the important options for using in circuits with a very small area, such as implantable sensor in the body.

4- References (2-3 references)

1- R. Sanati, F. Khatib, M. J. Sarraf, R. K. Moghaddam, "Low power time-domain rail-to-rail comparator with a new delay element for ADC applications", Integration, vol. 77, pp. 89-95, 2021.
2- S.-K. Lee, S.-J. Park, H.-J. Park, J.-Y. Sim, "A 21 fJ/conversion-step 100 kS/s 10-bit ADC with a low-noise time-domain comparator for low-power sensor interface", IEEE Journal of Solid-State Circuits, vol. 46, pp. 651-659, 2011.

مقایسه‌کننده حوزه زمان بالک-درایو با بهره ولتاژ به زمان بالا و توان مصرفی پایین

روح اله صنعتی[۱]، فرزان خطیب[۲]، محمد جوادیان صراف[۳] و ریحانه کاردهی مقدم
[۱]دانشجوی دکتری، گروه مهندسی برق، واحد مشهد، دانشگاه آزاد اسلامی، مشهد، ایران - r_sanati110@yahoo.com
[۲*] استادیار، گروه مهندسی برق، واحد مشهد، دانشگاه آزاد اسلامی، مشهد، ایران - khatib@mshdiau.ac.ir
[۳] استادیار، گروه مهندسی برق، واحد مشهد، دانشگاه آزاد اسلامی، مشهد، ایران - m.j.sarraf@mshdiau.ac.ir
[۴] دانشیار، گروه مهندسی برق، واحد مشهد، دانشگاه آزاد اسلامی، مشهد، ایران - r_k_moghaddam@mshdiau.ac.ir

چکیده

در این مقاله یک مقایسه کننده حوزه زمان برای کار در ولتاژهای تغذیه بسیار کم، برای کاربرد در مدارهایی که حداکثر تغییرات ولتاژ مشترک ورودی مقایسه‌کننده، نصف ولتاژ تغذیه است، ارائه شده است. در مقایسه‌کننده پیشنهادی، یک المان تاخیر جدید با بهره تاخیر-ولتاژ بسیار بالا پیشنهاد شده است. هدف از طراحی این مقایسه‌کننده دستیابی به بهره تاخیر-ولتاژ بالا در المان تاخیر است که منجر به افزایش دقت مقایسه‌کننده و همچنین کاهش چشمگیر توان مصرفی و مساحت اشغالی نسبت به مقایسه‌کننده‌های حوزه زمان رایج می‌شود. ایده اصلی این کار، به کارگیری مفهوم ناحیه زیر آستانه ترانزیستور و همچنین استفاده از ولتاژ بالک ترانزیستور به عنوان ورودی مقایسه‌کننده، می‌باشد. مقایسه‌کننده پیشنهادی در تکنولوژی 0.18μm TSMC و در ولتاژ تغذیه 1V شبیه سازی شده است که با توجه به کاربرد مورد نظر، ولتاژ تغذیه را می‌توان تا حدود 0.4V نیز کاهش داد. نتایج شبیه سازی‌ها نشان می‌دهد که مقایسه‌کننده پیشنهادی در ولتاژ 1V و با فرکانس 2.5MHz توان مصرفی حدود 250nW دارد. ضریب شایستگی 0.1μW/MHz نشان دهنده عملکرد مناسب مقایسه‌کننده پیشنهادی می‌باشد. همچنین مقایسه گر پیشنهادی مقاومت خوبی نسبت به تغییرات تکنولوژی دارد و بر اساس شبیه سازی مونت کارلو انجام شده، میزان آفست این مقایسه‌کننده 2.8mV محاسبه شده است.

کلمات کلیدی

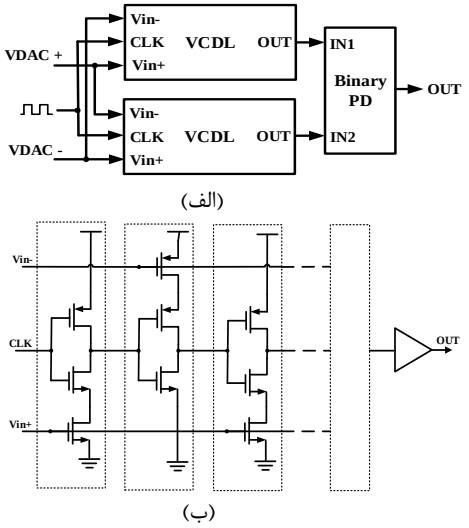
المان تاخیر، مقایسه کننده حوزه زمان، زیر آستانه، بالک-درایو.

تاریخ ارسال مقاله: ۱۴۰۰/۱۱/۲۴
تاریخ(های) اصلاح مقاله: ۱۴۰۱/۰۲/۲۲
تاریخ پذیرش مقاله: ۱۴۰۱/۰۴/۰۴

۱- مقدمه

امروزه استفاده از سیستم‌هایی که توسط باتری تغذیه می‌شوند، مانند سنسورهای پزشکی کاشتنی و دستگاههای الکترونیکی قابل حمل به شدت افزایش یافته است. افزایش طول عمر باتری به کار رفته در این نوع سیستم‌ها، منوط به طراحی مدارهایی است که توان مصرفی کمتری داشته باشند. مقایسه‌کننده‌ها یکی از بخش‌های مهم در بیشتر سیستم-های مدار مجتمع، به ویژه مدارهای سیگنال مخلوط مانند مبدل‌های آنالوگ به دیجیتال می‌باشند. بنابراین توان مصرفی مقایسه‌کننده نقش مهمی در توان مصرفی کل مبدل‌های آنالوگ به دیجیتال دارد. از سوی دیگر با پیشرفت تکنولوژی و فشرده‌سازی مدارات حداکثر ولتاژ قابل تحمل ترانزیستورها، کاهش یافته، که طراحی مقایسه‌کننده با دقت بالا را با چالش‌های جدی مواجه ساخته است. این مساله نقش غیر قابل انکاری در طراحی مدارهایی با دقت بالا دارد. در سال‌های اخیر، روش-های مختلفی برای کاهش ولتاژ تغذیه و توان مصرفی و افزایش دقت مقایسه‌کننده‌ها گزارش شده است [۱-۴]. کاهش ولتاژ منبع تغذیه یکی از رایج‌ترین روش‌های کاهش توان مصرفی است. اما در ولتاژهای پایین، طراحی مدارات آنالوگ در مقایسه با نمونه‌های دیجیتال چالش‌های بیشتری را در بر دارد. به عنوان مثال در ولتاژ تغذیه ۳/۳ ولت، برای دستیابی به ۱۲ بیت قابلیت تفکیک در مبدل، کم ارزش‌ترین بیت، ۰/۸ میلی ولت می‌باشد. حال برای دستیابی به همین میزان قابلیت تفکیک در ولتاژ تغذیه ۰/۸ ولت، کم ارزش‌ترین بیت یا به بیان دیگر، دقت طراحی، بایستی برابر ۰/۲ میلی ولت باشد. بنابراین طراحی مدار با میزان نویز پایین از چالش‌های دستیابی به قابلیت تفکیک بالا درتکنولوژی‌های امروزی می‌باشد. برای بهبود عملکرد مدارهای سیگنال مخلوط، در ولتاژهای تغذیه پایین، طراحی مقایسه‌کننده نقش بسزایی را ایفا می‌کند. در سال‌های اخیر روش‌های مناسبی جهت بهبود عملکرد مقایسه‌کننده-های دینامیکی در کاربردهای ولتاژ پایین گزارش شده است [۵-۷]. علاوه بر این ، تلاش‌های زیادی برای کاهش توان مصرفی مقایسه‌کننده‌های مورد استفاده در مبدل‌های آنالوگ به دیجیتال ارائه شده است . معمولاً در طراحی مبدل‌های آنالوگ به دیجیتال، به دلیل سرعت بالا و توان

مصرفی کم، از مقایسه‌کننده‌های Latch و double tail استفاده می‌شود [۸, ۹]. اما مشکل اصلی این مقایسه‌کننده‌ها آفست (دهها میلی ولت) و نویز (صدها میکرو ولت) بسیار بالا می‌باشد [۱۰]. برای کاهش اثر آفست و نویز در مقایسه‌کننده‌ها، تکنیک‌های خاصی مورد نیاز است. استفاده از پیش تقویت‌کننده و افزایش اندازه ترانزیستورها روش‌هایی برای کاهش آفست می‌باشند که خود موجب افزایش توان مصرفی و یا افزایش مساحت می‌شوند[۱۱]. در سال‌های اخیر مقایسه‌کننده‌های حوزه زمان، برای کار در ولتاژ های تغذیه بسیار کم و همچنین برای مقابله با مشکل نویز و آفست در مدارهای با ولتاژ منبع تغذیه پایین، معرفی شده‌اند [۱۰, ۱۲-۱۴]. همچنین در بسیاری از مقالات اخیر، از مقایسه‌کننده‌های حوزه زمان جهت بهبود نویز، آفست و کاهش توان مصرفی استفاده شده است [۱۵-۱۷]. بطور کلی ماهیت دیجیتالی مقایسه‌کننده‌های حوزه زمان امکان کار در ولتاژهای بسیار پایین را فراهم می‌کند. در مقایسه‌کننده‌های حوزه زمان، به جای مقایسه ولتاژهای ورودی، زمان تأخیر متناظر با ورودی‌ها، با هم مقایسه می‌شوند. شکل ۱-الف بلوک دیاگرام مقایسه‌کننده حوزه زمان گزارش شده در [۱۰] را نشان می‌دهد. این مقایسه‌کننده از دو خط تأخیر کنترل شده با ولتاژ[1] و یک آشکارساز فاز تشکیل شده است. دو ورودی آنالوگ به بلوک‌های VCDL برای تبدیل سیگنال آنالوگ به تاخیر زمانی اعمال می‌شود. بر اساس شکل ۱-ب که مدار VCDL را نشان می‌دهد، خروجی مدارهای VCDL سیگنال تاخیر یافته پالس ساعت است، که توسط ورودی‌های مقایسه‌کننده کنترل می‌شود. به عبارت دیگر، تأخیر کلی VCDL ها به جریان هر طبقه مربوط می‌شود که توسط ترانزیستورهای NMOS در طبقات فرد و ترانزیستورهای PMOS در طبقات زوج کنترل می‌شود. سیگنال خروجی مربوط به ولتاژ ورودی بزرگتر نسبت به خروجی دیگر، تأخیر کوچکتری دارد. همچنین از یک آشکارساز فاز برای تعیین سیگنال خروجی با تاخیر کوچکتر استفاده می‌شود. تعداد المان‌های تأخیر در هر بلوک VCDL، دقت مقایسه‌کننده را تعیین می‌کند. از آنجا که مدار آشکارساز فاز باینری، دارای دقت محدودی برای تعیین سیگنال ورودی بزرگتر است، استفاده از المان‌های تأخیر بیشتر در VCDLها باعث می‌شود که اختلاف سیگنال‌های خروجی دو VCDL بیشتر شده و در نتیجه تشخیص سیگنال با تاخیر بزرگتر برای آشکارساز فاز راحت‌تر شود. بنابراین، در مدارهایی که نیاز به دقت بالایی دارند، به دلیل وجود طبقات المان تاخیر بیشتر در ساختار مقایسه‌کننده حوزه زمان، توان بیشتری مصرف می‌شود. همچنین، نویز و آفست در مقایسه‌کننده‌های حوزه زمان، نسبت به مقایسه‌کننده‌های دینامیکی متداول، بهتر است [۱۰]. در مقایسه‌کننده‌های حوزه زمان، بهبودهای بسیاری بر روی سرعت، توان مصرفی و دقت انجام شده است. در [۱۶] از آرایه‌های خازنی که بصورت دیجیتالی قابل تنظیم هستند استفاده شده است که آفست بهبود داده شده است. ساختار کلی آن مشابه ساختارهای رایج بوده و تعداد بالای طبقات تاخیر، مساحت و توان مصرفی بالا ازمعایب اصلی این ساختار است. همچنین، تنها در ولتاژ مشترک ورودی برابر با $V_{DD}/2$ عمل مقایسه انجام می‌شود. در [۱۸] با استفاده از یک المان تاخیر بهبود یافته، جریان‌های اتصال کوتاه کاهش یافته است تا توان مصرفی کاهش یابد. همچنین در [۱۹] یک المان تاخیر بر مبنای منطق کوپلاژ سورس زیر آستانه[2] ارائه شده است که می تواند با جریان های بسیار کم در ولتاژ تغذیه پایین کار کند. در این ساختار به دلیل کاهش سوئینگ خروجی توان مصرفی بسیار کم می‌شود. اما پیچیدگی طراحی و نیاز به مدارهای جانبی بایاس از معایب این ساختار می باشد. با این وجود، در کاربردهای ولتاژ پایین، مشکل اصلی تمام مقایسه‌کننده‌های حوزه زمان گزارش شده، دقت، توان مصرفی و مساحت اشغالی می‌باشد. تمامی این مشکلات ناشی از بهره ولتاژ به زمان المان‌های تاخیر مورد استفاده می باشد. زیرا کم بودن مقدار بهره، مدار را نیازمند تعداد طبقات بیشتری برای رسیدن به دقت مورد نظر می کند. بنابراین با بهبود بهره تاخیر ولتاژ به زمان می توان به توان، مساحت و دقت بهتری دست پیدا کرد. بسیاری از مقایسه‌کننده‌های حوزه زمان رایج، در محدوده ولتاژهای ورودی نزدیک صفر به دلیل خاموش شدن ترانزیستورهای NMOS عملکرد درستی ندارند و ولتاژ ورودی مقایسه‌کننده نباید از ولتاژ آستانه ترانزیستور NMOS کمتر باشد. بنابراین محدوده سیگنال ورودی مقایسه‌کننده، یکی دیگر از چالش‌های طراحی می‌باشد. برای حل این مشکل در [۱۵] راهکاری توسط نویسندگان این مقاله ارائه شده است که با استفاده از یک المان تاخیر جدید که به صورت تمام مقیاس عمل می‌کند، مقایسه کننده حوزه زمانی طراحی شده است که می‌تواند به ازای تمامی ولتاژهای مشترک ورودی به درستی عمل نماید. مشکل این ساختار نیز مساحت بزرگ به خاطر تعداد طبقات بالا می باشد.



شکل ۱- مقایسه‌کننده حوزه زمان رایج: (الف) ساختار مقایسه‌کننده و (ب) شماتیک مداری المان تاخیر آن [۱۰].

از طرفی استفاده از درایو بدنه به جای گیت ترانزیستورهای ورودی یکی از راهکارهایی است که در سالهای اخیر برای مدارهای مختلفی به کارگرفته شده است[۲۰-۲۲]. در مقایسه گر ولتاژی ارائه شده در [۲۳]

[1] Voltage Control Delay Line (VCDL)

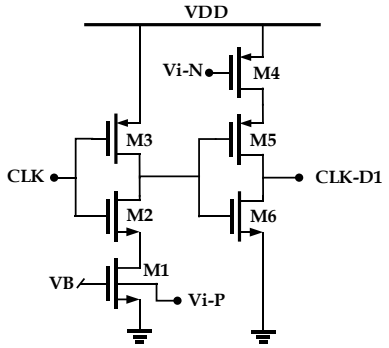
[2] Subthreshold Source Coupled Logic (STSCL)

ورودی به جای اتصال به گیت، به بدنه اعمال شده است که در نتیجه آن و همچنین با استفاده از یک ساختار آینه جریانی علاوه بر بهبود دقت، خاصیت تمام مقیاس نیز به دست آمده است. اما به دلیل اینکه مقایسه گر از نوع ولتاژی می باشد دارای نویز و حساسیت بالا و همچنین توان مصرفی بالایی می باشد. چرا که ترانزیستور ورودی به دلیل وجود آینه جریان، دارای توان استاتیک می باشد. در این مقاله، یک مقایسه-کننده حوزه زمان از نوع درایو شده از بدنه، با استفاده از یک المان تاخیر جدید با بهره تبدیل ولتاژ به زمان بالا برای کاربرد در مدارهایی که حداکثر تغییرات ولتاژ مشترک ورودی مقایسه‌کننده، از صفر تا نصف ولتاژ تغذیه است، ارائه شده است. ادامه این مقاله به شرح زیر نگارش شده است. در بخش دوم، اصول عملکرد مقایسه‌کننده حوزه زمان پیشنهادی و ساختار آن معرفی می‌شود. بخش سوم نتایج شبیه‌سازی ارائه می‌شود، و در نهایت در بخش چهارم نتیجه‌گیری و خلاصه‌ای از کار انجام شده در این مقاله بیان می‌گردد.

۲- مقایسه‌کننده حوزه زمان پیشنهادی

در ساختار مقایسه‌کننده‌های حوزه زمان رایج، مانند [۱۰, ۱۲, ۱۷]، جهت دستیابی به دقت مورد نظر، تعداد طبقات المان تاخیر، بالا و در حدود ۱۰ طبقه در نظر گرفته شده است و یا با استفاده از مدارهای واسط سعی در افزایش دقت مقایسه‌کننده داشته‌اند که باعث افزایش توان مصرفی و مساحت اشغالی کل مدار می‌شود.

شکل ۲ ساختار مدار خط تاخیر کنترل شده با ولتاژ ورودی را نشان می‌دهد که تعداد طبقات تاخیر آن، نسبت به نمونه‌های مشابه اخیر به دو طبقه کاهش پیدا کرده است. هدف اصلی مقایسه‌گر پیشنهادی، عملکرد صحیح در محدوده بزرگی از ولتاژهای مشترک (صفر تا نصف ولتاژ تغذیه) و بالا بردن بهره تبدیل ولتاژ به زمان می باشد. اما این کار در این مقایسه‌کننده به صورت متفاوتی انجام می‌گیرد. در سالهای اخیر استفاده از پایه بالک ترانزیستور در بسیاری از مدارهای آنالوگ حوزه ولتاژ، به کار گرفته شده است. یکی از مزایای مهم استفاده از این پایه، به شرطی که ترانزیستور در ناحیه زیرآستانه بایاس شود، رابطه نمایی جریان با ولتاژ می‌باشد که می تواند منجر به ایجاد بهره بالا شود. اما مشکل بزرگ آن روشن شدن دیود بالک-سورس است که می‌تواند عملکرد مدار را دچار اختلال نماید. از آنجا که در بسیاری از مدارها، مثل مبدل آنالوگ به دیجیتال تقریب متوالی با روش کلیدزنی یکنوا [۲۴]، ساختار هیبرید [۲۵] و روش ارائه شده در [۲۶]، تغییر ولتاژ مشترک فقط در محدوده نیمه پایینی ولتاژ تغذیه (از صفر تا $V_{DD}/2$) انجام می‌گیرد، می‌توان بدون ایجاد مشکل از پایه بالک یک ترانزیستور NMOS استفاده نمود به شرط آنکه ولتاژ تغذیه بیش از دو برابر ولتاژ آستانه نباشد. این شرط نیز به دلیل اینکه مدار برای زیرآستانه طراحی شده است کاملا قابل دستیابی و منطقی می باشد. این کار علاوه بر بهبود بهره تبدیل ولتاژ به زمان می‌تواند دقت مقایسه‌گر را افزایش دهد. با توجه به ساختار VCDL پیشنهادی، در طبقه اول، تاخیر با ولتاژ بدنه ترانزیستور نوع N کنترل می‌شود که با یک ولتاژ ثابت در گیت ترانزیستور بایاس شده است. این ولتاژ بایاس برای کاربردهای متفاوت قابلیت تنظیم محدوده فرکانسی را نیز ایجاد می نماید. در طبقه دوم نیز به دلیل اینکه مدار بتواند در نیمه پایینی تغذیه به درستی کار کند، از گیت ترانزیستور PMOS برای کنترل جریان استفاده شده است. اندازه ترانزیستورها و مقدار ولتاژ بایاس طوری انتخاب شده است که بتواند در محدوه کاری مورد نظر، سرعت و تاخیر مناسب، به درستی عمل کند.

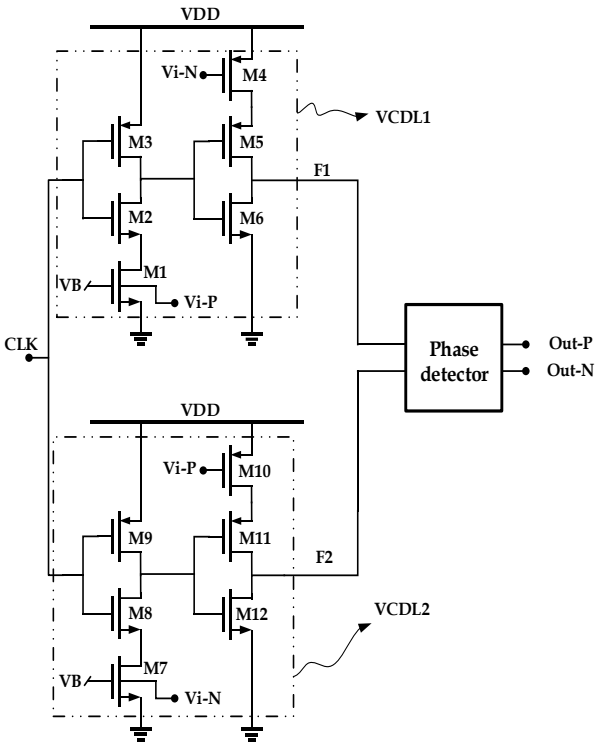


شکل ۲- خط تاخیر کنترل شده با ولتاژ پیشنهادی (VCDL)

۲-۱- ساختار مداری مقایسه‌کننده حوزه زمان پیشنهادی

همانطور که قبلا گفته شد، یکی از معایب ساختار مقایسه‌گرهای حوزه زمان متداول، تعداد زیاد المان‌های تاخیر و مساحت زیاد آن می-باشد. علت استفاده از تعداد زیاد المان تاخیر، رسیدن به دقت مناسب می‌باشد چرا که المان‌های تاخیر استفاده شده معمولا دارای بهره تبدیل محدودی می‌باشند که با در کنار هم قرار گرفتن چندین المان تاخیر، اختلاف تاخیر مناسبی بین خروجی دو خط تاخیر ایجاد شود که تمایز دو سیگنال، برای آشکارساز فاز قابل انجام باشد. در ساختار مقایسه‌گر حوزه زمان پیشنهادی، از پایه بالک به صورتی استفاده شده است که تعداد المان‌های تاخیر را به حداقل ممکن می‌رساند. طبق شکل ۳ مقایسه‌کننده حوزه زمان پیشنهادی، شامل دو خط تاخیر کنترل شده با ولتاژ می باشد که در هر دو خط تاخیر، از ورودی‌های مثبت و منفی استفاده شده است. در خط اول ورودی مثبت به بالک ترانزیتسور NMOS اولین المان تاخیر و ورودی منفی به گیت ترانزیستور PMOS دومین المان تاخیر متصل شده است. علت این امر این است که در المان تاخیر اول زمان دشارژ به صورت مستقیم به ورودی مثبت و در المان دوم زمان شارژ به صورت معکوس به ورودی منفی ارتباط پیدا کند. همه این موارد در خط دوم به صورت عکس متصل شده است تا بتوان تفاوت تاخیر را بین ورودی اول و دوم مقایسه نمود. در واقع خطوط تاخیر طوری طراحی شده اند که همواره از هر دو ورودی تاثیر می پذیرند. نحوه عملکرد مقایسه‌کننده پیشنهادی به این صورت است که در زمانی که کلاک در حالت صفر منطقی قرار دارد، ترانزیستورهای M_2 و M_8 خاموش بوده و ترانزیستورهای M_3 و M_9 روشن هستند. در این حالت مدار در حالت reset قرار داشته و ورودی‌های مقایسه‌کننده نقشی در عملکرد مدار ندارند. در حالتی که مدار وضعیت reset دارد، خازن خروجی (خازن معادل بین دو معکوس‌کننده) به اندازه V_{DD} شارژ می‌شود و سپس ترانزیستورهای M_6 و M_{12} روشن شده و ورودی‌های آشکارساز فاز را بازنشانی می‌کنند. زمانی که کلاک در حالت یک منطقی

قرار می‌گیرد، فاز مقایسه آغاز می‌شود. این بار ترانزیستورهای M_3 و M_9 خاموش بوده و ترانزیستورهای M_2 و M_8 روشن هستند. در این حالت جریان دشارژ خازن معادل بین دو اینورتر، در هر دو VCDL بالا و پایین به مقدار ولتاژهای ورودی V_{ip} و V_{in} بستگی دارد که به پایه بالک ترانزیستورهای M_1 و M_7 متصل هستند. تفاوت ولتاژهای ورودی باعث ایجاد تاخیرهای متفاوتی در زمان دشارژ خازن معادل بین دو طبقه اینورتر، در دو VCDL بالا و پایین شده و در نتیجه ترانزیستورهای M_5 و M_{11} با تاخیر کوتاهی نسبت به هم روشن می‌شوند. در طبقه دوم نیز با توجه به اینکه ولتاژهای ورودی به گیت ترانزیستور PMOS متصل شده، بازهم با توجه به میزان اختلاف ورودی‌ها تاخیر دیگری در پالس ایجاد شده و در نهایت لبه پالس با تاخیر کمتر توسط آشکارساز فاز، مشخص شده و ورودی بزرگتر تشخیص داده می‌شود. در ساختار مقایسه‌کننده پیشنهادی، اگر V_{ip} بزرگتر باشد، خروجی مقایسه‌کننده، یک و در غیر اینصورت خروجی، صفر خواهد شد. یکی از مزایای مهم این ساختار، علاوه بر کاهش مساحت خطوط تاخیر، استفاده از ظرفیت تفاضل دو ورودی به جای ارتباط مستقیم تاخیر هر خط، به یک ورودی است که باعث بهبود بهره تبدیل ولتاژ به تاخیر و در نتیجه دقت مقایسه می‌گردد. این مساله در بخش بعدی تشریح می گردد.



شکل ۳- ساختار مداری مقایسه‌کننده حوزه زمان پیشنهادی

۲-۲- تحلیل بهره تاخیر-ولتاژ

یکی دیگر از مزایای ساختار مقایسه‌کننده حوزه زمان پیشنهادی، که علت اصلی کاهش طبقات المان‌های تاخیر نیز می‌باشد، بالا بودن بهره تبدیل به دلیل به کارگیری پایه بدنه و همچنین استفاده از هر دو ورودی در خطوط تاخیر است. در این ساختار با توجه به شکل ۳ که مدار کامل مقایسه کننده حوزه زمان پیشنهادی را نشان می دهد، ولتاژ V_B به نحوی انتخاب می‌شود که ترانزیستور M_7 در ناحیه زیر آستانه بایاس شود و همچنین محدوده تاخیر به ازای ورودی های مختلف متناسب با فرکانس کاری مدار باشد. در این حالت جریان ترانزیستور طبق رابطه (۱) محاسبه می‌شود [۲۷]:

$$I_{ds} = I_{ds_0}\, e^{\frac{V_{gs}-V_{t0}+\eta V_{ds}-k\gamma V_{sb}}{n v_T}}\left(1-e^{\frac{-V_{ds}}{v_T}}\right) \quad (۱)$$

$$I_{ds_0} = \beta \cdot v_T^2 \cdot e^{1.8} \quad (۲)$$

که در آن V_{sb} قرینه ولتاژ بالک-سورس (V_{bs}) است که در اینجا معادل ولتاژ ورودی V_{in} است. مقادیر $k\gamma$ و η نیز از پارامترهای تکنولوژی هستند

و I_{ds0} از رابطه (۲) به دست می آید [۲۷]. همانطور که از رابطه نیز مشخص است رابطه بین ولتاژ V_{bs} و جریان به صورت نمایی است که باعث بالا بردن بهره تبدیل ولتاژ به زمان به صورت قابل توجهی در ولتاژهای کم می‌شود. کوچکترین تغییری در ولتاژ ورودی، باعث تغییرات قابل توجهی در جریان ترانزیستور M_7 یا M_1 می‌شود. همچنین استفاده از ولتاژ بایاس V_B در پایه گیت ترانزیستور M_1 شکل ۳ نیز آزادی بیشتری برای تعیین محدوده تاخیر و همچنین برای تنظیم سرعت مقایسه‌گر می‌دهد.

منحنی مشخصه تاخیر-ولتاژ المان تاخیر پیشنهادی در شکل ۴ نشان داده شده است. همانطور که ملاحظه می‌شود بهره تاخیر ساختار پیشنهادی نسبت به ساختار رایج بهتر و در نتیجه دقت مقایسه‌کننده بیشتر است. با توجه به رابطه (۱) با افزایش ولتاژ مشترک ورودی، ولتاژ آستانه ترانزیستورهای M_1 و M_7 کاهش یافته و در نتیجه جریان ترانزیستور افزایش می‌یابد که در نهایت منجر به کاهش تاخیر در طبقه اول می‌شود. همچنین افزایش ولتاژ مشترک، منجر به کاهش جریان PMOS در طبقه دوم و افزایش تاخیر می‌شود. اما نکته‌ای که حائز اهمیت می باشد این است که با توجه به رابطه نمایی جریان با ولتاژ ورودی در طبقه اول، درصد تاثیر طبقه اول روی تاخیر ایجاد شده، به مراتب بسیار بیشتر از طبقه دوم است. بنابراین به طور کلی، با افزایش ولتاژ مشترک ورودی، زمان تاخیر مقایسه‌کننده کاهش می یابد و یا به بیان دیگر سرعت آن زیاد می‌شود.

رابطه بین جریان و زمان دشارژ خازن در طبقه اول بصورت رابطه (۳) تعریف می‌شود:

$$t_d = C_L \times V_{DD}/2I_{SS} \quad (۳)$$

که در آن I_{ss} همان جریان زیرآستانه ترانزیستور تعریف شده در رابطه (۱) است. از آنجا که تفاضل تاخیرها در دو VCDL بالا و پایین به اختلاف ورودی‌های مقایسه‌کننده مربوط می‌شود، بنابراین با صرف نظر از تاخیر طبقه دوم نسبت به طبقه اول می‌توان نوشت:

$$\Delta t = \frac{C_L \times V_{DD}}{2}\left(\frac{1}{I_{ss} - \frac{g_{mb}\Delta V_{in}}{2}}\right) - \left(\frac{1}{I_{ss} + \frac{g_{mb}\Delta V_{in}}{2}}\right) \cong \frac{C_L \times V_{DD} \times g_{mb}}{2I_{SS}^2} \times \Delta V_{in} \quad (۴)$$

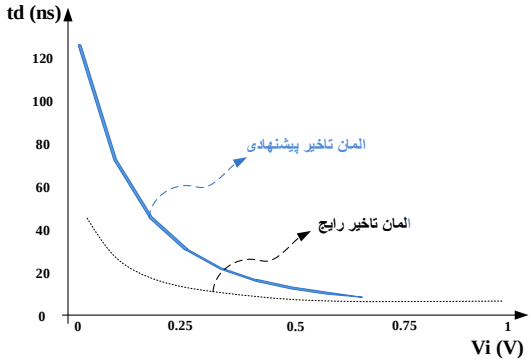
بنابراین بهره تاخیر-ولتاژ برای المان تاخیر طبقه اول برابر است با:

$$Gain = \frac{\Delta t}{\Delta V_{in}} = \frac{C_L \times V_{DD} \times g_{mb}}{2I_{SS}^2} \quad (۵)$$

رابطه (۵) نشان می‌دهد که بهره تاخیر-ولتاژ در جریان‌های کوچک زیر آستانه، به مقدار g_{mb} وابسته است که مقدار آن با مشتق گیری از فرمول (۱) و با صرف نظر از مولفه جریان نشتی، به صورت رابطه (۶) محاسبه می گردد.

$$g_{mb} = k\gamma I_{ds_0} e^{\frac{V_{gs}-V_{to}+\eta V_{ds}-k\gamma V_{bs}}{nv_T}} \quad (۶)$$

مشابه استدلال انجام شده، می‌توان بهره تاخیر-ولتاژ برای طبقه دوم را نیز محاسبه کرد. با جمع کردن بهره دو طبقه، بهره کل مقایسه‌کننده به دست می‌آید. اما از آنجا که بهره طبقه اول نسبت به دوم غالب است (به دلیل وجود جریان بسیار کوچک‌تر در طبقه اول)، بنابراین در مقایسه-کننده حوزه زمان پیشنهادی، بهره کل تقریبا معادل بهره طبقه اول است. طبق محاسبات و همچنین شبیه سازی های انجام شده در شرایط اندازه-گذاری و بایاس‌های مشابه، بهره ولتاژ به زمان در زیرآستانه با تغییر ولتاژ بالک-سورس، نسبت به همین بهره در بالای آستانه نسبت به ولتاژ گیت-سورس حدود ۴ تا ۸ برابر بیشتر می باشد.

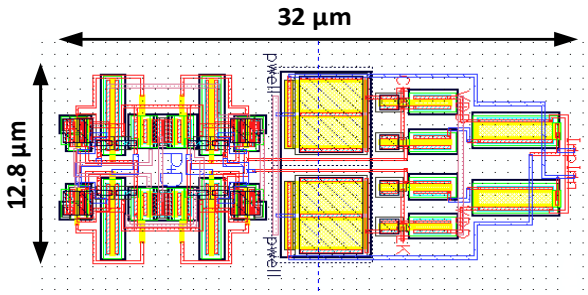


شکل ۴- بهره تبدیل ولتاژ-زمان المان تاخیر پیشنهادی

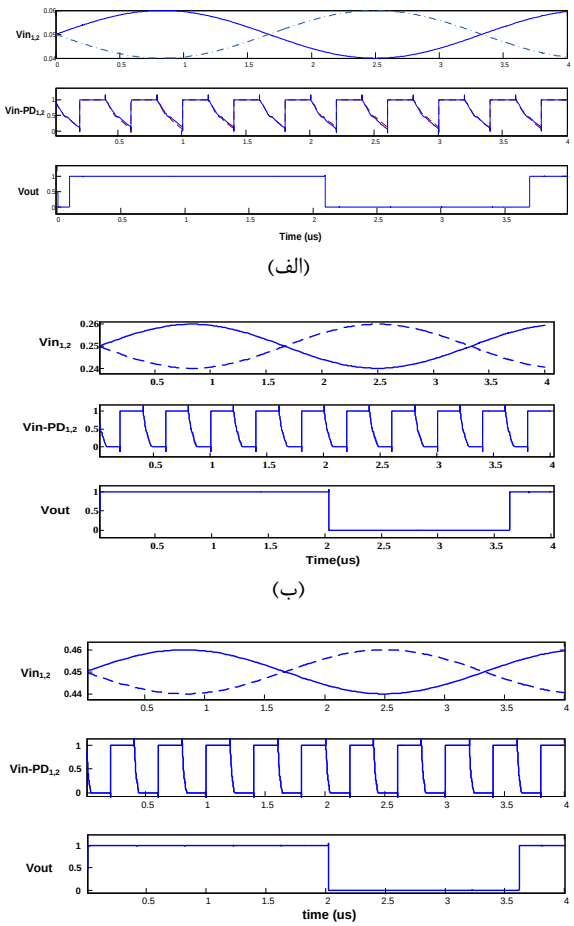
۳- شبیه سازی

در این بخش به شبیه‌سازی و استخراج مشخصات مقایسه‌کننده پیشنهادی پرداخته می‌شود. این مقایسه‌کننده در تکنولوژی 0.18µm TSMC طراحی، لی اوت و شبیه سازی شده است که می‌تواند تا ولتاژهای تغذیه بسیار پایین عملکرد مناسبی داشته باشد که بر اساس شبیه‌سازی-های پست لی اوت انجام شده، این مقایسه‌گر تا ولتاژ تغذیه 0.4V به درستی عمل می‌کند. شکل ۵ جانمایی مربوط به مقایسه‌کننده حوزه زمان پیشنهادی را به تصویر کشیده است. سطح سیلیکان موثر اشغال شده برابر با 32µm×12.8µm می‌باشد.

در مقایسه‌کننده حوزه زمان پیشنهادی، محدوده ولتاژ مشترک ورودی تا نصف ولتاژ تغذیه می‌باشد که برای مثال در ولتاژ تغذیه 1V، از صفر تا نیم ولت می‌باشد. شکل ۶، شکل موج‌های ورودی و خروجی مقایسه‌گر را در سه ولتاژ مشترک 0.05V (حدود صفر)، 0.25V و 0.45V (حدود $V_{DD}/2$) نشان می‌دهد. همانطور که مشخص است در هر سه حالت، نتایج مقایسه‌گر صحت عملکرد را در سرعت کلاک 2.5MHz نشان می-دهد.



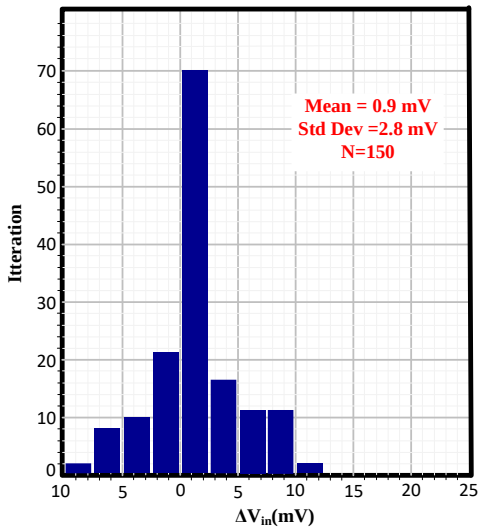
شکل ۵- جانمایی مقایسه‌کننده حوزه زمان پیشنهادی.



شکل ۶- شکل موج‌های ورودی و خروجی مقایسه‌کننده پیشنهادی به همراه پالس‌های خروجی VCDLها برای ولتاژهای مشترک ورودی مختلف: (الف) V_{CM}=0.05V (ب) V_{CM}=0.25V (ج) V_{CM}=0.45V

همچنین برای بررسی اثر عدم تطبیق ترانزیستورها در مقایسه-کننده پیشنهادی و میزان آفست، شبیه سازی مونت کارلو ۱۵۰ نقطه‌ای درولتاژ تغذیه 1V و ولتاژ مشترک 0.4V انجام شده است که نتایج آن در شکل ۷ دیده می شود. بر طبق شبیه سازی‌ها میزان آفست مقایسه‌کننده پیشنهادی در ولتاژ بایاس 0.3V و

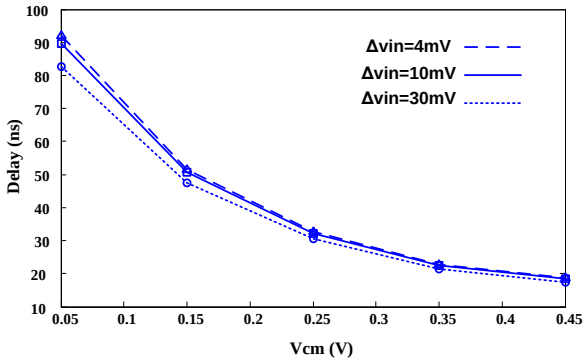
ولتاژ تغذیه 1V به اندازه 2.8mV محاسبه شده است. نتایج این شبیه‌سازی بر این اساس به دست آمده است که اختلاف ورودی‌ها در لحظه‌ای که تاخیر دو VCDL مساوی می‌شوند به دست آمده است.



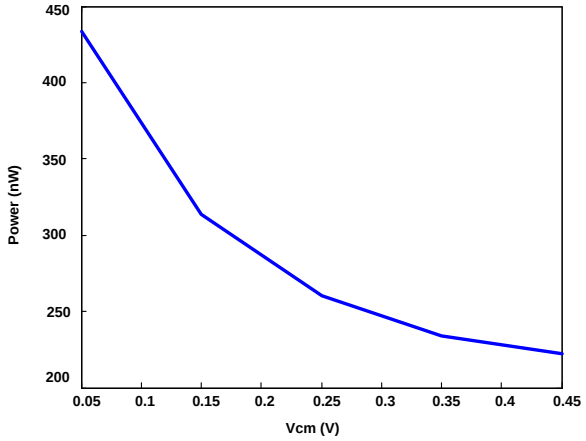
شکل ۷- نتیجه مونت کارلو ۱۵۰ نقطه‌ای برای V_{DD}=1V و V_{CM}=0.4V

شکل ۸ و شکل ۹ به ترتیب میزان تفاوت تاخیر دو VCDL (نشان دهنده دقت مقایسه‌کننده) و توان مصرفی مقایسه‌کننده پیشنهادی را بر حسب تغییر ولتاژ مشترک ورودی نشان می دهند. مقدار تاخیر به ازای اختلاف ورودی های ۴ و ۱۰ و ۳۰ میلی ولت رسم شده است. همانطور که مشاهده می‌شود، افزایش ولتاژ مشترک ورودی به ازای یک اختلاف ورودی ثابت، منجر به کاهش ولتاژ آستانه NMOS و در نتیجه افزایش جریان و کاهش زمان دشارژ خازن و در نهایت کاهش تفاوت تاخیرهای دو VCDL می‌شود. همانطور که در شکل ۹ مشاهده می‌شود، توان مصرفی با افزایش ولتاژ مشترک ورودی کاهش می‌یابد که علت آن کاهش جریان کل طبقه دوم هر خط تاخیر می‌باشد که نقش عمده‌ای در توان مصرفی کل دارد. طبقه اول به دلیل اینکه NMOS در ناحیه زیرآستانه کار می‌کند، جریان کمی دارد و توان مصرفی آن ناچیز است. مشخصات شبیه‌سازی شده مقایسه‌گر حوزه زمان پیشنهادی در جدول ۱ خلاصه شده است.

برای بررسی عملکرد صحیح مقایسه‌کننده پیشنهادی در گوشه‌های مختلف پروسه ساخت و همچنین گوشه‌های دمایی مختلف، مدار در ۱۵ گوشه مختلف دمایی و پروسه شبیه‌سازی شده است که نتایج تاخیر کلی مقایسه‌کننده برای این گوشه‌ها در جدول ۲ نمایش داده شده است. در بدترین حالت که در گوشه SS و دمای 40- درجه رخ می‌دهد، تاخیر بدترین حالت برابر ۴۶۲ نانو ثانیه است که مقایسه‌کننده تا فرکانس حدود 2.2MHz به خوبی کار می‌کند. در سایر گوشه‌ها واریانس تغییرات قابل توجهی دیده نمی‌شود. همچنین برای بررسی بهتر عملکرد مدار، نتایج شبیه‌سازی مقایسه‌کننده پیشنهادی، با تعدادی از مقایسه‌کننده‌های ارائه شده دیگر که عملکرد خوبی داشته‌اند مقایسه شده است. نتایج این مقایسه در جدول ۳ مشاهده می‌شود.



شکل ۸- تاخیر کل مقایسه‌کننده پیشنهادی به ازای ولتاژهای مشترک ورودی مختلف



شکل ۹- توان مصرفی مقایسه‌کننده پیشنهادی به ازای ولتاژهای مشترک ورودی مختلف

جدول ۱- مشخصات شبیه سازی پست لی اوت مقایسه‌کننده پیشنهادی

ولتاژ تغذیه (V)	۱
توان مصرفی(µW)	۰/۲۵
فرکانس (MHz)	۲/۵
محدوده ولتاژ مشترک	۰/۵V_{DD}
تکنولوژی (µm)	۰/۱۸
تعداد طبقات	۲
آفست (mV)	۲/۸
مساحت فعال (µm2)	۴۰۹/۶
معیار شایستگی (µW/MHz)	۰/۱

۴- نتیجه گیری

در این مقاله یک مقایسه‌کننده حوزه زمان با بهره بالا و مساحت کم برای کاربردهایی با حداکثر تغییرات ولتاژ مشترک از صفر تا نصف ولتاژ تغذیه (Vdd/2) در تکنولوژی 0.18um TSMC طراحی، لی اوت و شبیه سازی شده است. جانمایی مقایسه‌کننده پیشنهادی نشان می‌دهد که مساحت اشغالی این مقایسه‌کننده، در حدود $409.6\mu m^2$ است. نتایج شبیه سازی-های پست لی اوت انجام شده نشان می‌دهد که مقدار توان مصرفی

مقایسه‌کننده حوزه زمان پیشنهادی، در ولتاژ تغذیه 1V و در فرکانس کلاک 2.5MHz برابر 250nW است. همچنین بر اساس شبیه سازی مونت کارلو انجام شده، آفست مقایسه‌کننده پیشنهادی در ولتاژ تغذیه 1V و برای ولتاژ بایاس 0.3V و در ولتاژ مشترک ورودی 0.4V در حدود 2.8mV می‌باشد، که نشان دهنده مقاومت خوب مدار در برابر عدم تطبیق ترانزیستورها می‌باشد. همچنین نتایج شبیه سازی‌ها عملکرد صحیح مقایسه‌کننده را با دقت مناسب در تمام محدوده ولتاژ مشترک (صفر تا Vdd/2) تایید می‌نماید. همچنین بهره تبدیل ولتاژ به زمان نیز در مقایسه با المان‌های تاخیر متعارف در بالای آستانه، بیش از ۶ برابر بهبود داشته است. مساحت به دست آمده نشان می‌دهد به دلیل بهره بالا و تعداد کم طبقات استفاده شده، این مقایسه‌کننده می‌تواند یکی از گزینه‌های مناسب برای استفاده در مدارهای با مساحت کم، مثل قطعات کاشتنی در بدن باشد.

جدول ۲- نتیجه تاخیر مقایسه‌کننده پیشنهادی در گوشه‌های مختلف دما و پروسه ساخت در V_{cm}=0.35

	-40°C	27°C	85°C
TT	۴۳۴ns	۴۰۹ns	۴۰۴ns
FF	۴۲۰ns	۴۰۶ns	۴۰۳ns
SS	۴۶۲ns	۴۱۵ns	۴۰۷ns
SF	۴۴۴ns	۴۱۱ns	۴۰۵ns
FS	۴۲۹ns	۴۰۸ns	۴۰۴ns

جدول ۳- مقایسه مشخصات مقایسه‌کننده حوزه زمان پیشنهادی با بعضی از کارهای مشابه اخیر

	[۱۶]	[۶]	[۱۳]	[۱۷]	[۱۵]	[۲۸]	کار پیشنهادی
ولتاژ تغذیه (V)	۱	۱/۸	۰/۵	۱/۸	۰/۷	۰/۴	۱
توان مصرفی(μW)	۰/۰۲۸	۳۴۷	۰/۵۶۷	۱۸۹/۶	۰/۶	۰/۲۳	۰/۲۵
فرکانس (MHz)	۰/۰۵۲	۵۰۰	۱/۴	۲۰	۱۰	۰/۵	۲/۵
آفست (mV)	±۱۰	۲/۱۹	-	-	۴	۲/۱۵	۲/۸
تکنولوژی (nm)	۱۸۰	۱۸۰	۹۰	۱۸۰	۱۸۰	۱۳۰	۱۸۰
تعداد طبقات	۷	-	۸	۷	۶	-	۲
مساحت فعال (μm2)	۱۳۵۰	۳۶۱	-	-	۷۸۴	۴۱۰	۴۰۹/۶
معیار شایستگی (μW/MHz)	۰/۵۴	۰/۷	۰/۴	۹/۴۸	۰/۰۶	۰/۴۶	۰/۱
نوع مقایسه‌گر	T.D	latch	T.D	T.D	T.D	bulk-deiven	T.D
نوع ارزیابی	اندازه‌گیری	پست-لی اوت	اندازه‌گیری	شبیه‌سازی	پست-لی اوت	اندازه‌گیری	پست-لی اوت

مراجع

[1] A. Gupta, A. Singh, A. Agarwal, "A low-power high-resolution dynamic voltage comparator with input signal dependent power down technique", AEU-International Journal of Electronics and Communications, vol. 134, p. 153682, 2021.

[2] C. W. Casañas ,G. A. Souza, O. Saotome, R. L. Moreno, "Low power current comparator circuit using a cascode transistor structure for bias generation", Microelectronics Journal, p. 105359, 2022.

[3] O. Aiello, P. Crovetti, P. Toledo, and M. Alioto, "Rail-to-rail dynamic voltage comparator scalable down to pW-range power and 0.15-V supply", IEEE Transactions on Circuits and Systems II: Express Briefs, vol. 68, pp. 2675-2679, 2021.

[۴] مهدی حسین‌نژاد، حسین شمسی, «طراحی و شبیه‌سازی مبدل آنالوگ به دیجیتال لوله‌ای مبتنی بر مقایسه‌گر ولتاژ پایین»، مجله مهندسی برق دانشگاه تبریز، جلد ۴۶، شماره ۱، صفحات ۸۷-۹۸، ۱۳۹۵.

[5] V. Savani, N. Devashrayee, "Analysis and design of low-voltage low-power high-speed double tail current dynamic latch comparator", Analog Integrated Circuits and Signal Processing, vol. 93, pp. 287-298, 2017.

[6] A. Khorami, R. Saeidi, M. Sachdev, M. Sharifkhani, "A low-power dynamic comparator for low-offset applications", Integration, vol. 69, pp. 23-30, 2019.

[7] H. S. Bindra, C. E. Lokin, D. Schinkel, A-J. Annema, B. Nauta, "A 1.2-V dynamic bias latch-type comparator in 65-nm CMOS with 0.4-mV input noise", *I*EEE journal of solid-state circuits, vol. 53, pp. 1902-1912, 2018.

[8] P. Harikumar, J. J. Wikner, "A 10-bit 50 MS/s SAR ADC in 65 nm CMOS with on-chip reference voltage buffer", Integration, vol. 50, pp. 28-38, 2015.

[9] S. Babayan-Mashhadi, R. Lotfi, "Analysis and design of a low-voltage low-power double-tail comparator", IEEE transactions on very large scale integration (vlsi) systems ,vol. 22, pp. 343-352, 2013.

[10] S.-K. Lee, S.-J. Park, H.-J. Park, J.-Y. Sim, "A 21 fJ/conversion-step 100 kS/s 10-bit ADC with a low-noise time-domain comparator for low-power sensor interface", IEEE Journal of Solid-State Circuits, vol. 46, pp. 651-659, 2011.

[۱۱] سعید نقوی, سید ادیب ابریشمی فر، «یک مقایسه کننده قفل‌شده تمام تفاضلی مجهز به روش نوین حذف آفست»، مجله مهندسی برق دانشگاه تبریز, جلد ۴۸، شماره ۴، صفحات ۱۸۳۱-۱۸۴۲، ۱۳۹۷.

[12] A. Agnes, E. Bonizzoni, P. Malcovati, F. Maloberti, "A 9.4-ENOB 1V 3.8 µW 100kS/s SAR ADC with time-domain comparator", in 2008 IEEE International Solid-State Circuits Conference-Digest of Technical Papers, 2008, pp. 246-610.

[13] S.-E. Hsieh, C.-C. Kao, C.-C. Hsieh, "A 0.5-V 12-bit SAR ADC using adaptive time-domain comparator with noise optimization", IEEE Journal of Solid-State Circuits, vol. 53, pp. 2763-2771, 2018.

[14] X. Yang, Y. Zhou, M. Zhao, Z. Huang, L. Deng, X. Wu, "A 0.9 v 12-bit 200-ks/s 1.07 µw sar adc with ladder-based reconfigurable time-domain comparator", 2014 IEEE 57th International Midwest Symposium on Circuits and Systems (MWSCAS), pp. 105-108, 2014.

[15] R. Sanati, F. Khatib, M. J. Sarraf,R. K. Moghaddam, "Low power time-domain rail-to-rail comparator with a new delay element for ADC applications", Integration, vol. 77, pp. 89-95, 2021.

[16] R. Fiorelli, M. Delgado-Restituto, Á. Rodríguez-Vázquez, "Offset-calibration with time-domain comparators using inversion-mode varactors", IEEE Transactions on Circuits and Systems II: Express Briefs ,vol. 67, pp. 47-51, 2019.

[17] X. Zhong, B. Wang, A. Bermak, "A reconfigurable time-domain comparator for multi-sensing applications", 2015 IEEE International Symposium on Circuits and Systems (ISCAS), pp. 349-352, 2015.

[18] A. H. Hassan, H. Mostafa, K. N. Salama, A. M. Soliman, "A low-power time-domain comparator for iot applications", 2018 IEEE 61th International Midwest Symposium on Circuits and Systems (MWSCAS), pp. 1142-1145,2018.

[19] S. Rout, S. Babayan-Mashhadi, W. A. Serdijn, "A subthreshold source-coupled logic based time-domain comparator for SAR ADC based cardiac front-ends", 2019 IEEE Asia Pacific Conference on Circuits and Systems (APCCAS), pp. 17-20, 2019.

[20] M. Kumngern, F. Khateb, T. Kulej, "Bulk-driven fully balanced second-generation current conveyor in 0.18 µm CMOS", AEU-International Journal of Electronics and Communications, vol. 104, pp. 66-75, 2019.

[21] A. Nejati, S. Radfar, P. Amiri, M. H. Maghami, "A bulk-driven differential CMOS schmitt trigger with adjustable hysteresis for ultra-low-voltage operation", Microelectronics Journal, vol. 114, p. 105129, 2021.

[22] T. Kulej, F. Khateb, "A compact 0.3-V class AB bulk-driven OTA", IEEE Transactions on Very Large Scale Integration (VLSI) Systems, vol. 28, pp. 224-232, 2019.

[23] L. Nagy, D. Arbet, M. Kovac, M. Potocny, M. Sovcik, V. Stopjakova, "Dynamic Properties Of Ultra Low-Voltage Rail-to-Rail Comparator Designed In 130 nm CMOS Technology", 2020 23rd International Symposium on Design and Diagnostics of Electronic Circuits & Systems (DDECS), pp. 1-4, 2020.

[24] C.-C. Liu, S.-J. Chang, G.-Y. Huang, Y.-Z. Lin, "A 10-bit 50-MS/s SAR ADC with a monotonic capacitor switching procedure", IEEE Journal of Solid-State Circuits, vol. 45 ,pp. 731-740, 2010.

[25] L. Xie, G. Wen, J. Liu, Y. Wang, "Energy-efficient hybrid capacitor switching scheme for SAR ADC", Electronics Letters, vol. 50, pp. 22-23, 2014.

[26] C. Yuan, Y. Lam, "Low-energy and area-efficient tri-level switching scheme for SAR ADC", Electronics letters, vol. 48, pp. 482-483, 2012.

[27] E. W. NH, D. Harris, A. Banerjee, "CMOS VLSI design: A circuit and system perspective", Addison-Wesley, Boston, 2005.

[28] L. Nagy, V. Stopjakova, D. Arbet, M. Potocny, M. Kovac, "An ultra low-voltage rail-to-rail comparator for on-chip energy harvesters", AEU-International Journal of Electronics and Communications, vol. 108, pp. 10-18, 2019.