

اشمیت تریگر CMOS شبه-تفاضلی خیلی کم ولتاژ ۰/۴ ولت مبتنی بر اینورتر دیجیتال

یاسین باستان^۱، دانشجوی دکتری؛ فردین فاضل^۲، دانشجوی کارشناسی ارشد؛ علی نجاتی^۳، دانشجوی کارشناسی ارشد؛ پرویز امیری^۴، دانشیار

۱- دانشکده مهندسی برق و کامپیوتر- دانشگاه تربیت دبیر شهید رجایی- تهران- ایران- ybastan@sru.ac.ir

۲- دانشکده مهندسی برق و کامپیوتر - دانشگاه تربیت دبیر شهید رجایی - تهران - ایران - fazel.fardin@gmail.com

۳- دانشکده مهندسی برق و کامپیوتر- دانشگاه تربیت دبیر شهید رجایی- تهران- ایران- s.ali.nejati@sru.ac.ir

۴- دانشکده مهندسی برق و کامپیوتر- دانشگاه تربیت دبیر شهید رجایی- تهران- ایران- pamiri@sru.ac.ir

چکیده: در این مقاله، یک اشمیت تریگر شبه-تفاضلی مبتنی بر دیجیتال با ولتاژ تغذیه خیلی کم ارائه شده است. اشمیت تریگر پیشنهادی با الهام گیری از روند طراحی یک اشمیت تریگر آنالوگ طراحی شده است. مدار پیشنهادی تنها با استفاده از اینورترهای CMOS دیجیتال پیاده سازی شده است که از یک مقایسه گر تفاضلی متشکل از دو اینورتر CMOS و یک جفت اینورتر متقابل به عنوان فیدبک مثبت تشکیل شده است. مدار پیشنهادی تنها مدار اشمیت تریگر مبتنی بر دیجیتال است که در حالت تمام تفاضلی عمل می کند که دارای دو خروجی معکوس کننده و غیرمعکوس کننده به طور هم زمان است و در آن قابلیت تغییر مرکز هیستریزس توسط ولتاژ ورودی فراهم شده است. اشمیت تریگر پیشنهادی در فرایند $0.18 \mu\text{m}$ CMOS با ولتاژ تغذیه ۰/۴ ولت شبیه سازی شده است. به دلیل تعداد ترانزیستورهای بسیار کم، مدار پیشنهادی مساحت تراشه ای به اندازه $9/8 \times 10 \mu\text{m}^2$ را اشغال می کند و تنها ۶/۶۴ نانواتر توان مصرف می کند.

واژه های کلیدی: اشمیت تریگر شبه-تفاضلی، اینورتر دیجیتال، جفت اینورتر متقابل، ولتاژ خیلی پایین، CMOS.

0.4-V Ultra-low-voltage Pseudo-differential CMOS Schmitt Trigger Based on Digital Inverter

Y. Bastan¹, PhD Student; F. Fazel², MSc Student; A. Nejati³, MSc Student; P. Amiri⁴, Associate professor

1- Faculty of Electrical and Computer Engineering, Shahid Rajaei Teacher Training University, Tehran, Iran, Email: ybastan@srttu.edu

2- Faculty of Electrical and Computer Engineering, Shahid Rajaei Teacher Training University, Tehran, Iran, Email: fazel.fardin@gmail.com

3- Faculty of Electrical and Computer Engineering, Shahid Rajaei Teacher Training University, Tehran, Iran, Email: s.ali.nejati@srttu.edu

4- Faculty of Electrical and Computer Engineering, Shahid Rajaei Teacher Training University, Tehran, Iran, Email: pamiri@srttu.edu

Abstract: In this paper, a digital pseudo-differential Schmitt trigger with very low supply voltage is proposed. The proposed Schmitt trigger is design by exploiting the design procedure of an analog Schmitt trigger. It is implemented only using digital CMOS inverters which is composed of a pseudo-differential comparator consisting of two CMOS inverters and a cross-coupled inverter pair as positive feedback. The proposed circuit is the only digital Schmitt trigger which operates in fully-differential mode that has simultaneously two outputs of non-inverting and inverting and its hysteresis center can be changed by the input voltage. The proposed Schmitt trigger is simulated in 0.18 μm CMOS process with 0.4 V supply voltage. Due to the very low number of transistors, the proposed circuit occupies $10 \times 9.8 \mu\text{m}^2$ chip area and consumes only 6.64 nW power.

Keywords: Differential Schmitt trigger, digital inverter, cross-coupled inverter pair, ultra-low-voltage, CMOS.

تاریخ ارسال مقاله: ۱۳۹۷/۰۳/۰۶

تاریخ اصلاح مقاله: ۱۳۹۷/۰۶/۰۶ و ۱۳۹۷/۰۹/۱۱

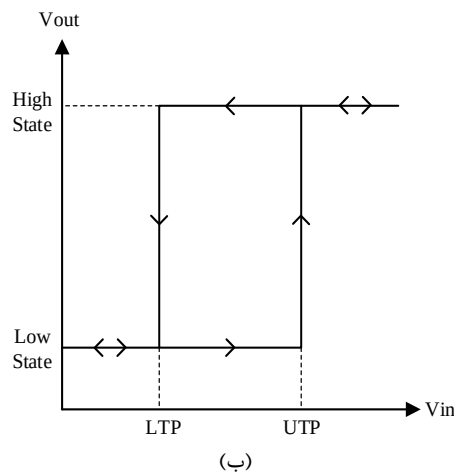
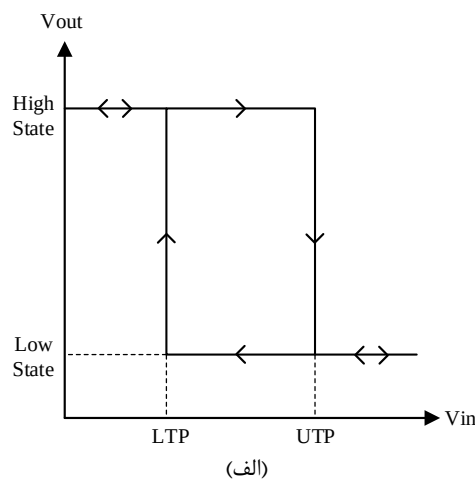
تاریخ پذیرش مقاله: ۱۳۹۸/۰۲/۲۰

نام نویسنده مسئول: پرویز امیری

نشانی نویسنده مسئول: ایران - تهران - لویزان - خیابان شعبانلو - دانشگاه تربیت دبیر شهید رجایی - دانشکده مهندسی برق - آزمایشگاه تحقیقاتی میکروالکترونیک و تجهیزات صنعتی.

۱- مقدمه

مبتنی بر دیجیتال اغلب با توان مصرفی پایین همراه است [۲۱، ۲۲]. این بدان علت است که توان استاتیک این مدارهای صفر است و توان مصرفی، حاصل از توان دینامیک است.



شکل ۱: منحنی مشخصه هیستریزیس یک اشمیت تریگر (الف) حالت معکوس کننده (ب) حالت غیرمعکوس کننده

باینکه مدارهای اشمیت تریگر آنالوگ به صورت ورودی تفاضلی و در برخی موارد تمام تفاضلی طراحی شده اند [۲۰-۱۸]، اما در تمامی مدارهای اشمیت تریگر مبتنی بر دیجیتال پیشنهاد شده در کارهای پیشین، ورودی و خروجی به صورت تک سر هستند [۲۴-۲۰]. ورودی تفاضلی این امکان را می دهد تا بتوان با مقداردهی ولتاژ مرجع، مرکز هیستریزیس را تعیین کرد. خروجی تفاضلی نیز این امکان را می دهد که هر دو خروجی معکوس کننده و غیرمعکوس کننده اشمیت تریگر به طور هم زمان در دسترس باشد که در کاربردهایی نظیر تقویت کننده های قدرت استفاده می شود [۲۵].

در این مقاله، با بهره گیری از روند طراحی یک اشمیت تریگر آنالوگ، یک اشمیت تریگر تمام تفاضلی CMOS مبتنی بر گیت های دیجیتال ارائه شده است. مدار اشمیت تریگر پیشنهادی از یک مقایسه گر تفاضلی متشکل از دو گیت اینورتر CMOS و یک فیدبک مثبت تولید شده توسط یک جفت اینورتر متقابل تشکیل شده است. طراحی دیجیتالی و ساده

در سال های اخیر، به دلیل توان کم، هزینه ساخت پایین، ابعاد کوچک و قابلیت فشرده سازی، استفاده از تکنولوژی CMOS در طراحی مدارهای مجتمع آنالوگ به طور وسیعی گسترش یافته است. موازنه چندبعدی بین سرعت، توان مصرفی، دقت، بهره، منبع تغذیه، ... و همچنین پیچیدگی در طراحی و پیاده سازی از چالش های اساسی در طراحی مدارهای مجتمع آنالوگ است [۴-۱]. مدارهای مجتمع دیجیتال دسته ای دیگر از مدارهای CMOS هستند که چالش های مذکور در طراحی آن ها کمتر نمایان است. طراحی و پیاده سازی توابع و مدارهای الکترونیکی با استفاده از گیت های منطقی و عناصر دیجیتال مبتنی بر تکنولوژی CMOS از موضوعات جذاب در این حوزه است [۷-۵]. در مدارهای دیجیتال، تنها باید به موازنه بین سرعت و توان مصرفی پرداخت [۱] و این مدارها از قابلیت انعطاف پذیری بیشتر و طراحی خودکار بهره مند هستند [۸، ۹]. از طرفی، به دلیل عدم وجود اثر بارگذاری بین طبقات و محاسبات ساده تر، طراحی و پیاده سازی مدارهای دیجیتال بسیار آسان تر از مدارهای آنالوگ است. قابلیت های ذکر شده به همراه پیشرفت سریع، طراحان را به سمت طراحی مدارهای مجتمع دیجیتال سوق داده است.

مدارهای اشمیت تریگر، از جمله مدارهایی هستند که طراحی مجتمع آن ها در تکنولوژی CMOS بسیار مورد توجه قرار گرفته است و به طور گسترده ای در کاربردهایی نظیر SRAM های زیرآستانه [۱۰]، سنسورهای تصویربرداری [۱۱] و مدولاسیون پهنای پالس [۱۲] استفاده می شوند. اشمیت تریگر یک شبکه بی استابل است که در بحث ارتباطی و فن پردازش سیگنال به منظور گسترش میزان قطع و وصل مدار و کاهش میزان اثرات نویز مورد استفاده قرار می گیرد [۱۳، ۱۴]. مدارهای اشمیت تریگر معمولاً بر پایه یک مقایسه گر به همراه یک فیدبک مثبت تشکیل می شوند. استفاده از فیدبک مثبت در مقایسه گر موجب ایجاد دو سطح آستانه مختلف برای مقایسه می شود که LTP و UTP نامیده می شوند. از این رو، اشمیت تریگر به سوئیچ دو-حالت معروف است.

منحنی مشخصه ورودی-خروجی اشمیت تریگر برای دو حالت معکوس کننده و غیرمعکوس کننده به ترتیب در شکل ۱ (الف) و (ب) نشان داده شده است. ناحیه بین دو سطح آستانه، عرض هیستریزیس اشمیت تریگر را تعیین می کند جایی که اگر ولتاژ ورودی در این ناحیه قرار داشته باشد، خروجی مدار، حالت قبلی خود را دنبال می کند. همین قابلیت حافظه دار بودن مدار اشمیت تریگر، عامل مقاوم بودن آن نسبت به نویز و سیگنال ناخواسته است.

مدارهای اشمیت تریگر CMOS در دو نوع آنالوگ و مبتنی بر دیجیتال دسته بندی می شوند. در طراحی اشمیت تریگر آنالوگ، معمولاً از یک مدار مقایسه گر تفاضلی به همراه فیدبک مثبت [۱۵] و در طراحی اشمیت تریگر مبتنی بر دیجیتال، اغلب از گیت های منطقی با فیدبک مثبت داخلی استفاده می شود [۱۶، ۱۷]. طراحی کم ولتاژ، کم توان و سرعت بالا از جمله چالش های اساسی در طراحی مدارهای اشمیت تریگر آنالوگ است [۲۰-۱۸]. در طرف دیگر، طراحی مدارهای اشمیت تریگر

که در آن V_{tn} و V_{SS} به ترتیب ولتاژ آستانه ترانزیستورهای NMOS و ولتاژ گره SS، و $K_{1,2} = \frac{1}{2}\mu_n(\frac{W}{L})_{1,2}$ هستند. با یک جابه‌جایی ساده در (۲) و جای‌گذاری آن در (۱)، رابطه بین دو ورودی مدار به صورت زیر به دست می‌آید:

$$V_{in}^+ = V_{in}^- + \left(\sqrt{\frac{I_x}{K_1}} - \sqrt{\frac{I_y}{K_2}} \right) \quad (۳)$$

باتوجه به (۳)، در صورت تقارن کامل مدار، $V_{in}^+ = V_{in}^-$ است و سوئیچینگ زمانی اتفاق می‌افتد که ورودی‌ها یکسان هستند.

حال موردی در نظر گرفته شود که در آن شبکه فیدبک مثبت فعال شده‌است. اگر $V_{in}^+ > V_{in}^-$ ، خروجی مقایسه‌گر به صورت $V_{O+} < V_{O-}$ است. در این حالت، منابع جریان I_2 و I_3 فعال می‌شوند و V_{in}^+ به صورت زیر به دست می‌آید [۱۵]:

$$V_{in}^+ = \left(V_{in}^- + \left(\sqrt{\frac{I_x}{K_1}} - \sqrt{\frac{I_y}{K_2}} \right) \right) - \frac{1}{2} \left(\frac{I_3}{I_x} \sqrt{\frac{I_x}{K_1}} + \frac{I_2}{I_y} \sqrt{\frac{I_y}{K_2}} \right) \quad (۴)$$

به طور مشابه، اگر $V_{in}^+ < V_{in}^-$ باشد، $V_{O+} > V_{O-}$ است. در نتیجه، منابع جریان I_1 و I_4 فعال می‌شوند و V_{in}^+ به صورت زیر به دست می‌آید:

$$V_{in}^+ = \left(V_{in}^- + \left(\sqrt{\frac{I_x}{K_1}} - \sqrt{\frac{I_y}{K_2}} \right) \right) + \frac{1}{2} \left(\frac{I_3}{I_x} \sqrt{\frac{I_x}{K_1}} + \frac{I_2}{I_y} \sqrt{\frac{I_y}{K_2}} \right) \quad (۵)$$

مقایسه (۴) و (۵) با (۳) نشان می‌دهد که ترم دوم در (۴) و (۵) جابه‌جایی ولتاژ سوئیچینگ را تعیین می‌کند؛ به طوری که اگر ورودی V_{in}^+ در حال افزایش باشد، ولتاژ سوئیچینگ از (۵) به دست می‌آید جایی که ترم دوم به ترم اول اضافه شده‌است و UTP مدار را به دست می‌دهد. در حالی که، اگر ورودی V_{in}^+ در حال کاهش باشد، ولتاژ سوئیچینگ از (۴) به دست می‌آید جایی که ترم دوم از ترم اول تفریق شده‌است و LTP مدار را به دست می‌دهد.

بالین‌حال، مدار اشمیت تریگر تفاضلی آنالوگ برای تکنولوژی‌های CMOS دیجیتال امروزی به دلیل محدودیت‌های در ترم‌های حداقل ولتاژ تغذیه، حداقل توان استاتیک، طراحی و انعطاف‌پذیری مناسب نیست که در مقالات مورد بحث قرار گرفته‌است [۲۰-۱۶]. از این رو، امکان پیاده‌سازی مدار اشمیت تریگر تفاضلی با بهره‌گیری از مفاهیم دیجیتالی برای رفع چالش‌ها مذکور در این بخش بررسی شده‌است.

۲-۱- دو اینورتر دیجیتال به عنوان یک مدار مقایسه‌گر

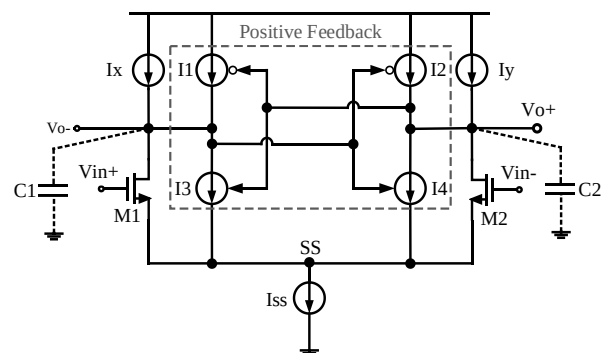
شماتیک یک اینورتر CMOS شامل ترانزیستورها NMOS و PMOS به صورت مکمل است که در شکل ۳(الف) نشان داده شده‌است. در این مدار، زمانی که ولتاژ ورودی کمتر از ولتاژ آستانه (V_T) است، ترانزیستور M_1 وصل و M_2 قطع است. در این حالت، خروجی در سطح «۱» منطقی، یعنی $V_{out} \approx V_{DD}$ است. برعکس، زمانی که ولتاژ ورودی بیشتر از V_T است،

این امکان را داده‌است تا مدار پیشنهادی در یک ولتاژ بسیار پایین عمل کند. البته باید توجه داشت که با کاهش ولتاژ تغذیه، فرکانس کاری و ایمنی نویز مدار کاهش می‌یابد [۲۶، ۲۷].

در این مقاله، عمل کرد یک مدار اشمیت تریگر تفاضلی آنالوگ در بخش ۲ مورد بررسی و توصیف قرار داده شده‌است. در همین بخش، مداری با رفتار مشابه و مبتنی بر دیجیتال ارائه شده‌است و عمل کرد آن مورد بحث قرار داده شده‌است. پیاده‌سازی CMOS مدار اشمیت تریگر تفاضلی مبتنی بر دیجیتال پیشنهادی در بخش ۳ نشان داده شده‌است و مورد تحلیل قرار گرفته‌است. در بخش ۴، نتایج شبیه‌سازی ارائه شده‌است و سرانجام در بخش ۵، مقاله نتیجه‌گیری شده‌است.

۲- پیاده‌سازی مبتنی بر دیجیتال یک مدار اشمیت تریگر تفاضلی آنالوگ

مدار اشمیت تریگر یک زیرسیستم الکترونیکی است که ولتاژ ورودی را با دو سطح آستانه، یکی در زمان افزایش و دیگری در زمان کاهش ولتاژ ورودی، مقایسه می‌کند و خروجی دیجیتالی متناسب با مقایسه سیگنال ورودی با سطوح آستانه را فراهم می‌کند. اشمیت تریگرهای آنالوگ معمولاً از یک مقایسه‌گر به همراه فیدبک مثبت تشکیل می‌شوند. شماتیک ساده مدار اشمیت تریگر تفاضلی آنالوگ ارائه شده در [۱۵] در شکل ۲ نشان داده شده‌است که از یک مقایسه‌گر آنالوگ و مدل ساده شبکه فیدبک مثبت شامل منابع جریان I_{1-4} تشکیل شده‌است. مقایسه‌گر آنالوگ متشکل از ترانزیستورهای زوج تفاضلی $M_{1,2}$ ، منبع جریان I_{SS} و بارهای منبع جریان متقارن I_x و I_y است.



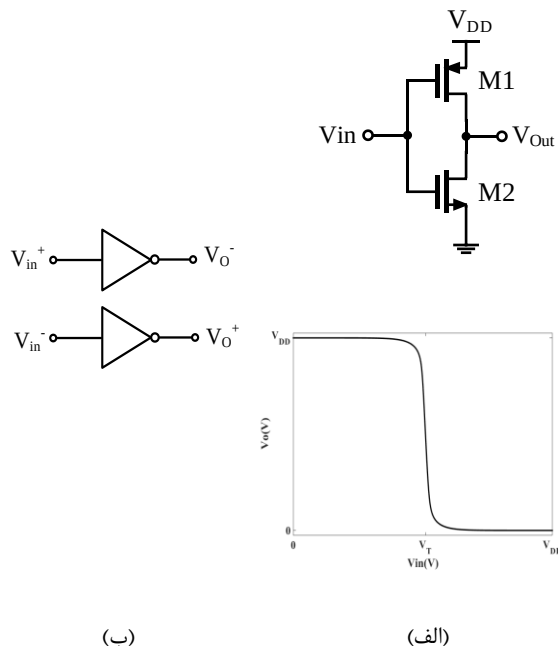
شکل ۲: شماتیک ساده اشمیت تریگر تفاضلی آنالوگ ارائه شده در [۱۵]

برای تعیین ولتاژهای سوئیچینگ LTP و UTP مدار نشان داده شده در شکل ۲، ابتدا حالتی در نظر گرفته شده‌است که رد آن شبکه فیدبک مثبت فعال نباشد. با صرف نظر از اثر مدولاسیون طول کانال، ورودی‌های مدار برابر است با:

$$V_{in}^+ = (V_{SS} + V_{tn}) + \sqrt{\frac{I_x}{K_1}} \quad (۱)$$

$$V_{in}^- = (V_{SS} + V_{tnT}) + \sqrt{\frac{I_y}{K_2}} \quad (۲)$$

بعد از یک لحظه کوتاه در یکی از شرایط (۱۰) یا (۱۱) قرار می‌گیرند. عمل کرد گذرای مدار در این حالت‌ها می‌تواند به صورت زیر توصیف شود: ابتدا حالتی را در نظر بگیرید که در آن $(V_{1i} > V_T \text{ \& } V_{2i} > V_T)$ است. با توجه به مشخصه انتقالی ولتاژ اینورتر، ولتاژهای V_1 و V_2 هر دو کاهش می‌یابند تا وقتی که یکی از آن‌ها شرط $V_i = V_T$ را زودتر ملاقات کند. با فرض $V_{1i} > V_{2i}$ ، ابتدا ولتاژ گره V_2 این شرط را برقرار می‌کند و وضعیت (۱۰)، یعنی $(V_{1i} > V_T \text{ \& } V_{2i} < V_T)$ ، حاصل می‌شود که در شکل ۵ (الف) نشان داده شده است.



شکل ۳: (الف) پیاده‌سازی CMOS و منحنی مشخصه انتقالی ولتاژ یک اینورتر دیجیتال (ب) یک جفت اینورتر دیجیتال به عنوان یک مدار مقایسه‌گر

حال، حالتی را در نظر بگیرید که در آن $(V_{1i} < V_T \text{ \& } V_{2i} < V_T)$ است. در این حالت، ولتاژهای V_1 و V_2 هر دو افزایش می‌یابند تا وقتی که یکی از آن‌ها شرط $V_i = V_T$ را زودتر ملاقات کند. با فرض $V_{1i} > V_{2i}$ ، در این حالت، ابتدا ولتاژ گره V_1 این شرط را برقرار می‌کند. در نتیجه، وضعیت (۱۱)، یعنی $(V_{1i} > V_T \text{ \& } V_{2i} < V_T)$ ، ایجاد می‌شود که در شکل ۵ (ب) نشان داده شده است.

در نتیجه، مقدار دیجیتال نهایی گره‌های V_1 و V_2 در حالت‌های مذکور به ازای $V_{1i} > V_{2i}$ برابر $(V_{1f}, V_{2f}) = (1, 0)$ است. به طریق مشابه، می‌توان نشان داد به ازای $V_{1i} < V_{2i}$ برابر $(V_{1f}, V_{2f}) = (0, 1)$ است.

بر اساس (۱۰) و (۱۱)، و توضیحات ارائه شده در بالا، اطلاعات در مورد مقدار دیجیتال نهایی V_1 و V_2 فراهم شده توسط چهار حالت ممکن آن‌ها می‌تواند به صورت شکل ۶ خلاصه شود. در نهایت، نتیجه می‌شود:

$$V_{1i} > V_{2i} \Rightarrow (V_{1f}, V_{2f}) = (1, 0) \quad (12)$$

$$V_{1i} < V_{2i} \Rightarrow (V_{1f}, V_{2f}) = (0, 1) \quad (13)$$

M_1 قطع و M_2 وصل است و خروجی در سطح «۰» منطقی، یعنی $V_{out} \approx 0$ است. منحنی مشخصه انتقالی ولتاژ یک اینورتر دیجیتال در شکل ۳ (الف) نشان داده شده است.

مدار شکل ۳ (ب) که شامل یک جفت اینورتر دیجیتالی تک‌سر است، به عنوان یک مقایسه‌گر شبه-تفاضلی دیجیتال در نظر گرفته شده است. ورودی‌های هر اینورتر به عنوان ورودی تفاضلی مقایسه‌گر، V_{in}^+ و V_{in}^- ، و خروجی‌های آن‌ها به عنوان خروجی دیجیتال (V_o^+, V_o^-) در نظر گرفته شده است. بسته به سیگنال‌های ورودی، چهار وضعیت ممکن خروجی دیجیتال می‌تواند به صورت زیر خلاصه شود:

$$V_{in}^+ > V_T \text{ \& } V_{in}^- < V_T \Rightarrow (V_o^+, V_o^-) = (0, 1) \quad (6)$$

$$V_{in}^+ < V_T \text{ \& } V_{in}^- > V_T \Rightarrow (V_o^+, V_o^-) = (1, 0) \quad (7)$$

$$V_{in}^+ > V_T \text{ \& } V_{in}^- > V_T \Rightarrow (V_o^+, V_o^-) = (0, 0) \quad (8)$$

$$V_{in}^+ < V_T \text{ \& } V_{in}^- < V_T \Rightarrow (V_o^+, V_o^-) = (1, 1) \quad (9)$$

بر اساس (۶) و (۷)، خروجی دیجیتال مدار شکل ۳ (ب) مرتبط با ولتاژ ورودی تفاضلی به عنوان یک مدار مقایسه‌گر است. اما حالت‌های (۸) و (۹) نیز ممکن است اتفاق بیفتند. زمانی که ورودی‌ها در این حالت‌ها اعمال شوند، خروجی دیجیتال دیگر مرتبط با ولتاژ ورودی تفاضلی نیست. با این حال، در دو مورد آخر نیز خروجی مدار مقدار دیجیتال موردنظر را فراهم می‌کند که به دلیل اتصال خروجی اینورترها به یک فیدبک مثبت است که در بخش بعدی مورد بحث قرار گرفته است.

۲-۲- جفت اینورتر دیجیتال متقابل به عنوان یک فیدبک مثبت

جفت اینورتر متقابل نشان داده شده در شکل ۴، یکی از ساختارهای فیدبک مثبت دیجیتال است که به طور گسترده در مدارهای دیجیتال مختلف استفاده می‌شود. در این مدار، خروجی هر اینورتر به ورودی اینورتر دیگر متصل است. بسته به ولتاژهای اولیه اعمالی به گره‌های V_1 و V_2 در مدار شکل ۴، می‌توان مشاهده کرد که مقدار دیجیتال نهایی این گره‌ها مرتبط با مقایسه آن‌ها است. زیرا:

$$V_{1i} > V_T \text{ \& } V_{2i} < V_T \xrightarrow{\text{i.e. } V_{1i} > V_{2i}} (V_{1f}, V_{2f}) = (1, 0) \quad (10)$$

$$V_{1i} < V_T \text{ \& } V_{2i} > V_T \xrightarrow{\text{i.e. } V_{1i} < V_{2i}} (V_{1f}, V_{2f}) = (0, 1) \quad (11)$$

که در آن $V_{1f,2f}$ و $V_{1i,2i}$ به ترتیب ولتاژهای اولیه و مقادیر نهایی گره‌های $V_{1,2}$ هستند. نتایج نشان می‌دهد که مقدار نهایی گره دارای ولتاژ اولیه بزرگ‌تر برابر "۱" منطقی و مقدار نهایی گره دیگر "۰" منطقی است. این به دلیل عمل کرد فیدبک مثبت موجود در مدار است که از منحنی مشخصه ورودی-خروجی اینورتر نشان داده شده در شکل ۳ (الف) قابل بیان است.

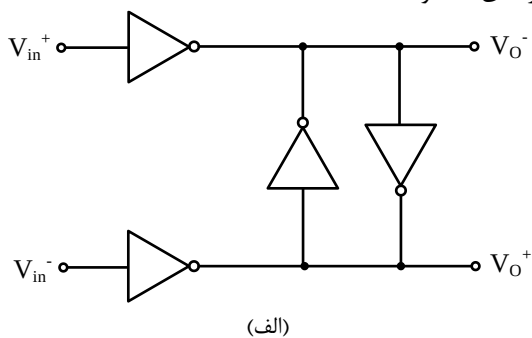
با این حال، حالت‌های $(V_{1i} > V_T \text{ \& } V_{2i} > V_T)$ و $(V_{1i} < V_T \text{ \& } V_{2i} < V_T)$ نیز امکان پذیر است. در این حالت‌ها، ولتاژهای V_1 و V_2

مثبت به خروجی‌های آن اعمال شود. شماتیک اشمیت تریگر تمام تفاضلی مبتنی بر دیجیتال پیشنهادی در شکل ۷ (الف) نشان داده شده است جایی که جفت اینورتر متقابل به عنوان یک فیدبک مثبت به خروجی مقایسه گر تفاضلی دیجیتال اعمال شده است. براساس عمل کرد جفت اینورتر متقابل که در (۱۲) و (۱۳) خلاصه شده است، مقدار نهایی ولتاژهای خروجی اینورترهای مقایسه گر دیجیتال (V_{O+} , V_{O-}) فراهم شده توسط مدار پیشنهادی شکل ۷ (الف) می تواند به صورت زیر خلاصه شود:

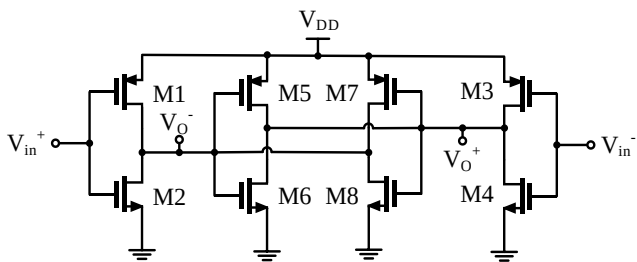
$$V_{in}^+ < V_{in}^- \Rightarrow V_{O-} > V_{O+} \xRightarrow{(12)} (V_{O-}, V_{O+}) = (1, 0) \quad (14)$$

$$V_{in}^+ > V_{in}^- \Rightarrow V_{O-} < V_{O+} \xRightarrow{(13)} (V_{O-}, V_{O+}) = (0, 1) \quad (15)$$

که در آن V_{O-} و V_{O+} مقادیر اولیه ولتاژهای خروجی به دست آمده توسط اینورترهای مقایسه گر دیجیتال و V_{O-} و V_{O+} مقدار نهایی خروجی ها ناشی از عمل کرد فیدبک مثبت هستند. برخلاف سایر اشمیت تریگرهای دیجیتال، اشمیت تریگر پیشنهادی دارای دو خروجی، یکی در حالت غیر معکوس کننده و دیگری در حالت معکوس کننده، به ترتیب در گره های V_{O-} و V_{O+} است.



(الف)



(ب)

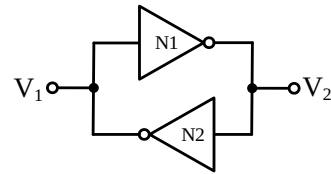
شکل ۷: (الف) اشمیت تریگر تمام تفاضلی مبتنی بر دیجیتال
پیشنهادی (ب) پیاده سازی CMOS اشمیت تریگر پیشنهادی

۳- اشمیت تریگر CMOS تمام تفاضلی مبتنی بر دیجیتال

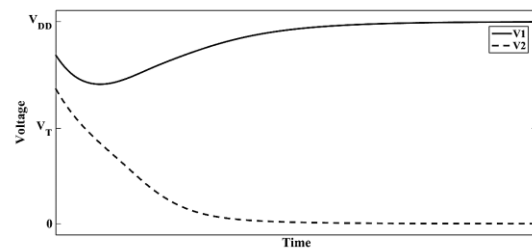
پیشنهادی

پیاده سازی CMOS اشمیت تریگر پیشنهادی در شکل ۷ (ب) نشان داده شده است جایی که ترانزیستورهای M_{1-4} جفت اینورتر مقایسه گر تفاضلی و ترانزیستورهای M_{5-8} جفت اینورتر متقابل فیدبک مثبت را تشکیل می دهند. همان طور که در مقدمه بیان شد، یک مدار دیجیتال می تواند در ولتاژ تغذیه پایین عمل کند. مدار پیشنهادی نیز در یک ولتاژ تغذیه بسیار کم عمل می کند. در نتیجه، ترانزیستورها در ناحیه زیر آستانه عمل

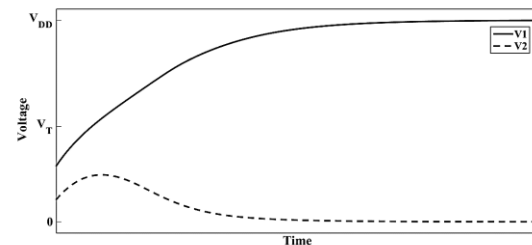
این اطلاعات در ادامه برای تبدیل مدار تفاضلی ساده شکل ۳ (ب) به یک مدار اشمیت تریگر تفاضلی مبتنی بر دیجیتال به کار برده شده است.



شکل ۴: جفت اینورتر متقابل به عنوان فیدبک مثبت دیجیتالی



(الف)



(ب)

شکل ۵: پاسخ گذرای ولتاژهای پایانه های جفت اینورتر متقابل

به ازای $V_{1i} > V_{2i}$ (الف) ولتاژهای اولیه بزرگ تر از V_T از $V_{1i} > V_T$

(ب) ولتاژهای اولیه کوچک تر از V_T از $V_{1i} < V_T$

V_T & $V_{2i} < V_T$

Initial voltage	$V_1 > V_T$ $V_2 < V_T$	$V_1 < V_T$ $V_2 > V_T$	$V_1 > V_T$ $V_2 > V_T$		$V_1 < V_T$ $V_2 < V_T$	
			$V_1 > V_2$	$V_1 < V_2$	$V_1 > V_2$	$V_1 < V_2$
Final value	$V_1=1$ $V_2=0$	$V_1=0$ $V_2=1$	$V_1=1$ $V_2=0$	$V_1=0$ $V_2=1$	$V_1=1$ $V_2=0$	$V_1=0$ $V_2=1$

شکل ۶: ولتاژهای اولیه و مقدار نهایی پایانه های زوج اینورتر

متقابل، V_2 و V_1

۳-۲ مدار اشمیت تریگر پیشنهادی مبتنی بر اینورترهای

دیجیتال

براساس طراحی مدار اشمیت تریگر آنالوگ، مقایسه گر تفاضلی دیجیتال شکل ۳ (ب) زمانی مانند یک اشمیت تریگر عمل می کند که یک فیدبک

با تفریق (۲۴) از (۲۱):

$$V_{in}^+ = V_{in}^- + nV_{th} \ln \left(\frac{\sqrt{I_{D7}^2 + 4\alpha\beta} + I_{D7}}{\sqrt{I_{D6}^2 + 4\alpha\beta} - I_{D6}} \right) \quad (25)$$

مقدار V_{in}^+ به دست آمده در (۲۵)، همان مدار اشمیت تریگر پیشنهادی است.

حال برای تعیین ولتاژ سوئیچینگ LTP مدار پیشنهادی، حالتی را در نظر بگیرید که در آن $V_{in}^+ > V_{in}^-$ است. در این حالت، ترانزیستورهای $M_{1-4,5,8}$ در ناحیه اشباع زیر آستانه هستند. در اینجا، ترانزیستورهای $M_{6,7}$ می توانند به صورت کلیدهای باز در نظر گرفته شوند، زیرا در انتهای حالت گذرا قطع می شوند. به طور مشابه با روند محاسبات انجام شده در (۱۹) تا (۲۴)، در این حالت، ولتاژهای V_{in}^- و V_{in}^+ به صورت زیر به دست می آیند:

$$V_{in}^+ = nV_{th} \ln \left(\frac{\sqrt{I_{D8}^2 + 4\alpha\beta} - I_{D8}}{2\alpha} \right) \quad (26)$$

$$V_{in}^- = nV_{th} \ln \left(\frac{\sqrt{I_{D5}^2 + 4\alpha\beta} + I_{D5}}{2\alpha} \right) \quad (27)$$

با تفریق (۲۷) از (۲۶)، معادله زیر حاصل می شود:

$$V_{in}^+ = V_{in}^- - nV_{th} \ln \left(\frac{\sqrt{I_{D5}^2 + 4\alpha\beta} + I_{D5}}{\sqrt{I_{D8}^2 + 4\alpha\beta} - I_{D8}} \right) \quad (28)$$

مقدار V_{in}^+ به دست آمده در (۲۸)، همان مدار اشمیت تریگر پیشنهادی است.

ترم های دوم به دست آمده در (۲۵) و (۲۸) جابه جایی ولتاژ سوئیچینگ مدار اشمیت تریگر پیشنهادی را در زمانی که فیدبک مثبت جفت اینورتر متقابل فعال است، تعیین می کند.

رابطه UTP و LTP به دست آمده در (۲۵) و (۲۸) نشان می دهند که مقدار این نقاط به طور مستقیم به ولتاژ V_{in}^- وابسته هستند. در نتیجه، تغییر ولتاژ ورودی V_{in}^- ، مرکز هیستریزس را جابه جا می کند. این به کاربر اجازه می دهد تا مرکز هیستریزس را در یک مقدار دلخواه تنظیم کند. باید توجه داشت که مقدار جابه جایی نقاط UTP و LTP با مقدار تغییر ولتاژ ورودی V_{in}^- به یک اندازه نیست. به عنوان مثال، اگر ولتاژ V_{in}^- به اندازه ΔV تغییر کند، ولتاژهای UTP و LTP در نتیجه مرکز هیستریزس به اندازه ΔV جابه جا نمی شوند. لذا، مرکز هیستریزس با ولتاژ ورودی V_{in}^- یکسان نیست، به جز در زمانی که $V_{in}^- = V_T$ است. این بدان علت است که تغییر ولتاژ ورودی V_{in}^- روی جریان های I_{D5} و I_{D6} بیش تر از جریان های I_{D7} و I_{D8} اثر می گذارد. از این رو، زمانی که ولتاژ V_{in}^- بیش تر از V_T است، افزایش I_{D5} بیش تر از کاهش I_{D8} و کاهش I_{D6} بیش تر از افزایش I_{D7} است. در نتیجه، ترم دوم (۲۵) کاهش و ترم دوم (۲۸) افزایش می یابد. این باعث می شود که در این حالت UTP به ولتاژ V_{in}^- نزدیک تر و LTP از ولتاژ V_{in}^- دورتر باشد و لذا مرکز هیستریزس کمتر از ولتاژ V_{in}^- می

می کنند. جریان ترانزیستورهای NMOS و PMOS و ولتاژ آستانه یک اینورتر CMOS در این ناحیه برابر هستند با [۲۸]:

$$I_{Dn} = I_{0n} e^{\left(\frac{V_{GS}-V_{tn}}{nV_{th}}\right)} \left(1 - e^{-\frac{V_{DS}}{V_{th}}}\right) \quad (16)$$

$$I_{Dp} = I_{0p} e^{\left(\frac{|V_{GS}|-|V_{tp}|}{nV_{th}}\right)} \left(1 - e^{-\frac{|V_{DS}|}{V_{th}}}\right) \quad (17)$$

$$V_T = \frac{V_{DD}}{2} + \frac{1}{2}(V_{tn} - |V_{tp}|) + nV_{th} \ln \left(\frac{I_{0p}}{I_{0n}}\right) \quad (18)$$

که در آن $I_{0n,p}$ و $V_{tn,p}$ به ترتیب جریان مشخصه و ولتاژ آستانه ترانزیستورهای NMOS و PMOS، n ضریب انحراف زیر آستانه، V_{DD} ولتاژ تغذیه و V_{th} ولتاژ حرارتی هستند.

برای تعیین ولتاژ سوئیچینگ UTP مدار نشان داده شده در شکل ۷ (ب)، باید حالتی را در نظر گرفت که در آن $V_{in}^+ < V_{in}^-$ است. زمانی که V_{in}^+ و V_{in}^- در میانه حالت سوئیچینگ هستند، ترانزیستورهای $M_{1-4,6,7}$ در ناحیه اشباع زیر آستانه هستند. از آنجایی که ترانزیستورهای $M_{5,8}$ در انتهای حالت گذرا قطع می شوند، می توانند به صورت کلیدهای باز در نظر گرفته شوند. KCL در گره V_{in}^- به صورت زیر است:

$$I_{D1} + I_{D7} = I_{D2} \Rightarrow I_{0p1} e^{\left(\frac{V_{DD}-V_{in}^+-|V_{tp}|}{nV_{th}}\right)} + I_{D7} = I_{0n2} e^{\left(\frac{V_{in}^- - V_{tn}}{nV_{th}}\right)} \quad (19)$$

معادله (۲۱) را می توان به صورت زیر بازنویسی کرد:

$$I_{0p1} e^{\left(\frac{V_{DD}-|V_{tp}|}{nV_{th}}\right)} e^{\left(\frac{-V_{in}^+}{nV_{th}}\right)} + I_{D7} = I_{0n2} e^{\left(\frac{-V_{tn}}{nV_{th}}\right)} e^{\left(\frac{V_{in}^-}{nV_{th}}\right)} \quad (20)$$

با حل معادله درجه دوم فوق، V_{in}^+ به صورت زیر به دست می آید:

$$V_{in}^+ = nV_{th} \ln \left(\frac{\sqrt{I_{D7}^2 + 4\alpha\beta} + I_{D7}}{2\alpha} \right) \quad (21)$$

که در آن $\alpha = I_{0n2} e^{\left(\frac{-V_{tn}}{nV_{th}}\right)}$ و $\beta = I_{0p1} e^{\left(\frac{V_{DD}-|V_{tp}|}{nV_{th}}\right)}$ است.

هم چنین، KCL در گره V_{in}^+ به صورت زیر است:

$$I_{D3} = I_{D4} + I_{D6} \Rightarrow I_{0p3} e^{\left(\frac{V_{DD}-V_{in}^--|V_{tp}|}{nV_{th}}\right)} = I_{0n4} e^{\left(\frac{V_{in}^- - V_{tn}}{nV_{th}}\right)} + I_{D6} \quad (22)$$

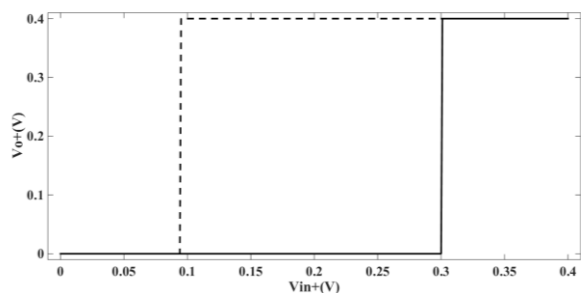
معادله (۲۲) را می توان به صورت زیر بازنویسی کرد:

$$I_{0p3} e^{\left(\frac{V_{DD}-|V_{tp}|}{nV_{th}}\right)} e^{\left(\frac{-V_{in}^+}{nV_{th}}\right)} = I_{0n2} e^{\left(\frac{-V_{tn}}{nV_{th}}\right)} e^{\left(\frac{V_{in}^-}{nV_{th}}\right)} + I_{D6} \quad (23)$$

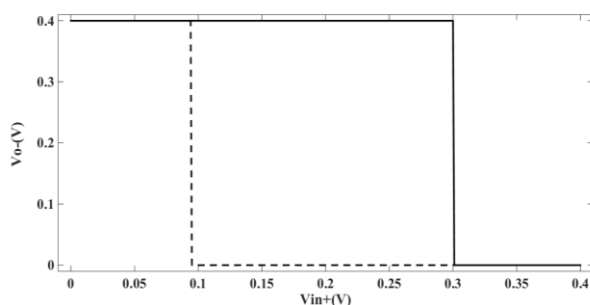
با حل معادله درجه دوم فوق، V_{in}^- به صورت زیر به دست می آید:

$$V_{in}^- = nV_{th} \ln \left(\frac{\sqrt{I_{D6}^2 + 4\alpha\beta} - I_{D6}}{2\alpha} \right) \quad (24)$$

منحنی مشخصه انتقالی ولتاژ DC اشمیت تریگر پیشنهادی برای خروجی های V_{O+} و V_{O-} به ترتیب در شکل ۹(الف) و ۹(ب) نشان داده شده است که در آن ولتاژ ورودی V_{in+} از ۰ تا ۰/۴ ولت و بالعکس جاروب شده است و V_{in-} روی ولتاژ ۰/۲ ولت تنظیم شده است. همان طور که مشاهده می شود، خروجی های V_{O+} و V_{O-} به ترتیب در حالت های غیر معکوس کننده و معکوس کننده عمل می کنند و ولتاژهای آستانه LTP و UTP برای هر دو خروجی به ترتیب ۹۵ میلی ولت و ۳۰۰ میلی ولت به دست آمده است. از این رو، پهنای هیستریزس اشمیت تریگر پیشنهادی در این حالت برابر با ۲۰۵ میلی ولت است.



(الف)



(ب)

شکل ۹: منحنی مشخصه انتقالی ولتاژ DC مدار اشمیت تریگر پیشنهادی با تغییر ولتاژ ورودی V_{in+} از صفر تا ۰/۴ ولت (خط توپر) و بالعکس (خط چین) به ازای ولتاژ $V_{in-} = 0.2V$ (الف) خروجی غیر معکوس کننده (V_{O+}). (ب) خروجی معکوس کننده (V_{O-})

منحنی مشخصه انتقالی ولتاژ DC خروجی های V_{O+} و V_{O-} به ازای ولتاژ ورودی V_{in-} برابر با ۱۵۰ mV و ۲۵۰ mV در شکل ۱۰ نشان داده شده است. این شکل، جابجایی مرکز هیستریزس با تغییر ولتاژ ورودی V_{in-} را نشان می دهد که در (۲۵) و (۲۸) نیز بیان شده است. همان طور که در بخش قبل توضیح داده شد، در این شکل نیز مشهود است که اندازه جابجایی نقاط UTP و LTP با اندازه تغییر ولتاژ ورودی V_{in-} یکسان نیست و در نتیجه مرکز هیستریزس برابر با ولتاژ ورودی V_{in-} نیست. عمل کرد اشمیت تریگر پیشنهادی در گوشه های دما و فرایند شبیه سازی شده است که منحنی مشخصه انتقالی ولتاژ DC خروجی V_{O+} به ازای $V_{in-} = 0.2V$ در شکل ۱۱ نشان داده شده است. همان طور که در این شکل مشخص است، حساسیت نقطه UTP نسبت به تغییرات دما و پروسه کمتر از حساسیت نقطه LTP است. اثر دما روی پهنای هیستریزس برای گوشه های فرایند مختلف در شکل ۱۲ (الف) رسم

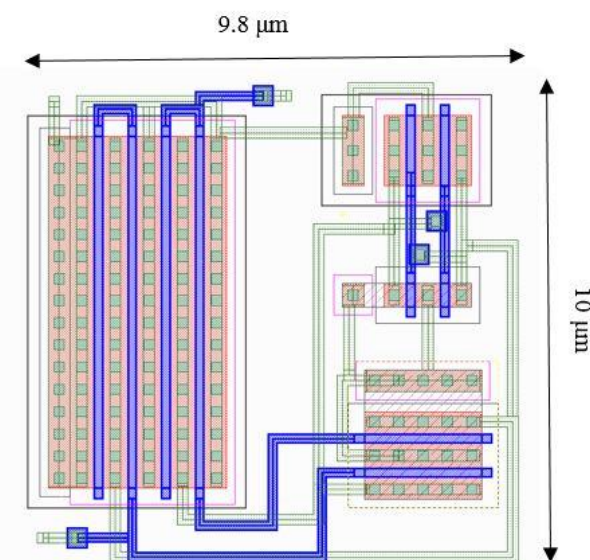
شود. به طریق مشابه، زمانی که ولتاژ V_{in-} کمتر از V_T است، ترم دوم (۲۵) افزایش و ترم دوم (۲۸) کاهش می یابد. در نتیجه، ولتاژ UTP از ولتاژ V_{in-} دورتر و ولتاژ LTP به ولتاژ V_{in-} نزدیک تر می شود و لذا مرکز هیستریزس بیش تر از ولتاژ V_{in-} می شود.

تفریق (۲۸) از (۲۵)، پهنای هیستریزس اشمیت تریگر پیشنهادی را به دست می دهد که برابر است با:

$$Hysteresis\ Width = nV_{th} \left(\ln \left(\frac{\sqrt{I_{D7}^2 + 4\alpha\beta + I_{D7}}}{\sqrt{I_{D6}^2 + 4\alpha\beta - I_{D6}}} \right) + \ln \left(\frac{\sqrt{I_{D5}^2 + 4\alpha\beta + I_{D5}}}{\sqrt{I_{D8}^2 + 4\alpha\beta - I_{D8}}} \right) \right) \quad (29)$$

۴- نتایج شبیه سازی

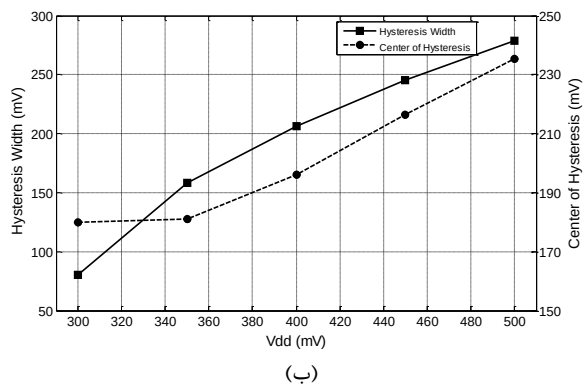
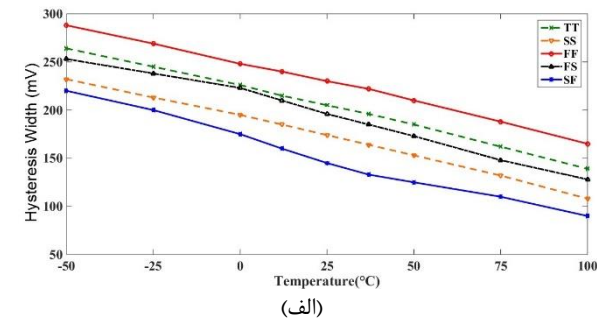
اشمیت تریگر تمام تفاضلی مبتنی بر دیجیتال پیشنهادی در تکنولوژی CMOS ۰/۱۸ um با ولتاژ تغذیه ۰/۴ ولت شبیه سازی شده است. جانمایی اشمیت تریگر پیشنهادی در شکل ۸ نشان داده شده است که مساحت تراشه ای به اندازه $9/8 \times 10 \mu m^2$ را اشغال می کند. ابعاد ترانزیستورها در جدول ۱ نشان داده شده است.



شکل ۸: جانمایی فیزیکی مدار اشمیت تریگر پیشنهادی

جدول ۱: ابعاد ترانزیستورهای اشمیت تریگر پیشنهادی

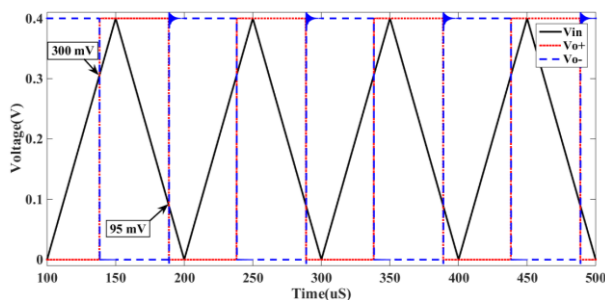
نام ترانزیستور	اندازه $\left(\frac{W}{L}\right)$
$M_{1,r}$	$\frac{15 \mu m}{0.18 \mu m}$
$M_{2,r}$	$\frac{2.5 \mu m}{0.18 \mu m}$
$M_{5,v}$	$\frac{1.5 \mu m}{0.18 \mu m}$
$M_{6,v}$	$\frac{0.5 \mu m}{0.18 \mu m}$



شکل ۱۲: (الف) منحنی پهنای هیستریز برحسب دما در گوشه‌های فرایند مختلف، (ب) منحنی تغییرات مرکز و پهنای هیستریز برحسب تغییر ولتاژ تغذیه به‌ازای ولتاژ $V_{in} = 0/2$ V

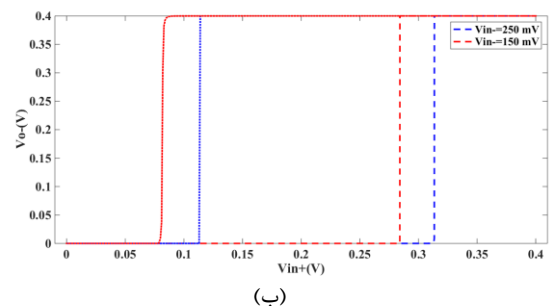
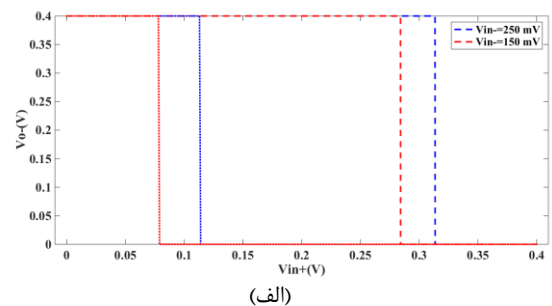
شکل ۱۳، شکل موج‌های ورودی و خروجی اشمیت تریگر پیشنهادی را نشان می‌دهد جایی که ولتاژ ورودی V_{in}^+ یک ولتاژ مثلثی با دامنه $0/4$ ولت و فرکانس 10 کیلوهرتز است و V_{in}^- روی ولتاژ $0/2$ ولت تنظیم شده‌است. در این شکل، ولتاژهای راه‌انداز مجزای UTP و LTP مشخص هستند.

به‌منظور چگونگی کارکرد در فرکانس‌های بالاتر، مدار پیشنهادی به‌ازای فرکانس‌های 1 مگاهرتز و 5 مگاهرتز شبیه‌سازی شده‌است که به‌ترتیب در شکل ۱۴ (الف) و (ب) نمایش داده شده‌است. باتوجه به عمل‌کرد مدار در ولتاژ بسیار پایین، انحراف خروجی از شرایط نرمال در این شکل‌ها قابل مشاهده است. به‌نحوی که در فرکانس 5 مگاهرتز، شکل خروجی نتیجه مطلوب را ندارد. در نتیجه، عمل‌کرد مدار در فرکانس‌های بالاتر با مشکل همراه است.

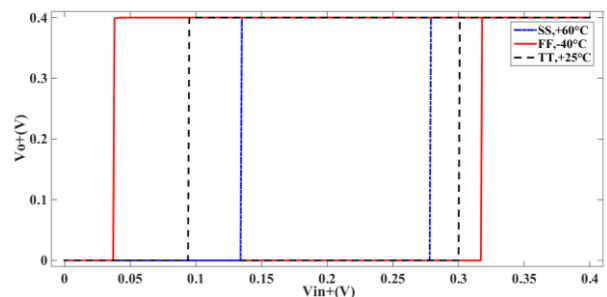


شکل ۱۳: شکل موج ولتاژهای ورودی و خروجی اشمیت تریگر پیشنهادی به‌ازای $V_{in} = 0/2$ V

شده‌است که در آن افزایش دما پهنای هیستریز را کاهش می‌دهد. علت این امر، تغییرات ولتاژ آستانه (V_{th}) ترانزیستورهای ماسفت نسبت به دما است. باتوجه به تأثیر ولتاژ آستانه ترانزیستورها روی مقادیر ضرایب α و β موجود در (۲۹)، پهنای هیستریز مدار پیشنهادی به تغییرات دما وابسته است. همچنین اثر تغییر ولتاژ تغذیه روی مرکز و پهنای هیستریز در شکل ۱۲ (ب) نشان داده شده‌است. همان‌طور که مشاهده می‌شود، مرکز هیستریز از ولتاژ تغذیه 350 میلی‌ولت دارای تغییرات است. علت این امر، تأثیر ولتاژ تغذیه، V_{DD} ، روی ضریب β است. باتوجه به این که $\beta = I_{0p1} e^{\frac{(V_{DD}-|V_{tp}|)}{nV_{th}}}$ است، تازمانی که اختلاف ولتاژ تغذیه از مقدار ولتاژ آستانه، V_{tp} ، زیاد نباشد، تأثیر چندانی روی ضریب β ندارد. ولی، با افزایش ولتاژ تغذیه و در نتیجه افزایش اختلاف آن از ولتاژ آستانه، باتوجه به رابطه نمایشی، تأثیر ولتاژ تغذیه روی ضریب β قابل‌ملاحظه خواهد شد. بنابراین، در ولتاژهای تغذیه بالاتر، مقادیر LTP و UTP و در نتیجه مرکز هیستریز دارای تغییرات هستند.



شکل ۱۰: منحنی مشخصه انتقالی ولتاژ DC اشمیت تریگر پیشنهادی به‌ازای $V_{in}^- = 0/15$ V و $V_{in}^- = 0/25$ V. (الف) خروجی معکوس‌کننده (V_{o^-}) (ب) خروجی غیرمعکوس‌کننده (V_{o^+})

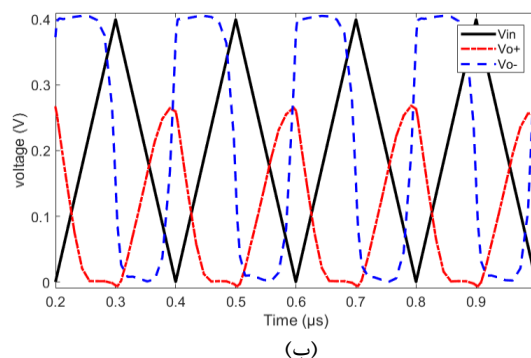
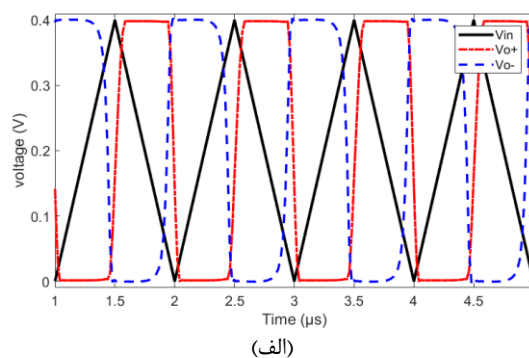


شکل ۱۱: مشخصه انتقال ولتاژ DC خروجی غیرمعکوس‌کننده V_{o^+} در گوشه‌های دمایی و فرایند مختلف

مبتنی بر دیجیتال است که در حالت تفاضلی عمل می‌کند و همچنین قابلیت تغییر مرکز هیستریزس توسط ولتاژ ورودی در آن وجود دارد. ارائه مدار به صورت دیجیتالی امکان عمل کرد اشمیت تریگر پیشنهادی در ولتاژ خیلی پایین ۰/۴ ولت را فراهم کرده است. علاوه بر این، با وجود عمل کرد تمام تفاضلی، مدار پیشنهادی تعداد ترانزیستورهای بسیار کمی به خصوص در مقایسه با اشمیت تریگرهای آنالوگ دارد که در نتیجه آن مساحت تراشه بسیار کمی را اشغال می‌کند.

۵- نتیجه گیری

در این مقاله، یک مدار اشمیت تریگر مبتنی بر دیجیتال تمام تفاضلی خیلی کم ولتاژ ارائه شده است که تنها از اینورترهای دیجیتال تشکیل شده است. مدار پیشنهادی دارای دو خروجی معکوس کننده و غیرمعکوس کننده به طور هم زمان است و تنها اشمیت تریگر مبتنی بر دیجیتال است که در حالت تفاضلی عمل می‌کند که مرکز هیستریزس آن می‌تواند توسط ولتاژ ورودی تنظیم شود. این امر آن را برای استفاده در مدارهای سوئیچینگ مناسب کرده است. ارائه مدار به صورت دیجیتالی امکان عمل کردن اشمیت تریگر پیشنهادی در ولتاژ خیلی پایین ۰/۴ ولت را فراهم کرده است. ولتاژ و توان مصرفی خیلی پایین و مساحت اشغالی کوچک ناشی از تعداد ترانزیستورهای کم، این مدار را به عنوان یک گزینه مناسب برای استفاده در کاربردهایی نظیر مخابرات قابل حمل و میکروسیستم‌های قابل کاشت مطرح کرده است. با این حال، مدار پیشنهادی دارای تأخیر قابل توجهی است که بهبود سرعت مدار پیشنهادی می‌تواند به عنوان موضوع جذاب برای کارهای بعدی در نظر گرفته شود.



شکل ۱۴: شکل موج ولتاژهای ورودی و خروجی اشمیت تریگر پیشنهادی به ازای (الف) فرکانس ورودی ۱ مگاهرتز، (ب) فرکانس ورودی ۵ مگاهرتز.

مشخصه‌های اصلی اشمیت تریگرها در جدول ۲ خلاصه شده است تا عمل کرد اشمیت تریگر پیشنهادی در مقایسه با کارهای مرتبط دیگر ارزیابی شود. این جدول نشان می‌دهد که مدار پیشنهادی، تنها مدار

جدول ۲. مقایسه اشمیت تریگر پیشنهادی با دیگر.

مرجع	[۱۵]	[۲۰]	[۲۹]	[۲۱]	[۱۶]	[۲۲]	[۲۳]	[۱۷]	کار پیشنهادی
سال	۲۰۱۰	۲۰۱۷	۲۰۱۸	۲۰۱۵	۲۰۱۶	۲۰۱۶	۲۰۱۶	۲۰۱۶	۲۰۱۸
نوع	آنالوگ	آنالوگ	آنالوگ	دیجیتال	دیجیتال	دیجیتال	دیجیتال	دیجیتال	دیجیتال
تکنولوژی (μm)	۰/۱۸	۰/۱۸	۰/۱۸	۰/۳۵	۰/۱۳	۰/۱۸	۰/۱۸	۰/۱۸	۰/۱۸
ولتاژ تغذیه (V)	۱/۸	۱/۸	۰/۸	۳	۱	۰/۵	۰/۶	۱	۰/۴
تک سر/تفاضلی	تفاضلی	تک سر	تفاضلی	تک سر	تک سر	تک سر	تک سر	تک سر	تفاضلی
تعداد ترانزیستور	۱۳+بایاس	۱۴	۱۶+بایاس	-	۲۸	۸	۶	۴	۸
LTP (mV)	۸۰۰	۷۰۰	-	۱۲۰۰	۴۵۱	۱۳۰/۳۳	۱۸۰	۴۰۱	۹۵
UTP (mV)	۱۰۰۰	۱۰۰۰	-	۲۰۰۰	۷۴۸	۲۹۱/۲۷	۴۲۰	۶۰۲	۳۰۰
پهنای هیستریزس (mV)	۲۰۰	۳۰۰	۲۷۰-۱۷۰	۸۰۰	۲۹۷	۱۶۰/۹۴	۲۴۰	۲۰۱	۲۰۵
توان مصرفی (μW)	۳۰۹۰	۱۸۶	۱۱۲۰-۴۸۰	-	۲/۵۱	۲/۵۲	۲۶۴۰	۱۴۵/۶	۰/۰۰۶۶
تأخیر (nS)	-	-	-	-	-	-	-	۲/۴۴	۸
مساحت تراشه (μm²)	-	۶۷۷	۶۸۲/۵	-	-	-	-	-	۹۸

مراجع

- [16] K. Lin, X. Wang, X. Zhang, and B. Wang, "A PVT-independent schmitt trigger with fully adjustable hysteresis threshold voltage for low power 1-bit digitization applications," *IEICE Electronics Express*, vol. 13, no. 17, pp. 1-9, August, 2016.
- [17] A. W. Kadu, M. Kalbande, "Design of low power schmitt trigger logic gates using VTCMOS," 2016 Online International Conference on Green Engineering and Technologies (IC-GET), 2016.
- [18] F. Yuan, "A high-speed differential CMOS Schmitt trigger with regenerative current feedback and adjustable hysteresis," *Analog Integrated Circuits and Signal Processing*, vol. 63, no. 1, pp. 121-127, 2010.
- [19] A. Nejati, Y. Bastan, and P. Amiri, "0.4 V ultra-low voltage differential CMOS Schmitt trigger," *Iranian Conference on Electrical Engineering (ICEE)*, pp. 532-536, IEEE, Tehran, Iran (2017).
- [20] R. Jani, and S. Oza, "Low power differential CMOS schmitt trigger with adjustable hysteresis," *Theoretical and Applied Electrical Engineering*, vol. 15, no. 5, Dec. 2017.
- [21] G. Hang, and G. Zuu, "A new schmitt trigger with n-channel neuron-MOS transistor," 11th International Conference on Natural Computation (ICNC), Zhangjiajie, China, 2015.
- [22] M. Janveja, A. Khan, and V. Niranjana, "Performance evaluation of subthreshold schmitt trigger using body bias techniques," *International Conference on Computational Techniques in Information and Communication Technologies (ICCTICT)*, New Delhi, India, 2016.
- [23] S. Park, K. Kim, H. A. Huynh, S. Joo, and S. Y. Kim, "EM noise immunity enhancement using schmitt trigger logic gates in CMOS process," *URSI Asia-Pacific Radio Science Conference (URSI AP-RASC)*, pp. 915-918, Seoul, South Korea 2016.
- [24] C. Pham, "CMOS schmitt trigger circuit with controllable hysteresis using logical threshold voltage control circuit," 6th IEEE/ACIS International Conference on Computer and Information Science (ICIS), 2007.
- [25] P. Amiri, A. Nabavi, and S. Mortazavi, "Low distortion CMOS class-D amplifier with double-band hysteresis," *IEICE Electronics Express*, vol. 7, no. 4, pp. 273-280, 2010.
- [26] M. Ramdani, E. Sicard, A. Boyer, S. B. Dhia, J. J. Whalen, T. H. Hubing, M. Coenen, and O. Wada, "The electromagnetic compatibility of integrated circuits-Past, present, and future," *IEEE Trans. Electromagn. Compat.* vol. 51, no. 1, pp. 78-100, February, 2009.
- [27] D. Bol, R. Ambroise, D. Flandre, and J. Legat, "Interests and limitations of technology scaling for subthreshold logic," *IEEE Trans. Very Large Scale Integr. Syst.*, vol. 17, no. 10, pp. 1508-1519, October, 2009.
- [28] A. Wang, B. H. Calhoun, and A. P. Chandrakasan, *Sub-threshold Design for Ultra Low-Power Systems*, Springer, 2006.
- [29] A. Nejati, Y. Bastan, P. Amiri, and M. H. Maghami, "A Low-Voltage Bulk-Driven Differential CMOS Schmitt Trigger with Tunable Hysteresis," *Journal of Circuits, Systems and Computers*, 2018.
- [1] B. Razavi, *Design of analog CMOS integrated circuits*. New York, McGraw-Hill Education, 2017.
- [2] Y. Bastan, M. Janipoor-Deylmani, and P. Amiri, "Fast-transient capacitor-less low-dropout regulator with input current-differencing and dynamic current-boosting," *Analog Integrated Circuits and Signal Processing*, 2018.
- [۳] مهدی حسین نژاد و حسین شمسی، «طراحی و شبیه‌سازی مبدل آنالوگ به دیجیتال لولهای مبتنی بر مقایسه‌گر ولتاژ پایین»، *مجله مهندسی برق دانشگاه تبریز*، دوره ۴۶، شماره ۱، صفحه ۸۷-۹۸، بهار ۱۳۹۵.
- [۴] خلیل منفردی و یوسف بلقیس‌آذر، «تقویت‌کننده کسکود تمام‌تفاضلی بازایی‌ی‌اشده بهبودیافته ولتاژ و توان پایین»، *مجله مهندسی برق دانشگاه تبریز*، دوره ۴۸، شماره ۱، صفحه ۳۳۴-۳۲۷، بهار ۱۳۹۷.
- [5] M. Asyaei, "A new low-power dynamic circuit for wide fan-in gates," *Integration, The VLSI Journal*, vol. 60, pp. 263-271, Jan. 2018.
- [6] S. Weaver, B. Hershberg, and Un-KuMoon, "Digitally Synthesized Stochastic flash ADC using only standard digital cells," *IEEE Transaction on Circuits and Systems-I: Regular papers*, vol. 61, no. 1, pp. 84-91, Jan. 2014.
- [7] F. Fazel, Y. Bastan, and P. Amiri, "Design of fully digital 3-bit flash ADC based on logic gates," *IEEE 4th International Conference on Knowledge-Based Engineering and Innovation (KBEI)*, pp. 516-521, Tehran, Iran, 2017.
- [8] Sameer Thakre, Pankaj Srivastava, "Design and analysis of low-power high-speed clocked digital comparator," *Proceedings of 2015 Global Conference on Communication Technologies*, 2015.
- [9] P. S. Crovetti, "A Digital-based virtual voltage reference," *IEEE Transaction on Circuits and Systems-I: Regular papers*, vol. 62, no. 5, May 2015.
- [10] J. Kulkarni, K. Kim, and K. Roy, "A 160 mV robust schmitt trigger based subthreshold SRAM," *IEEE Journal of Solid-State Circuits*, vol. 42, pp. 2303-2313, 2007.
- [11] D. Park, J. Rhee, and Y. Joo, "Wide dynamic range and high SNR self-reset CMOS image sensor using a Schmitt trigger," *IEEE Sensors*, pp. 294-296, Lecce, Italy, 2008.
- [12] H. Kim, H. Kim, and W. Chung, "Pulsewidth Modulation Circuits Using CMOS OTAs," *IEEE Transactions on Circuits and Systems I: Regular Papers*, vol. 54, pp. 1869-1878, 2007.
- [13] CMOS Schmitt Trigger. A Uniquely Versatile Design Component, Fairchild Semiconductor Application Note 140, June, 1975.
- [14] W. M. Kader, H. Rashid, M. Mamun, and M. A. S. Bhuiyan, *Advancement of CMOS Schmitt Trigger Circuits*, Modern Applied Science, Published by Canadian Center of Science and Education, 2012.
- [15] F. Yuan, "Differential CMOS Schmitt trigger with tunable hysteresis," *Analog Integrated Circuit and Signal Processing*, vol. 62, no. 2, pp. 245-248, 2010.